

## VLSI 自動設計システムに於けるランダムイズドクラスタ配置 アルゴリズムの外部端子位置決定手法

西谷 朋也、白石 洋一  
群馬大学工学部情報工学科

VLSI 自動レイアウト設計に於ける初期配置問題では、仮想配線長合計最小化を目的関数とした組合せ最適化問題として定式化できる。しかし、大規模な初期配置問題に対しては、実用時間内にその最適解を得ることは不可能である。したがって、従来より様々な発見的手法が用いられてきた。ここでは、局所最適解に陥らずにいかにして大域的最適解に到達するかが問題となる。本稿では、並列処理を前提として初期配置問題を定式化し、特にクラスタ配置処理にランダムイズドアルゴリズムを適用する際の外部端子位置決定問題について論じる。

## A Determination Method of External Pin's Coordinates in a Randomized Initial Placement Algorithm for Layout Design Automation

Tomoya Nishitani, Yoichi Shiraishi

Department of Computer Science, Gunma University  
E-mail: {nisitani, siraisi}@keim.cs.gunma-u.ac.jp

An initial placement problem in the layout design automation for a VLSI chip is formulated as a combinatorial optimization problem whose objective function is to minimize the total pseudo wire length. Actually, the problem size is very large and it is almost impossible to obtain an optimum solution in a reasonable amount of processing time. Therefore, various kinds of heuristic algorithms have been suggested and actually been used. In these algorithms, the difficulty is how to obtain a global optimum solution without being trapped by local optimal solutions. In this report, first, the initial placement process is designed so as to be easily solved by a parallel algorithm and then, a randomized algorithm is applied to solve a cluster placement problem. In this application, the performance of the algorithm is greatly affected by an external pin's coordinates, and therefore, a determination method of these coordinates is also discussed.

# 1 配置問題

## 1.1 VLSI の設計

VLSI の設計は、論理設計と実装設計に分けられ、さらに実装設計は回路設計とレイアウト設計に分けることができる。VLSI におけるレイアウト設計では、論理設計結果の素子の結線関係と、回路設計結果の部品情報から実際の部品をチップ上に表示する。レイアウト設計は配置処理、配線処理の順で行う。

## 1.2 配置処理の概要

### 1.2.1 階層設計方式

配置領域に配置する対象は、論理回路を実現する素子である。配置処理時には、複数の論理ゲートをまとめたセルを最小単位として扱う。VLSI の設計方式は複数存在し、重要な方式の一つに階層設計方式がある。この方式は、配置対象をセル、複数のセルで構成するブロック、複数のブロックで構成するチップの3階層に分けて、再帰的に設計する。扱う最大規模はブロック数で数百、各ブロックを構成するセル数で数万～数十万程度である。図1は階層設計方式によって構成されたVLSIの例である。本稿の配置処理では階層設計方式を対象としている。以下ではセルおよびブロックをまとめて部品と呼ぶ。[1]

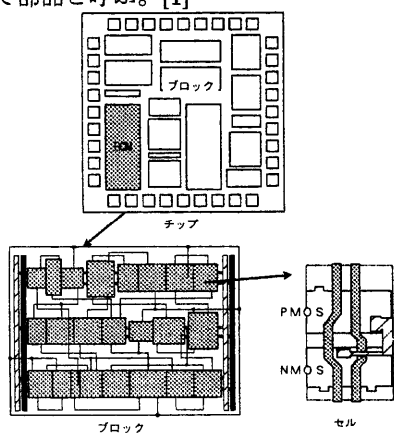


図1: VLSIチップの階層設計方式

### 1.2.2 配置問題の概念的定義

配置問題は、通常、論理情報から配置結果を得る初期配置と、その結果をさらに改善する配置改善に分けることができる。VLSIのレイアウト設計における初期配置問題は、配置領域の面積最小化を目的関数とした組合せ最適化問題として解くことができる。配置領域の面積最小化を行うためには実際の配線長合計最小化による配線領域の面積最小化が必要であるが、初期配置処理の段階で配線長合計を求めることは事実上不可能である。よって、初期配置処理では配線長合計を仮想的に決定した配線経路長である仮想配線長合計に近似し、配線領域の面積最小化を行うものとする。仮想配線長はネットを囲む最小矩形の半周長で求められる。ある端子が配線によって別の端子と結ばれる状態にあるとき、その端子は配線要求を持つと定義すると、ネットとは、配線要求を持つ部品の端子の集合である。[2]

## 2 ランダムイズドアルゴリズムと初期配置問題

### 2.1 初期配置処理の概要

初期配置処理は、VLSI全体を配置対象領域としてスロットと呼ばれる部分領域に分割するスロット分割処理、ある制約条件あるいは評価指標にしたがって部品全体をクラスタという部分集合に分割するクラスタ生成処理、仮想配線長合計が最小化されるようにスロットにクラスタを配置するクラスタ配置処理に分けることができる。1つの階層レベルでの配置を終えると、各スロットをさらに細分化して次のレベルで同様の処理を行い、最終的にVLSI全体の部品の配置結果が得られる。あるレベル以降の処理を1プロセッサで実行することによって、並列処理を行うことが可能である。

### 2.2 ランダムイズドアルゴリズム

ランダムイズドアルゴリズムとは、乱数と確率を利用したアルゴリズムである。一

般にランダム化アルゴリズムは乱数を使わない場合に比べて単純で、プログラミングを行うのに簡単であり、計算効率が良い(すなわち、処理が速い)ので、実用的である。その反面、アルゴリズムの解析には、確率論の知識が不可欠であり、しばしば数学的に深い手法を用いる。以上より、ランダム化アルゴリズムの最大の優位性は手軽さ、簡単さであるといえる。[3]

## 2.3 ランダム化アルゴリズムに基づくクラスタ配置

### 2.3.1 従来のクラスタ配置

クラスタ配置問題とは、仮想配線長合計が最小化されるようにスロットにクラスタを配置する問題である。この問題において最適解を得るためには、全ての可能な配置を列挙する以外にない(以下この方法を列挙法と呼ぶ)しかし列挙法では、クラスタ数により莫大な時間量を必要とする。また、各階層レベルでは最適解であっても最終レベルでの配置結果として見ると局所解に陥ってしまう可能性がある。

### 2.3.2 ランダム化クラスタ配置アルゴリズム

各階層レベルで最適解以外の解を採択する確率を残すことによって、その階層では望ましくない解であっても最終レベルでの配置結果が最適解であるようにクラスタ配置を行うアルゴリズムがランダム化クラスタ配置アルゴリズムである。ランダム化クラスタ配置の流れは図 2 のようになる。確率は、まず各クラスタの仮想配線長を求めた後にその仮想配線長の総和を求め(これをAとする)、そこでAを各クラスタの仮想配線長で割り(これをBとする)、さらにその総和を求める(これをCとする)。そして、BをCで割ることによって求めることができる。仮想配線長が長いものほどそのクラスタが採択される確率は高くなる。採択確率の範囲を0~1の数直線上にとり、数直線と同範囲の一樣乱数を発生させることによって、そのスロットに対

するクラスタを決定する。図 3 から図 5 はその具体例である。

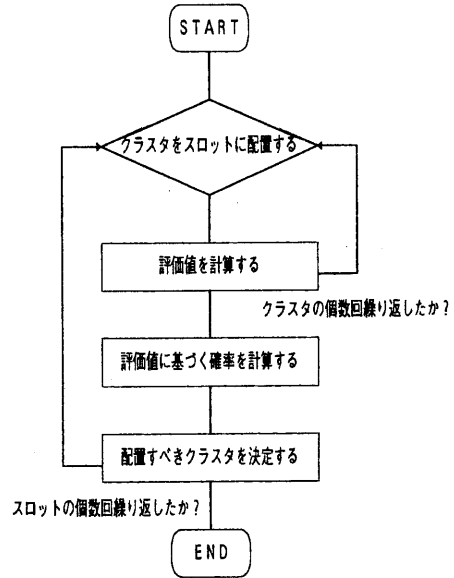


図 2: クラスタ配置の流れ 1

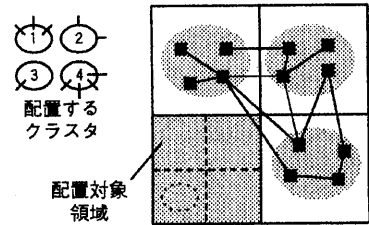
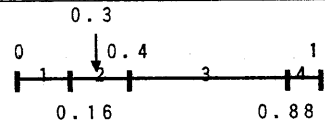


図 3: 配置対象領域

クラスタ	評価値	仮想配線長の総和 / 評価値	確率
1	30	100/30	$100/30 \times 6/125 = 0.16$
2	20	100/20	$100/20 \times 6/125 = 0.24$
3	10	100/10	$100/10 \times 6/125 = 0.48$
4	40	100/40	$100/40 \times 6/125 = 0.12$
合計	100	125/6	1.00



乱数の発生 : 0.3  
→ クラスタ 2 を  
採択

図 4: 確率の決定方法

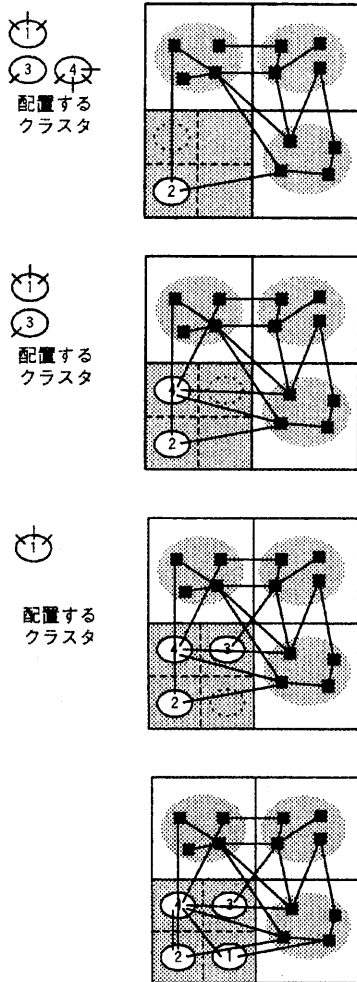


図 5：クラスタ配置の流れ 2

### 3 外部端子位置決定問題

#### 3.1 クラスタ配置における外部端子の定義

外部端子とは部品の配置対象領域の外に対する配線要求の集約端子である。図 6 のようにグレーで塗られたスロットを配置対象領域とし、さらにスロット分割を行ったときのスロット集合に対して、クラスタ配置を行うことを考える。ただし、スロット集合に配置するクラスタは、1階層レベル前のクラスタに対して相互の配線要求以外に

情報を持たない。すなわち、1階層レベル前のクラスタに含まれるセルの座標を知ることが当然できない。配置するクラスタのネットの仮想配線長を 1 階層レベル前のクラスタに対する配線要求を無視して計算すると正確な評価値は得られない。そこで、配置対象領域に対して 1 階層レベル前のクラスタへの配線要求はその領域外の配線要求とみなし、1 階層レベル前のクラスタをその領域に対する外部端子として仮想配線長を計算することとする。

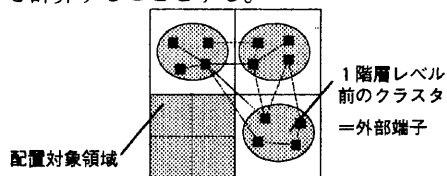


図 6：外部端子の考え方

#### 3.2 外部端子位置決定問題

□クラスタ配置における外部端子位置決定問題とは、配置対象領域にクラスタを配置するとき、そのネットの仮想配線長が正確に計算されるように外部端子の位置(座標)を決定する問題である。この外部端子位置決定問題は、ランダムイズドアルゴリズムを用いたクラスタ配置を行う場合、非常に重要になってくる。なぜならば、先に示したようにネットの仮想配線長の計算結果はランダムイズドクラスタ配置アルゴリズムの確率決定に影響を及ぼすからである。

##### 3.2.1 従来方法とその問題点

従来、外部端子座標、すなわち各 1 階層レベル前のクラスタの位置を示す座標は、図 7 のように矩形(スロット)の左下に設定し、配置対象領域外への配線要求はそこに集約されていると考えていた。しかし、図 8 のように対称の位置にあるクラスタに対して互いにネットの仮想配線長を計算した場合、本来一致しなければならない仮想配線長の計算結果が一致せず、整合性を失う。したがって、ネットの仮想配線長が正確に計算されず、ランダムイズドクラスタ配置アルゴリズムにおける確率決定に悪影響を与える。

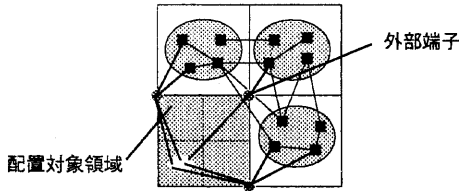


図 7：従来方法の外部端子位置の考え方

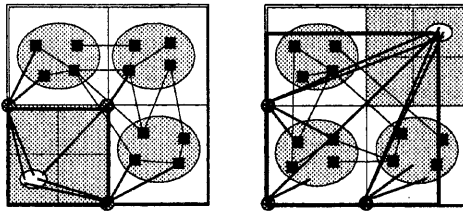


図 8：従来方法の仮想配線長の求め方

### 3.2.2 提案方法

従来の外部端子位置決定方法の問題点を改善するために、図 9 のように外部端子位置を配置対象領域に隣接しているスロット(以下隣接スロットと呼ぶ)の隣接辺の中点に設定し、配置対象領域外への配線要求はそれら 2 端子に集約することを提案する。この提案は配置処理での実際の配線を考慮したものである。ただし、配置対象領域の対角にあるスロット(以下対角スロットと呼ぶ)に対する配線要求における仮想配線長計算の不明確さをなくすために、対角スロットに対する配線要求は均等に 2 端子に振り分けるものとする。

本提案方法により、図 10 のように対象の位置にあるクラスタの仮想配線長の計算結果が一致し、従来の外部端子位置決定方法よりもより正確に仮想配線長の計算が行われる。したがって、ランダムイズドクラスタ配置アルゴリズムにおける確率決定に対しても悪影響を及ぼさないと考えられる。

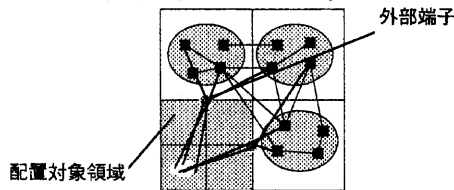


図 9：提案方法の外部端子位置の考え方

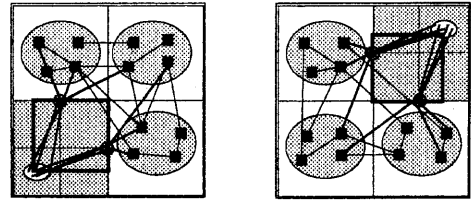


図 10：提案方法の仮想配線長の求め方

## 4 実験

従来と提案の外部端子位置決定方法により実験を行い、仮想配線長合計を計算したときの比較結果を以下に示す。

### 4.1 実験環境

#### ● 実験データ

実験データは部品数(セル数)125、配線要求数 344 本、配置領域(ブロック)2000×2400 格子による小規模データを用いた。このデータは、MCNC(Microelectronics Center of North Carolina)ベンチマークによるものである。

#### ● 実験回数

本実験はランダムイズドアルゴリズムに基づく実験であるので、複数回試行を行った。今回は 1000 回のデータサンプル採取を行うものとする。

#### ● スロット分割方法

本実験では、配置対象領域(スロット)への分割数を 4 とし[4]、1000 回の実験におけるスロット分割は、どの階層においても全て同条件で行われるものとする。

#### ● クラスタ生成方法

本実験では、1000 回の実験におけるクラスタ生成が、どの階層においても全て同条件で行われるものとする。したがって、クラスタ生成による実験データへの影響はない。

#### ● 目的関数

目的関数は仮想配線長合計最小化である。

### 4.2 実験結果

表 1 は、従来方法と提案方法によって、外部端子位置を決定したときのそれぞれの仮想配線長合計の最良値、最悪値および平

均を表している。また、図 11は 1000 回のデータ採取におけるそれぞれの仮想配線長合計の分布を示している。縦軸は仮想配線長合計、横軸はその仮想配線長合計の出現回数を表す。図 11から、従来方法では、仮想配線長合計の長い配置の出現回数への偏りが大きいことがわかる。それに対して、提案方法では、112000 から 113000 格子を中心に仮想配線長合計の長いものから短いものまで定期的に出現し、それが分布に表れているので、表 1に示されているように平均は従来方法とほぼ同等であるが、最良値で比較すると約 3000 格子ほど提案方法の仮想配線長合計の方が短い。実験を行うにあたって削減率約 3%を予想としていたので本結果は期待通りであると言える。しかし、実際の VLSI 設計では、部品数数十万の大規模データで行われるので、大規模データでの評価が必要となる。また、その結果を用いて配置処理を行い、その配線率の評価を行うこととさらに、現在、実現されていない各階層レベルでの初期配置の並列処理の実装化が今後の課題として挙げられる。

表 1：仮想配線長合計の比較

	提案方法	削減率	従来方法
最良値	104738	2.8%	107806
最悪値	117971	0.6%	118713
平均	112996	-	112716

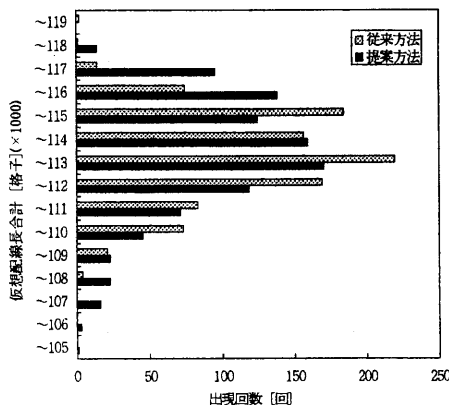


図 11：仮想配線長合計の分布

## 5 まとめ

- ランダムイズドアルゴリズムに基づくクラスタ配置処理を提案した
- 外部端子位置をスロットの隣接スロットの隣接辺の中点に近似することを提案した
- 対角スロットに対する部品の配線要求を2端子に均等に振り分けた
- 小規模データにより提案方法の評価を行った結果、最良値で従来よりも約 2.8%の削減が見られた

## 6 今後の課題

- 提案方法によるランダムイズドクラスタ配置の性能向上
- 大規模データと結合し、配線率、処理時間の評価及び並列化の実装

## 参考文献

- [1]. 白石洋一、：「VLSI レイアウト自動設計アルゴリズムに於ける諸問題」、情報処理学会、アルゴリズム研究会資料、アルゴリズム 19-6、1月、1991
- [2]. 小澤時典、石井建基、三浦地平、寺井秀一、：「標準セル方式 VLSI の配置手法とその評価」、電子情報通信学会論文誌、vol.J67-D、No.10、10月、1984
- [3]. 徳山豪：「ランダムアルゴリズムの話題から」、電子情報通信学会誌、vol.77、No.9、9月、1994
- [4]. 荒川 浩一、小川 泰：4分割初期配置手法、設計自動化、1992