

# 実時間数列生成アルゴリズムの1ビット通信 セルラ・オートマトン上での実装について

上川 直紀<sup>(†)</sup>

梅尾 博司<sup>(††)</sup>

<sup>(†)</sup> 大阪電気通信大学大学院 工学研究科 情報工学専攻

<sup>(††)</sup> 大阪電気通信大学 総合情報学部 情報工学科

## 概要

Fibonacci,  $\{2^n \mid n = 1, 2, 3, \dots\}$ ,  $\{n^2 \mid n = 1, 2, 3, \dots\}$  などいくつかの non-regular な数列が, セルラ・オートマトン上で実時間で生成可能なことが知られている. これらの結果はセル間通信量が  $O(1)$  ビットのセルラ・オートマトン上で示されたものであるが, 本稿では, セル間の通信量を1ビットに制限したモデル ( $CA_{1\text{-bit}}$ ) 上に実装し, 上記に示した数列がそれぞれ内部状態数 9, 4, 3 の  $CA_{1\text{-bit}}$  で実現可能なことを示す.

## キーワード

セルラ・オートマトン, セル間通信量, 1ビットセルラ・オートマトン, 実時間数列生成問題

## Some algorithms for real-time generation of non-regular sequences and their implementations on 1-bit inter-cell-communication cellular automata

Naoki Kamikawa<sup>(†)</sup> and Hiroshi Umeo<sup>(††)</sup>

<sup>(†)</sup>Osaka Electro-Communication Univ., Graduate School of Engineering

<sup>(††)</sup>Osaka Electro-Communication Univ., Faculty of Information Science and Technology

## Abstract

It is well known that several non-regular sequences such as Fibonacci,  $\{2^n \mid n = 1, 2, 3, \dots\}$ ,  $\{n^2 \mid n = 1, 2, 3, \dots\}$  can be generated in real-time by cellular automata. In this paper, we consider the same problem on special class of cellular automata  $CA_{1\text{-bit}}$ , where the amount of bits exchanged in one step between neighbouring cells is restricted to 1-bit. We show that those sequences above can be generated in real-time by  $CA_{1\text{-bit}}$ , where the number of internal states is, respectively, 9, 4, and 3. Our result is an improvement in the number of internal states over the previous one.

## key words

cellular automata, 1-bit inter-cell-communication cellular automata, real-time sequence generation problem

## 1 はじめに

セルラ・オートマトンは, 従来から網目結合を持つ並列計算モデルとして, また最近では複雑系, 人工生命など数多くの分野で精力的に研究がなされている. これらのセルラ・オートマトンにおいて, 隣接する2つのセル間の通信量は  $O(1)$  ビットであるが, セル間通信量は有限状態記述というオートマトンの定義には明示的には現れず, セル間通信量に関する研究はこれまであまりされていない. Mazoyer[2],[3] ならびに Umeo[4]-[6] らは, セル間の通信量を1ビットに制限したセルラ・オートマトン

・モデル  $CA_{1\text{-bit}}$  を考案し, 従来のモデルで考察されている問題に対して, 同一時間で解決できる  $CA_{1\text{-bit}}$  のアルゴリズムが存在することを明らかにした.

Fibonacci,  $\{2^n \mid n = 1, 2, 3, \dots\}$ ,  $\{n^2 \mid n = 1, 2, 3, \dots\}$  などいくつかの non-regular な数列が, セルラ・オートマトン上で実時間で生成可能なことが知られている. これらの結果はセル間通信量が  $O(1)$  ビットのセルラ・オートマトン上で示されたものであるが, 本稿では, セル間の通信量を1ビットに制限したモデル ( $CA_{1\text{-bit}}$ ) 上に実装し, 上記に示した数列がそれぞれ内部状態数 9, 4, 3 の  $CA_{1\text{-bit}}$  で実現可能なことを示す.

## 2 1ビット通信セルラ・オートマトン

1ビット通信セルラ・オートマトン (CA<sub>1-bit</sub>) は、有限状態オートマトン A の無限長のアレイで構成される。図1のように、セルは左端から C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>, ..., C<sub>n</sub> と呼ぶ。

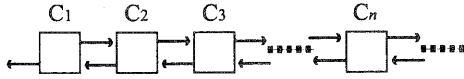


図1 1次元接続セルラ・オートマトン

有限状態オートマトン A を定式化すると、 $A = (Q, \delta)$  となる。Q は内部状態の有限集合である。δ は状態遷移関数であり、次のように定義される。

$$\delta: Q \times \{0,1\} \times \{0,1\} \rightarrow Q \times \{0,1\} \times \{0,1\}$$

状態遷移関数 δ は次の意味を持つ。

$$\delta(p, x, y) = (q, x', y') \\ p, q \in Q, \quad x, y, x', y' \in \{0,1\}$$

あるステップ t 時に、セル C<sub>i</sub> の内部状態が p であり、左側のセル C<sub>i-1</sub> から1ビットの信号 x、右側のセル C<sub>i+1</sub> から1ビットの信号 y が入力されると、次のステップ t+1 時にセル C<sub>i</sub> の内部状態が q に遷移し、左側のセル C<sub>i-1</sub> に1ビットの信号 x'、右側のセル C<sub>i+1</sub> に1ビットの信号 y' を出力する。

M を CA<sub>1-bit</sub> とし、{ t(n) | n = 1, 2, 3, ... } を無限に単調増加する正整数の数列とする。任意の n について、時刻 t = t(n) 時にセル C<sub>1</sub> から左側に信号 '1' が出力されると、M は実時間で、数列 { t(n) | n = 1, 2, 3, ... } を生成すると言う。上記の条件に満足な M を、実時間数列生成機と呼ぶ。

## 3 CA<sub>1-bit</sub> 上での実時間数列生成アルゴリズム

参考文献 [1] では、3種類の数列、Fibonacci、{ 2<sup>n</sup> | n = 1, 2, 3, ... }、{ n<sup>2</sup> | n = 1, 2, 3, ... } の生成アルゴリズムを、内部状態数がそれぞれ、17, 12, 10 の CA<sub>1-bit</sub> で実現している。本節では、内部状態数をそれぞれ、9, 4, 3 に削減した実時間数列生成アルゴリズムについて述べる。

### 3.1 数列 { n<sup>2</sup> | n = 1, 2, 3, ... }

実時間で数列 { n<sup>2</sup> | n = 1, 2, 3, ... } を生成するには、図2に示しているように、2種類の波、A波、B波を用いる。

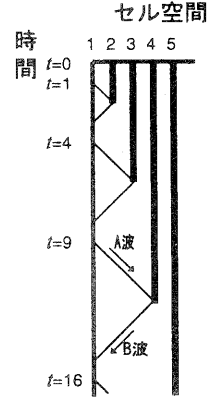


図2 n<sup>2</sup> の生成を表す時間-空間図式

このアルゴリズムは、内部状態数3の CA<sub>1-bit</sub> で実現している。使用している内部状態は Q, N0, R である。状態が Q のセルに左側から信号 '1' が入力されると、状態が R に遷移し、左方向に信号 '1' を出力する。状態が Q のセルに右側から信号 '1' が入力されると、状態が N0 に遷移する。状態 N0 のセルは、次のステップに状態 Q に遷移し、左右両方向に信号 '1' を出力する。状態 R は信号 '1' が入力されると、入力方向と反対側に信号 '1' を出力する。また状態 R は自らの状態を保持しつづける。状態 R が伝える、右方向に進む信号 '1' を B 波、左方向に進む信号 '1' を C 波とする。B 波、C 波は共に速さ 1/1 の波である。

セル C<sub>1</sub> の内部状態が Q、セル C<sub>2</sub> からセル C<sub>i-1</sub> の内部状態が R、セル C<sub>i</sub> の以降の内部状態が Q の1次元セルラ・オートマトンを考える。t = j の時セル C<sub>1</sub> から左右両方向に信号 '1' が出力される。これにより、A 波が生成され、A 波はセル空間を右方向に進む。A 波がセル C<sub>i</sub> に到達する時刻は t = j + i - 1 である。A 波は反射し左方向に進む波、B 波に変化する。セル C<sub>i</sub> の内部状態は R に遷移する。B 波がセル C<sub>1</sub> に到達する時刻は、t = j + 2(i - 1) である。セル C<sub>1</sub> の内部状態は N0 に遷移する。次のステップでセル C<sub>1</sub> の内部状態は Q に遷移し、左右両方向に信号 '1' を出力する。このときの時刻は t = j + 2(i - 1) + 1 = j + 2i - 1 である。C<sub>1</sub> から右両方向に出力された信号 '1' により、A 波が生成される。A 波がセル空間を進み、状態 Q のセルと衝突し、B 波が生成され、B 波が C<sub>1</sub> に達し、C<sub>1</sub> が左右両方向に出力する時刻は、t = j + 2i + 1 + 2i + 1 = 4i + 2 となる。これは、内部状態 Q のセルの範囲が、狭まるからである。これらより、C<sub>1</sub> から左側に信号 '1' が出力される時刻は、t = j + n<sup>2</sup> + 2(i - 2)n - 2i + 3 (n = 1, 2, 3, ...) となる。

初期状態で、セル C<sub>1</sub> の内部状態は N0 で、その他のセルの内部状態は Q とすると、j = 1, i = 2 となる。よって、C<sub>1</sub> が左右両方向に出力する時刻は、t = n<sup>2</sup> (n = 1, 2, 3, ...) となる。

t = 16 までの数列 { n<sup>2</sup> | n = 1, 2, 3, ... } 生成アルゴリズムのシミュレーション結果と従来のアルゴリズムによるシミュレーション結果を図3に示す。

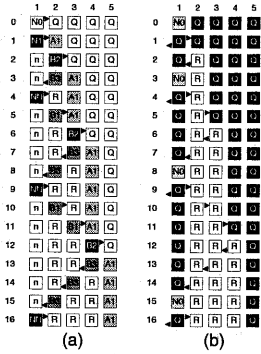


図3 (a) 従来のアルゴリズムのシミュレーション結果 (b) 状態数削減後のシミュレーション結果

### 3.2 数列 $\{ 2^n \mid n = 1, 2, 3, \dots \}$

実時間で数列  $\{ 2^n \mid n = 1, 2, 3, \dots \}$  を生成するには、図4に示しているように、3種類の波、A波、B波、C波を用いる。

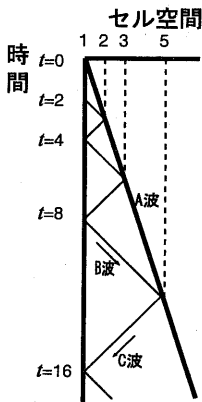


図4  $2^n$  の生成を表す時間-空間図式

このアルゴリズムは、内部状態数4のCA<sub>1</sub>-bitで実現している。使用している内部状態はQ, A0, A1, Rである。初期状態では、すべてのセルの内部状態はQである。ただしセルC<sub>1</sub>のみ、右側のセルに信号'1'を出力する。時刻t=1にセルC<sub>1</sub>が出力した信号により右方向に進む速さ1/3の波、A波が生成される。A波が通過したセルは、セルC<sub>1</sub>以外、内部状態がRに遷移する。状態Rは信号'1'が入力されると、入力方向と反対側に信号'1'を出力する。また状態Rは自らの状態を保持しつづける。状態Rが伝える、右方向に進む信号'1'をB波、左方向に進む信号'1'をC波とする。B波、C波は共に速さ1/1の波である。ある時刻t=sにセルC<sub>1</sub>から右方向に信号'1'が出力され、B波が生成される。B波は状

態Rのセルを伝わり、セル  $\lfloor \frac{s}{2} \rfloor + 1$  の位置でA波に衝突する。A波は速さを変えず、そのまま進み続ける。B波は反射してC波となり、状態Rのセルを伝わりセルC<sub>1</sub>に信号'1'を伝える。セルC<sub>1</sub>に信号'1'が伝わる時刻は図5より  $t = s + 2\lfloor \frac{s}{2} \rfloor + 1 - 1 = 2s$  となる。

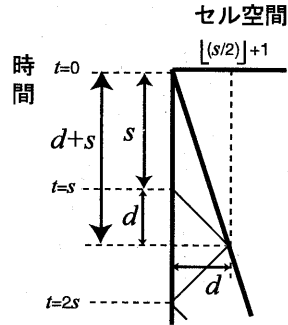


図5 A波とB波の衝突を表す時間-空間図式

また時刻t=2sにセルC<sub>1</sub>から右方向に信号'1'が出力される。これより、B波が生成され、セル空間を右方向に進む。B波が、A波に衝突し、反射してC波となり、セルC<sub>1</sub>に到達するのは時刻t=4sの時となる。これより、t=2にセルC<sub>1</sub>から右方向に信号'1'が出力させれば、数列  $\{ 2^n \mid n = 1, 2, 3, \dots \}$  を実時間で生成することができる。

t=16までの数列  $\{ 2^n \mid n = 1, 2, 3, \dots \}$  生成アルゴリズムのシミュレーション結果と従来のアルゴリズムによるシミュレーション結果を図6に示す。

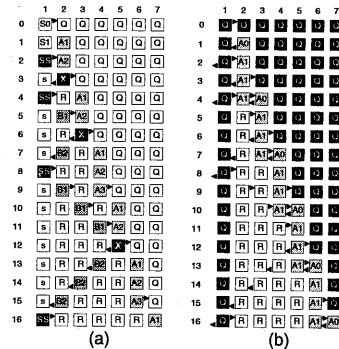


図6 (a) 従来のアルゴリズムのシミュレーション結果 (b) 状態数削減後のシミュレーション結果

### 3.3 Fibonacci 数列

実時間でFibonacci数列を生成するには、図7に示しているように、4種類の波、A波、B波、C波、W波をもちいる。

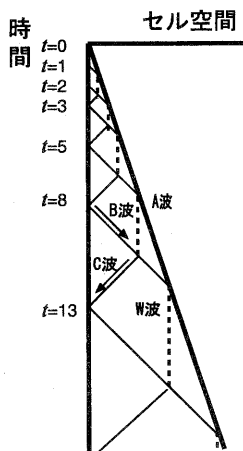


図7 Fibonacci 数列の生成を表す時間-空間図式

このアルゴリズムは、内部状態数9の  $CA_{1-bit}$  で実現している。使用している内部状態は Q, A0, A1, A2, R, Wo, We, d, N0 である。初期状態では、セル  $C_1$  の内部状態は N0 で、その他のセルの内部状態は Q である。ただしセル  $C_1$  のみ、右側のセルに信号'1'を出力する。それにより、時刻  $t = 1$  にセル  $C_1$  が出力した信号により右方向に進む速さ  $1/3$  の波、A 波が生成される。A 波が通過したセルは、セル  $C_1$  以外、内部状態が R に遷移する。状態 R は信号'1'が入力されると、入力方向と反対側に信号'1'を出力する。また状態 R は自らの状態を保持しつづける。状態 R が伝える、右方向に進む信号'1'を B 波、左方向に進む信号'1'を C 波とする。B 波、C 波は共に速さ  $1/1$  の波である。ある時刻  $t = s$  にセル  $C_1$  から右方向に信号'1'が出力され、B 波が生成される。B 波は状態 R のセルを伝わり、A 波に衝突する。

A 波は速さを変えず、そのまま進み続け、A 波と B 波が衝突したセルの位置に、W 波が生成される。W 波は、その場にとどまり続ける波である。W 波が生成される位置は、3.2 で示したように、 $\lfloor \frac{s}{2} \rfloor + 1$  である。ただし、 $s$  が偶数か奇数かにより、W 波を構成する内部状態が変化する。 $s$  が偶数の場合、W 波は内部状態 We で構成される。 $s$  が奇数の場合、W 波は内部状態 Wo で構成される。次に  $t = k (k > s)$  の時、セル  $C_1$  から右方向に信号'1'が出力され、B 波が生成される。B 波は状態 R のセルを伝わり、W 波に衝突する。W 波が内部状態 We で構成されている場合、W 波は消滅し、B 波はそのまま右方向に伝わり、C 波を生成する。W 波が内部状態 Wo で構成されている場合、W 波は消滅し、B 波はそのまま右方向に伝わり、1 ステップ遅らせて C 波を生成する。B 波は A 波にセルの位置で衝突し、新たな W 波を生成する。C 波がセル  $C_1$  に到達するのは、 $t = k + s$  時となる。このようにして、前項の値をセル空間に記憶させることにより、実時間で Fibonacci 数列の生成を実現している。

$t = 21$  までの Fibonacci 数列生成アルゴリズムのシミュレーション結果と従来のアルゴリズムによるシミュレーション結果を図8に示す。

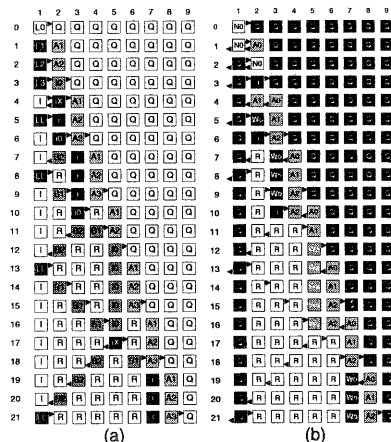


図8 (a) 従来のアルゴリズムのシミュレーション結果 (b) 状態数削減後のシミュレーション結果

## 4 おわりに

本稿では、セル間通信量を1ビットに制限した並列計算モデル  $CA_{1-bit}$  上での実時間数列生成問題について考察し、それぞれ 10, 12, 17 必要であった数列  $\{n^2 \mid n = 1, 2, 3, \dots\}$ ,  $\{2^n \mid n = 1, 2, 3, \dots\}$ , Fibonacci の生成アルゴリズムの内部状態数を 3, 4, 9 にまで削減できることを示した。今後の課題として、他の数列も含め、状態数における最適解を求めることと、 $CA_{1-bit}$  の生成能力の特徴付けがあげられる。

## 参考文献

- [1] M. Inada, "Sequence generation algorithms on cellular automata with 1-bit inter-cell communications", Master Thesis (in Japanese), Osaka Electro-Communication Univ., (1997).
- [2] J. Mazoyer, "A minimal time solution to the firing squad synchronization problem with only one bit of information exchanged", Ecole Normale Supérieure de Lyon, Technical report No. 89-03, p.51, April (1989).
- [3] J. Mazoyer, "On optimal solutions to the firing squad synchronization problem", Theoretical Computer Science, 217, pp.53-80 (1999).
- [4] H. Umeo, "Cellular Algorithms with 1-Bit Inter-Cell Communications", Proc. of MFCS'98 Satellite Workshop on Cellular Automata (Eds. T. Worsch and R. Voilmar), pp.93-104, Interner Bericht 19/98, University of Karlsruhe, (1998).
- [5] H. Umeo and M. Inada, "A Design of Cellular Algorithms for 1-Bit Inter-Cell Communication", Proc. of Fifth International Workshop on Parallel Image Analysis IWPIA '97, pp.51-62, (1998).
- [6] H. Umeo, J. Nishimura and T. Sogabe, "1-Bit Inter-Cell Communication Cellular Algorithms (invited Lecture)", Proc. of the Tenth International Colloquium on Differential Equations, (1999).