

タイミング余裕を確保したデジタルLSIの製造後クロック調整

諏佐 達也[†] 村川 正宏[‡] 高橋 栄一[‡]
飯島 洋祐[‡] 古谷 立美[†] 樋口 哲也[‡]

[†] 東邦大学大学院 理学研究科

[‡] 半導体 MIRAI プロジェクト, 産業技術総合研究所 次世代半導体研究センター

近年, デジタル LSI の高速化や微細化に伴い, 製造ばらつきにより発生するクロック・スキューが, 歩留の低下を招き, チップ価格の上昇を引き起こしている. この問題を解決するために, デジタル LSI の製造後クロック調整技術が提案され, 調整実験の結果, 歩留を向上できたことが報告されている. しかし, 従来手法では電源電圧や温度などの環境変動を吸収するタイミング余裕が存在しなかったため, 調整後のチップの一部で不安定な動作が観察されている. そこで本研究では, 設計値よりも厳しい条件で調整することにより, タイミング余裕を確保するデジタル LSI の製造後クロック調整手法を提案する. 遺伝的アルゴリズムを用いた調整実験の結果, タイミング余裕を確保した上で歩留を大幅に向上させることに成功した.

Post-fabrication clock-timing adjustment for digital LSIs ensuring timing margins

Tatsuya Susa[†] Masahiro Murakawa[‡] Eiichi Takahashi[‡]
Yousuke Iijima[‡] Tatsumi Furuya[†] Tetsuya Higuchi[‡]

[†] Graduate School of Science, Toho University

[‡] MIRAI Project, National Institute of Advanced Industrial Science and Technology (AIST)

To solve the problem of fluctuations in clock timing with digital LSIs (also known as the "clock skew" problem), we propose a post-fabrication clock adjustment method that ensures robust clock-timing to cope with fluctuations in the LSI environment such as temperature or power supply voltage. This method is realized by adjustment on severer condition than specifications of the LSI. Simulation experiments with genetic algorithms show that the proposed method can enhance the operational yields while ensuring sufficient timing margins.

1. はじめに

半導体 MIRAI プロジェクトでは, デジタル LSI のクロックスキュー (クロック信号の伝搬時間のずれ) 問題 [1] を解決するために, チップのクロックラインにタイミングを微調整可能にするプログラマブル遅延回路を複数挿入し, 製造後にそれらを遺伝的アルゴリズムを用いて調整する方式を提案している

[2][5]. 中規模回路での調整実験の結果, 歩留を大幅に向上させることに成功しているが, 調整後のチップの一部では動作が不安定になることが観察されている. 調整後のチップで動作が不安定になる原因として, チップ動作時の電源電圧の降下や温度変化等の環境の変動が引き起こすチップ内回路の遅延が考えられる. この遅延により, 正常に動作するよう

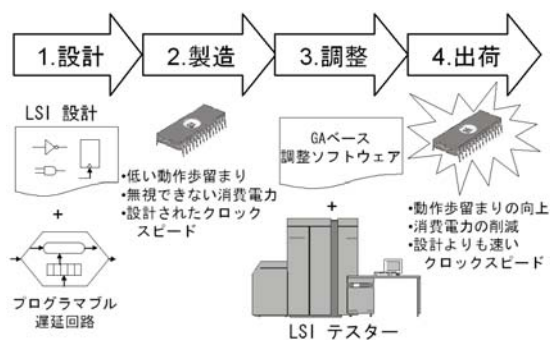


図 1: LSI の製造後クロック調整技術

に調整されたはずのチップに誤動作が生じる。実際に、この環境の変動による遅延を吸収するようなタイミング余裕が、調整後のチップにどの程度存在しているかをシミュレーション実験により調査した結果、従来手法による調整では十分なタイミング余裕が確保されていない場合が多いことがわかっている [3].

そこで本稿では、タイミング余裕を確保するデジタル LSI の製造後クロック調整手法を提案し、シミュレーション実験により提案手法の有効性を検証する。

2. デジタル LSI の製造後クロック調整

デジタル LSI には、クロックスキューによる動作歩留 (設計通りのスペックで動作できるチップの比率) の低下の問題がある。そこでチップを製造後に調整することによりクロックスキューを補正する方式が提案されている [図 1].

この方式では、チップの設計段階でクロックのタイミング余裕が少ないことがわかっている場合、その部分にクロック信号の到達タイミングを微調整することができるプログラブル遅延回路を、あらかじめ複数挿入した上でチップを製造する。そしてチップの製造後に、遺伝的アルゴリズム [4] を用いて、挿入したプログラブル遅延回路を最適に調整する [図 2].

この方式を用いることにより、中規模回路において動作歩留の向上のみならず、クロック周波数の向上、動作電源電圧を下げることによる低消費電力化が実現されている [5].

しかし、調整後のチップの一部では動作が不安定になることが観察されている。これは、調整後のチップが十分なタイミング余裕を持って調整されていな

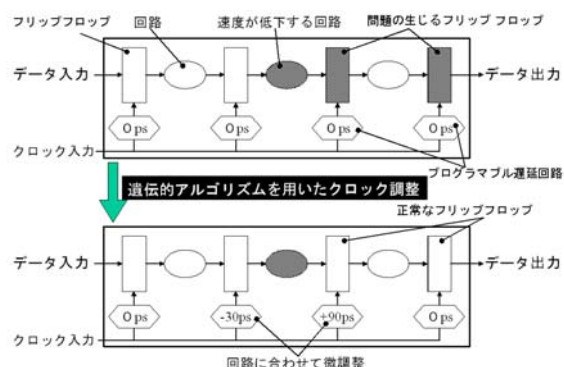


図 2: 遺伝的アルゴリズムを用いた調整の様子

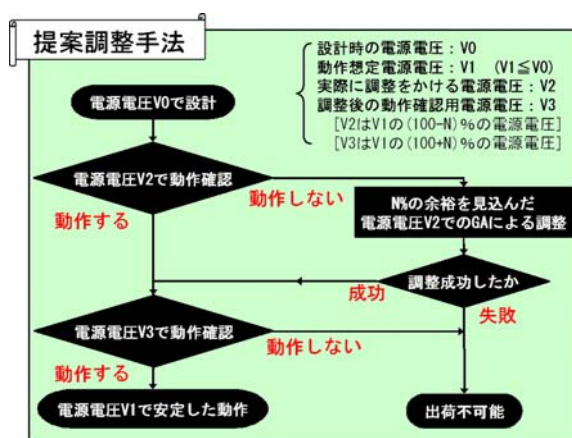


図 3: タイミング余裕を確保する調整手法

い場合に、電源電圧や温度などの環境に変動が生じた結果、調整が成功したにもかかわらず動作が不安定になっていることが推定される。実際に、調整後の LSI には、どの程度の大きさのタイミング余裕が存在しているのかをシミュレーションにより検査した結果、従来の調整手法では十分なタイミング余裕が確保されていないことがわかった [3].

3. タイミング余裕を確保する調整手法の提案

そこで本稿では、調整時に十分な余裕を確保する製造後クロック調整手法を提案する。提案手法は、調整時の条件を設計値よりも厳しく設定して調整をかけることでタイミング余裕を確保した上で歩留を向上させる手法である。具体的には、図 3 に図示したような手順で調整を行う。

まず、動作電源電圧に対して確保するタイミング余裕の割合を $N\%$ とする。調整時の動作電源電圧

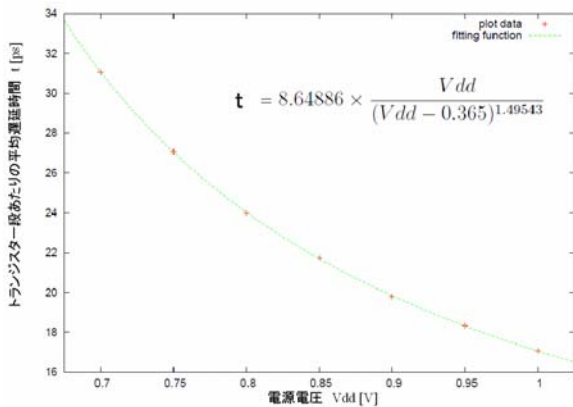


図 4: 電源電圧と遅延時間のフィッティンググラフ

(V2) を動作想定電源電圧 (V1) よりも N% 小さく設定して調整をかけることで、電源電圧低下時のタイミング余裕を確保する。更に、調整済みのチップに対して、動作電源電圧 (V3) を動作想定電源電圧 (V1) よりも N% 大きく設定して動作確認を行う。この設定においても正常動作するチップであれば、電源電圧上昇時にも安定して動作することができるチップと判断できる。こうすることで、動作想定電源電圧 (V1) の上下 N% 分のタイミング余裕を確保した上でチップの歩留を向上させることができる。

4. 予備実験

この提案手法の有効性を確認するためにシミュレーションによる調整実験を行う。

シミュレーションでは、実際に試作した複数個の実験用チップから、トランジスタの遅延時間とそのばらつき方の特性を取得し、その特性を用いて仮想的なチップを大量に生成し、調整実験を行う。

予備実験では、実験用チップに内蔵されているリングオシレータの電源電圧を降下させながら発振周波数を測定した。その周波数から、トランジスタの電源電圧 (Vdd) と遅延時間 (t) の関係と、電源電圧と遅延時間のばらつき方、すなわち標準偏差 (σ) の関係をそれぞれ近似式により表した。

図 4 は電源電圧と遅延時間の関係を表したフィッティンググラフで、電源電圧が降下すると、平均遅延時間が上昇しているのがわかる。図 5 は電源電圧と遅延時間のばらつき方の関係を表したフィッティンググラフで、電源電圧が降下すると、遅延時間のばらつき方は大きくなっているのがわかる。

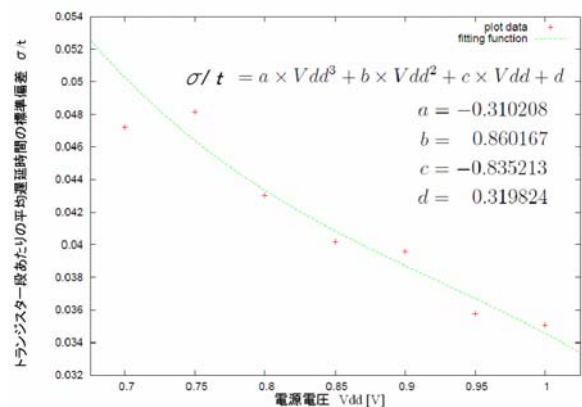


図 5: 電源電圧と遅延時間のばらつき方のフィッティンググラフ

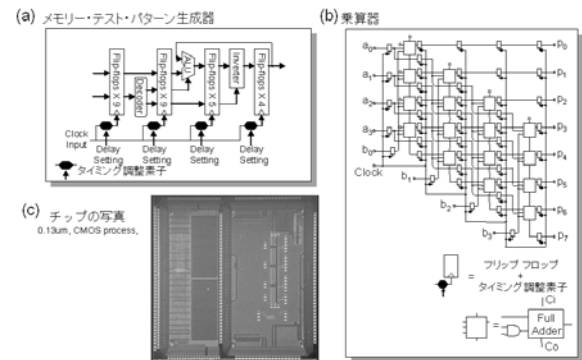


図 6: 各回路図とチップ写真

5. シミュレーション実験

予備実験により得られた近似式をシミュレータに実装し、提案手法による調整シミュレーション実験を行った。対象の仮想的なチップは、設計動作周波数 1.0GHz、設計動作電源電圧 1.0V で製造された、ALU を含むメモリパターン生成器 (ALU) と乗算器 (MPY) の二種類の中規模回路である [図 6]。

シミュレーション実験では動作想定電源電圧 (V1) を 1.0V から 0.7V まで 0.025V 刻みで降下させ、それぞれの電源電圧毎に仮定の 1000 チップの歩留を調査した。また、調整時のタイミング余裕 N は上下 5% と設定した。

図 7 に ALU におけるシミュレーション実験の結果を示す。横軸には動作電源電圧、縦軸にはチップの歩留を設定し、調整前の歩留、5% のタイミング余裕を考慮した歩留、提案手法による調整後の歩留をそれぞれ折れ線グラフで表している。5% のタイミ

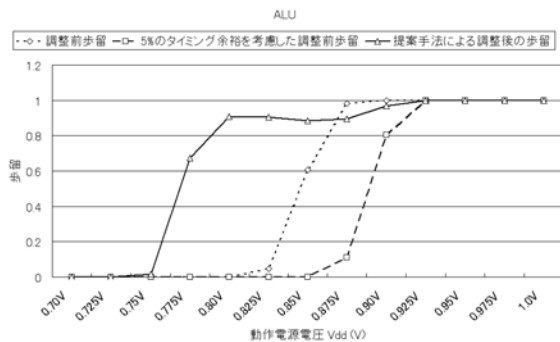


図 7: ALU 回路での調整シミュレーション実験結果

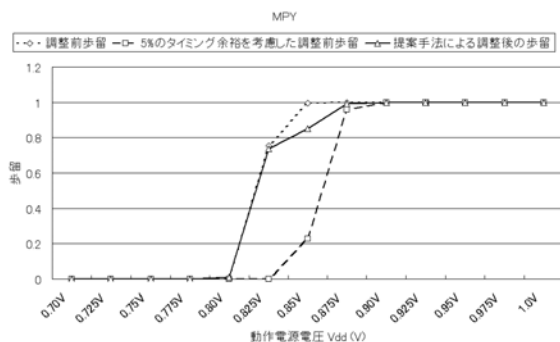


図 8: MPY 回路での調整シミュレーション実験結果

ング余裕を考慮することで、チップの歩留は低減してしまうが、提案手法による調整を行うことでタイミング余裕を確保しつつ歩留が向上している。特に、動作電源電圧 0.8V でのチップの歩留を見ると、チップ製造時には一つも正常動作するチップがなかったのに対し、提案手法による調整をかけることで、タイミング余裕を確保しつつ、歩留を 9 割程度まで向上させることに成功している。この結果、一般に消費電力は動作電源電圧の 2 乗に比例するため [6], 36% の消費電力削減が可能である。

次に、図 8 に MPY におけるシミュレーション実験の結果を示す。こちらの回路においても、動作電源電圧 0.85V でチップ製造時にほぼ 10 割あった歩留が、5% のタイミング余裕を考慮することで歩留が 2 割ほどに落ち込んでしまうのに対し、提案手法による調整を行うことで、タイミング余裕を確保しつつ、歩留を 8 割 5 分程度にまで向上させることに成功した。この結果、約 28% の消費電力削減が可能である。これらのシミュレーション実験により、提案手法による調整の有効性を示すことができた。

6. おわりに

本研究では、余裕を確保しつつ、動作歩留を向上できる新しい製造後クロック調整手法を提案した。シミュレーションによる調整実験の結果、タイミング余裕を確保しつつ、消費電力も削減した上で、歩留を向上させることに成功した。今後は、本手法の有効性を実証するための実機を用いた実験を行う予定である。

謝辞

本研究は半導体 MIRAI プロジェクトの一部として、NEDO（新エネルギー・産業技術総合開発機構）からの委託により実施している。本研究の遂行にあたり、実験用 LSI の設計資料などを提供していただいた株式会社 日立超 LSI システムズ殿に感謝する。

参考文献

- [1] J.Rabaey, A.Chandrakasan, and B.Nikolic: "Digital Integrated Circuits", 2nd ed., Englewood Cliffs, NJ:Prentice-Hall, 2003.
- [2] E.Takahashi, M. Murakawa, K.Toda, and T. Higuchi: "An evolvable-hardware-based clock architecture toward gigaHz digital systems", Proc. AAAI Genetic Algorithm and Evolutionary Computation Conf. (GECCO'99), pp.1204-1210, 1999.
- [3] 諏佐 達也, 村川 正宏, 高橋 栄一, 古谷 立美, 樋口 哲也: "デジタル LSI の製造後クロック調整におけるタイミング余裕度の検証", FIT2004 第 3 回情報科学技術フォーラム 一般講演論文集 第 1 分冊, pp.277-278, 2004.
- [4] D. E. Goldberg, "Genetic Algorithms in Search, Optimization, and Machine Learning", Addison Wesley, 1989.
- [5] E.Takahashi, Y. Kasai, M. Murakawa, and T. Higuchi: "Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithms", IEEE Journal on Solid-State Circuits, vol.39, no.4, pp.643-650, 2004.
- [6] T.Sakurai: "LSI design toward 2010 low-power technology", International Conference on VLSI & CAD '99, pp.325-334, 1999.