

FPGAにおけるSMTプロセッサの実装モデル

館 一平[†], 小笠原 嘉泰[†], 佐藤 未来子[†], 笹田 耕一[†],
内倉 要[†], 浅野 一成[†], 並木 美太郎[†], 中條 拓伯[†]

[†] 東京農工大学大学院工学府

近年, FPGA デバイスの高速化, 高集積化, 再構成時間短縮の傾向は著しく, 従来では実現できなかった大規模で複雑な回路を実装することが可能となった. そのため, FPGA デバイスを用いたシステムが多数登場し, それに用いられるプロセッサの高性能化が予想される. プロセッサの高性能化にマルチスレッド化があるが, 本研究ではマルチスレッドプロセッサの1つとして, SMTプロセッサに着目する. SMTプロセッサおよびメモリコントローラをハードウェア記述言語で設計し, FPGAにおけるSMTプロセッサの実装モデルを提案する. また, 提案モデルを実装した結果, SMTプロセッサ, キャッシュメモリ, メモリコントローラを全て, FPGA上に実装することが可能であり, Block RAMを用いることで, ハードウェアスライスを効率的に使用できることを示した.

A Model of Implementable SMT Processor on FPGA

Ippei Tate[†], Yoshiyasu Ogasawara[†], Mikiko Sato[†], Koishi Sasada[†], Kaname Uchikura[†], Kazunari Asano[†],
Mitaro Namiki[†], Hironori Nakajo[†]

[†] Graduate School of Technology, Tokyo University of Agriculture and Technology

Recent improvements of FPGA technology in its clock frequency, density and configuration cost enable to implement large-scale, complex circuit. In these days, many systems adopt FPGA so that the processor in FPGA will be required higher performance. This paper focuses on Simultaneous Multithreaded (SMT) architecture, one of multithreading technique. We suggest a model of SMT processor with memory controller on FPGA designing in hardware description language. As a result, a model that contains SMT processor, cache memory and memory controller is able to implement on single FPGA. Furthermore, we indicate efficient hardware use with internal Block RAM.

1 はじめに

FPGAに代表されるリコンフィギャラブルデバイスは, 高速化, 高集積化, 再構成時間短縮の一途をたどっている. さらに近年その傾向は著しく, 従来では実現できなかった大規模なプロセッサや複雑な回路を実装することが可能となった. そのため, 1チップ中にプロセッサと専用回路を格納し, 1つのシステムとするSoC (System on a Chip) や組み込みプロセッサにおいて, ソフトコアを提供する例は数多く見られる¹⁾. これらのプロセッサは, Intel社のPentium²⁾などの高性能プロセッサに比べ, 非常に小規模であり性能も低い. 今後, さらに多くのリコンフィギャラブルデバイスを用いたシステムが登場するとき, それらに用いられるプロセッサの高性能化が予想される.

プロセッサの高性能化として, マルチスレッドアーキテクチャに注目が集まっている. マルチス

レッドアーキテクチャとは, スレッドレベル並列性 (Thread Level Parallelism) の抽出を目的とするアーキテクチャである. マルチスレッドプロセッサの一つにSMT (Simultaneous MultiThreading) プロセッサ³⁾がある. SMTプロセッサは, 複数のスレッドでプロセッサ中のリソース (演算器, キャッシュメモリなど) を共有しながら同時に実行するという特徴を持つ.

そこで本稿では, マルチスレッドプロセッサとしてSMTプロセッサに注目する. SMTプロセッサおよびメモリコントローラをハードウェア記述言語で設計し, FPGAにおけるSMTプロセッサと主記憶, 外部I/Oと接続した実装モデルを提案する. また, 提案モデルを実際にFPGAに実装し, FPGAデバイス資源を有効に活用する効率的な実装方法を示す.

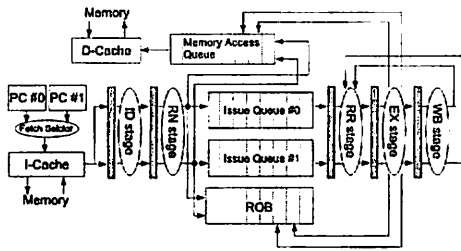


図 1: SEMP の概略図

表 1: SEMP の主な仕様

Parameter	Value
Hardware Contexts	2
Issue Width	2
Execution Units	SimpleALU×2, ComplexALU×1, Load/Store Unit×1
Number of Physical Registers	92
ROB	24
Issue Queue	8
Memory Access Queue	8
Branch Predictor	PHT512entries, GHR2bit
Data Width	32bit

2 プロセッサとメモリアーキテクチャ

本章では、設計する SMT プロセッサアーキテクチャとメモリアーキテクチャについて述べる。

2.1 SMT アーキテクチャ

本稿で用いる SMT プロセッサは我々が研究・開発をすすめている独自のものである。このプロセッサを SEMP (Simply Efficient Multithreaded Processor) と呼ぶ^{4) 5)}。

設計した SMT プロセッサ SEMP の概略図を図 1 に示す。灰色部はパイプラインレジスタを表している。SMT プロセッサのハードウェア資源として、スレッドごとに用意するスレッド占有資源と、スレッドが共通で使用するスレッド共有資源がある。SEMP では、プログラムカウンタ、リオーダーバッファ、Issue Queue、分岐予測器をスレッド占有資源として扱い、実行するスレッド分用意する。それ以外のハードウェア資源である各種演算器、レジスタ・ファイル、キャッシュメモリはスレッド共有資源として扱う。

このプロセッサの主な仕様を表 1 に示す。発行幅、リタイア幅が 2 命令、ハードウェアコンテキスト数が 2 のアウトオブオーダー実行を実現する SMT プロセッサである。またパイプラインステージは図 2 のように、最大 10 段である。

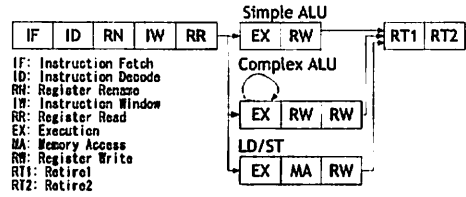


図 2: SEMP のパイプラインステージ

表 2: 設計したキャッシュメモリのパラメータ

Parameter		Value
Capacity	L1-I-Cache	8KB
	L1-D-Cache	8KB
Way	L1-I-Cache	1
	L1-D-Cache	2
Block Size	L1-I-Cache	16B
	L1-D-Cache	16B
Latency	Hit	1 cycle
	Miss	17 cycle

2.2 メモリアーキテクチャ

SMT アーキテクチャでは、各実スレッドで共有するデータの有効活用を目指し、キャッシュメモリを共有する。一般的にキャッシュメモリは L1 と L2 から構成される。しかし、FPGA デバイスでは、L2 キャッシュのような大容量の記憶媒体を実装するだけのハードウェア資源が備わっていない場合がある。今後の FPGA の高集積化により、この問題は解決すると考えられるが、本研究で使用する FPGA デバイスでは、L1 キャッシュのみをキャッシュメモリとして実装する。

キャッシュメモリは命令キャッシュとデータキャッシュを区別する。設計するキャッシュメモリの仕様を表 2 に示す。

命令キャッシュはダイレクトマップとし、データキャッシュは 2way セットアソシアティブとした。キャッシュ容量は、ハードウェア量の制限を考慮し、どちらも 8KB とし、ブロックサイズは 16B とした。キャッシュメモリにヒットした場合、プロセッサとキャッシュメモリのレイテンシは 1cycle となるが、ミスした場合、レイテンシは 17cycle となる。

キャッシュミスをした場合、DDR-SDRAM コントローラを介して、DDR-SDRAM にアクセスする。ミスした場合のレイテンシは、この DDR-SDRAM コントローラで発生する遅れも加味している。

これらの SMT プロセッサ、キャッシュメモリ、DDR-SDRAM コントローラを Verilog-2000 により設計する。

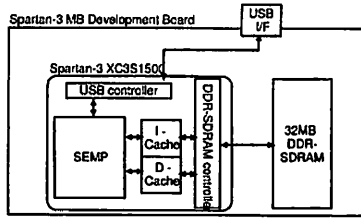


図 3: SMT プロセッサ, キャッシュメモリ, DDR-SDRAM を実装するモデル

3 FPGA における SMT プロセッサの実装モデル

まず, 本研究で使用する FPGA ボードを述べる. 次に, SMT プロセッサ, キャッシュメモリ, メモリコントローラを実装するモデルを示す.

3.1 使用する FPGA ボード

本研究では, FPGA ボードとして, Xilinx 社の Spartan-3 XC3S1500⁶⁾ を FPGA デバイスとして採用している Memec 社の Spartan-3 MB Development Board⁷⁾ を用いる. FPGA デバイスの総ハードウェアスライスは 13312 スライスであり, 総 Block RAM 数は 32 個である.

この FPGA ボードでは, 外部記憶として 1 チャンネル 32MB の DDR-SDRAM を搭載している. 本稿では, この DDR-SDRAM を主記憶として用いる.

また, 外部とのインターフェースとして, USB が搭載されている. 主記憶にプログラムのデータを格納する場合, 計算機と FPGA ボードを USB で接続し, USB を経由して主記憶にデータを書き込む. 他の外部インターフェースも搭載されているが, 本研究では用いない.

3.2 SMT プロセッサ, キャッシュメモリ, DDR-SDRAM を実装するモデル

SMT プロセッサ, キャッシュメモリ, DDR-SDRAM コントローラを FPGA に実装するモデルを図 3 に示す.

Block RAM をキャッシュメモリとして用いる. キャッシュメモリは命令キャッシュとデータキャッシュを区別するので, Block RAM 領域を二つに分割し, それぞれに割り当てる. 主記憶として DDR-SDRAM を用いる. キャッシュメモリと DDR-SDRAM の間にコントローラを配置する. DDR-SDRAM コントローラはキャッシュメモリからのデータ転送の要求を受け, FPGA と DDR-SDRAM とのデータ転送を管理する. 命令キャッシュメモリとデータキャッシュメモリの要求が同時

に発生した場合は, 命令キャッシュメモリの要求を優先する.

このように, FPGA 内の Block RAM をキャッシュメモリに, そして外部の DDR-SDRAM を主記憶に割り当てることで, 規模の大きなプログラムでも実行できるようになり, SMT プロセッサの使用範囲が広がる. プログラムの初期化は USB を用いる.

4 実装結果

本章では設計した SMT プロセッサ SEMP, キャッシュメモリおよびメモリコントローラについて評価する. ハードウェア量, 動作周波数の評価として, Xilinx 社の ISE6.2.03i および Core Generator 6.2.03i を使用した.

4.1 SMT プロセッサ単体の結果

表 3 にシングルスレッドプロセッサの消費スライスと SMT プロセッサ SEMP の消費スライスの比較を示す.

表 3 をみると, SMT 化による消費スライスの増加が大きいのは ID/RN ステージ, リオーダバッファである. この原因として, これらのモジュールは, スレッドごとに用意する占有資源であることが挙げられる. 全体では, SMT 化によって約 1.3 倍程度ハードウェアスライス数が増加している. また, SEMP はレジスタファイルとして 16 個の Block RAM を使用している. 本プロセッサ単体における最大動作周波数は 79.662MHz である.

4.2 SMT プロセッサ, キャッシュメモリ, メモリコントローラの実装モデルの結果

SMT プロセッサとキャッシュメモリ, メモリコントローラを FPGA に実装したモデルの消費スライスを表 4 に示す.

命令キャッシュとデータキャッシュを加えることにより, チップ全体の消費スライスが多くなっている. 命令キャッシュには, 4 個の Block RAM を用い, データキャッシュには 8 個の Block RAM を用いた. 命令キャッシュメモリの容量は $2\text{KB} \times 4 = 8\text{KB}$ である. データキャッシュの容量は 1 つの Block RAM を 1KB 分しか使用していないため, $1\text{KB} \times 8 = 8\text{KB}$ である.

また, 各キャッシュメモリのタグ領域は, スライスをを用いて実現する分散 RAM を用いた. FPGA 内の Block RAM の個数には限りがあり, 本研究で使用する FPGA デバイスには, タグ領域を確保するだけの Block RAM が無い. そこで, データ領域としてのみ利用し, タグ領域を分散 RAM で補った. このため, タグ領域として分散 RAM を

表 3: プロセッサの主なモジュールの消費スライスの比較

Module	Slice (single)	Slice (SMT)	Slice (SMT+single)	Ratio (SMT/single)
IF_state	100	288	188	2.88
ROB	657	1128	671	2.03
EX_state	888	1112	224	1.25
MA_state	1027	1115	88	1.09
Instruction_Window	808	884	58	1.07
ID/RN_state	1273	2082	809	1.64
RR_state	1138	1166	17	1.01
Total	6370	8366	1996	1.31

表 4: SMT プロセッサ, キャッシュメモリ, メモリコントローラを実装したモデルの消費スライス

Module	Slice
SEMP	8366
I - Cache	810
D - Cache	1633
DDR controller	350
USB controller	133
Total	11192
usage rate	84.07%

使用したため, キャッシュメモリの消費スライス数は比較的大きくなっている。

FPGA デバイス全体のハードウェアスライスは 11192 スライスとなり, チップ全体のハードウェアスライスの 84 % を使用した。メモリ領域として DDR-SDRAM を用いているため, 最大 32MB のプログラムやシステムソフトウェアを実行することが可能となった。

5 まとめ

本稿では, 高性能マルチスレッドプロセッサとして, SMT プロセッサを取り上げた。SMT プロセッサを FPGA に実装する場合に考えられるモデルを示し, それらをハードウェア記述言語を用いて設計, 実装した。実装した結果, SMT プロセッサ, キャッシュメモリ, メモリコントローラを共に FPGA 上に実装することが可能であり, Block RAM を用いることで, ハードウェアスライスを効率的に使用できることを示した。

FPGA に実装した SMT プロセッサは, マルチスレッドソフトコア IP や組み込み機器のコアとして活躍できるのではないかと考えられる。今後は, SMT プロセッサに割り込み機構, 浮動小数点演算器を加え, プロセッサの機能を拡張させていく。

参考文献

1) Xilinx Press Release #0412 : http://www.xilinx.com/prs_rls/design_win/0412_marsrover.htm

2) D. Marr, F. Binns, D. Hill, G. Hinton, D. Koufaty, J. Miller, M. Upton : "Hyper-Threading Technology Architecture and Microarchitecture", *Intel Technology Journal*, Vol.6, pp.4-15, 2002.

3) D. Tullsen, S. Eggers, H. Levy : "Simultaneous Multithreading: Maximizing On-Chip Parallelism", *Proceedings of 22rd Annual International Symposium on Computer Architecture*, pp.392-403, 1995.

4) Y. Ogasawara, N. Kato, M. Yamato, M. Sato, K. Sasada, K. Uchikura, M. Namiki and H. Nakajo : "A New Model of Reconfigurable Cache for an SMT Processor and its FPGA Implementation", *Proceedings of the 2005 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA '05)*, Vol.II, pp.447-453, 2005.

5) K. Sasada, M. Sato, S. Kawahara, N. Kato, M. Yamato, H. Nakajo, M. Namiki : "Implementation and Evaluation of a Thread Library for Multithreaded Architecture", *PDPTA '03*, pp609-615, 2003.

6) Spartan-3 Data Sheet (2004): <http://www.xilinx.com/bvdocs/publications/ds099.pdf>.

7) Memec Spartan-3 FPGA-board : http://www.memec.co.jp/html/xilinx/eboard/docs/sp3/Memec_3SMB_UsersGuide_v2_0.pdf.