

大規模デジタルLSIの製造後クロック調整手法の提案と検証

諏佐達也[†] 村川正宏^{††} 高橋栄一^{††}
古谷立美[†] 樋口哲也^{††} 古市慎治^{†††}
上田佳孝^{†††} 和田 淳^{†††}

製造ばらつきにより発生するクロック・スキューの問題を解決するための手法として、遺伝的アルゴリズムを用いたデジタルLSIの製造後クロック調整技術が提案されている。しかし、大規模なLSIの調整では、調整箇所が増大するため、調整時間が増加するという問題がある。そこで、本研究では、大規模デジタルLSIにも適用可能な製造後クロック調整手法を提案する。提案手法では、LSI設計時に行うSTA(Static Timing Analysis)の結果を用いて調整箇所を限定し、調整時間を短縮する。それに加えて、遺伝的アルゴリズムの初期集団の分布を工夫することで、更に調整時間を短縮する。さらに、これらの手法による調整効果をLSIの設計時に検証できるようにするための調整シミュレータを開発した。このシミュレータを用いた調整実験の結果、1031箇所ものフリップフロップが存在する実用的な大規模LSIにおいて、数秒という現実的な時間で調整が完了できる見込みを得た。

Proposal of a Post-fabrication Clock-timing Adjustment Method for Large-Scale Digital LSIs

TATSUYA SUSAI[†], MASAHIRO MURAKAWA^{††}, EIICHI TAKAHASHI^{††}
, TATSUMI FURUYA[†], TETSUYA HIGUCHI^{††}, SHINJI FURUICHI^{†††}
, YOSHITAKA UEDA^{†††} and ATSUSHI WADA^{†††}

To solve the problem of fluctuations in clock timing with large scale digital LSIs (also known as the "clock skew" problem), the post-fabrication clock-timing adjustment technique using a genetic algorithm (GA) has been proposed. However, the adjustment time increases incurred when more programmable delay circuits are incorporated within large-scale LSIs is a serious issue. For this problem, we propose a post-fabrication clock adjustment method to realize practical applications. This method reduces the adjustment time by reducing adjustment points utilizing results of static timing analysis (STA) and adopting improved distribution for initial population of GA. Moreover, we have developed an adjustment simulator to predict the adjustment results by the proposed method in design stages of LSIs. Adjustment experiments using the developed simulator demonstrate that our method can adjust practical large-scale LSIs with 1031 flip-flops within a few seconds.

1. はじめに

近年、デジタルLSIの高速化や微細化に伴い、クロック信号の伝播時間のずれであるクロック・スキュー(Clock Skew)の問題が深刻になってきている¹⁾。この結果、デジタルLSIの動作歩留(設計通りのスペックで動作できるチップの比率)が低下し、チップ価格の上昇を招いている。クロック・スキューの主な発生原因の一つに製造ばらつきがあり、これにより個々のトランジスタの遅延時間や駆動能力、配線の抵抗や寄生容量が変動してしまう。このデジタルLSIのクロック・スキュー問題を解決するために、半導体MIRAIプロジェクトでは、チップのクロックラインに

クロックの入力タイミングを微調整可能にするプログラムブル遅延回路を複数個挿入し、製造後にそれら遅延回路の調整値を遺伝的アルゴリズム(Genetic Algorithm;GA)²⁾を用いて調整する方式を提案している³⁾⁴⁾。遅延回路がそれぞれ44箇所と52箇所の二種類の中規模LSIでの調整実験⁴⁾の結果、歩留を大幅に向上させることに成功している。しかし、大規模なLSIの調整では、調整箇所が増大し、調整時間が大幅に増加するという問題がある。

そこで本稿では、大規模デジタルLSIにも適用可能な製造後クロック調整手法を提案する。提案手法には3つの特徴がある:(1)STA(Static Timing Analysis)の結果を用いて、調整する遅延回路の数をLSIの設計時に限定する。これにより、調整時間を短縮させ、遅延回路のために必要な回路面積を削減させることができる。(2)論理シミュレーションを行うことなく、短時間で調整シミュレーションが可能なシミュレータを開発した。このシミュレータを用いることで、LSI設計時に(1)の効果を容易に確認することができ、最適な遅延回路の数を決定することがで

[†] 東邦大学大学院 理学研究科
Graduate School of Science, Toho University
^{††} 半導体MIRAIプロジェクト、産業技術総合研究所 次世代半導体研究センター
MIRAI-ASRC, National Institute of Advanced Industrial Science and Technology (AIST)
^{†††} 三洋電機株式会社
Sanyo Electric Co., Ltd.

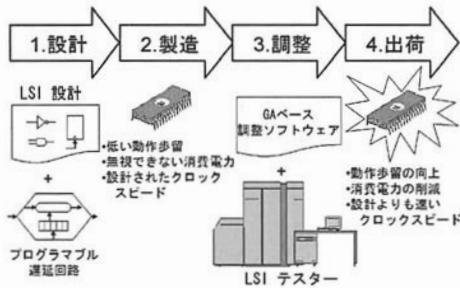


図 1 LSI の製造後クロック調整技術
Fig. 1 Post-fabrication clock-timing adjustment for digital LSIs

きる。(3)調整時のGAの初期集団の分布を工夫する。この工夫により、GAの収束速度を高め、LSI製造後の調整時間を短縮することができる。

提案手法の有効性を検証するために、1031箇所ものフリップフロップ(以下FF)が存在する実用的な大規模LSIに対して、提案手法を用いて遅延回路を挿入した試作LSIを設計した。開発したシミュレータを用いて調整実験を行った結果、従来手法では実現できなかった実用的な時間内の調整が、可能になる見通しを初めて得た。

2. デジタルLSIの製造後クロック調整

デジタルLSIには、クロック・スキューによる動作歩留の低下の問題がある。この問題を解決するために、チップを製造後に調整することによりクロック・スキューを補正する方式が提案されている[図1]。この方式では、あらかじめチップの設計段階で、クロック信号の到達タイミングを微調整することができるプログラマブル遅延回路を、全てのFFに対して挿入した上でチップを製造する。チップの製造後に、遺伝的アルゴリズム²⁾を用いて、挿入したプログラマブル遅延回路を最適に調整する。

2.1 大規模デジタルLSI調整時の問題点

この方式を用いることにより、動作歩留の向上のみならず、設計よりも速いクロックスピードの実現、動作電源電圧を低下させることによる低消費電力化が実現されている⁴⁾。しかし、より大規模なデジタルLSIを調整するとなると、従来の調整手法では限界があった。中規模回路の調整実験⁴⁾では調整対象のLSI内部の全てのFFに対してプログラマブル遅延回路を挿入していた。この従来手法をそのまま大規模LSIに適用したのでは、挿入する遅延回路の数が増大し、チップ面積が増大することにより、チップ製造コストが増える。それに加え、調整箇所の増大によってGAの探索空間が指数関数的に増大する。その結果、調整にかかる時間が増大し、LSIテストコストの増大につながる。

3. 大規模デジタルLSIの調整手法の提案

本稿では、大規模デジタルLSIにも適用可能な調整手法を提案する。図2に提案手法のフローチャートを示す。



図 2 提案手法のフローチャート
Fig. 2 Flow chart for the proposed method

提案手法では、大規模回路を現実的な時間内で調整可能にするために、調整箇所を限定と遺伝的アルゴリズムの初期集団の分布を改良することで調整時間を短縮させる。以下で、図2中の(1)、(2)、(3)の工程についてそれぞれ3.1、3.2、3.3節で説明する。

3.1 調整箇所の限定

この工程では、調整箇所を限定することによって調整時間を短縮させることが目的である。ここで、LSIの設計時に調整箇所を限定することでチップ面積も減少させることができる。そこでこの工程ではまず、LSIの設計時に行うSTAの結果から、FF間の組み合わせ回路をデータ信号が通過するのにかかるパス遅延時間のリストを生成する。次に、タイミング的な余裕に関してパス遅延時間を順位付けし、最も余裕の無いパス遅延時間の両端のFFから順にN箇所を調整箇所決定する。このようにして、調整の効果が見込める場所のみ調整箇所を限定し、調整時間を短縮する。ただしこの時、限定する調整箇所の個数Nの最適値は調整による歩留向上と調整時間増大とのトレードオフで決まるので、対象とするLSIによって異なる。そこで、図2に示すように、次節で説明する調整シミュレータを用いて繰り返し調整シミュレーションを行い、最適なNの値を対象とするLSI毎に決定する。

3.2 調整シミュレーション

調整の効果を設計時に確認するためには、GAによる調整シミュレーションを行う必要がある。GAでは回路がどの程度正常動作するかを評価値として使用し、遺伝的操作により染色体の修正を行った後に再度評価値の計算を行う。調整シミュレーションが完了するまでに、このような繰り返しの評価値計算を行うため、一度の評価値計算に時間がかかる組み合わせ回路の論理シミュレータを用いるのは現実的でない。

そこで、FFが正常な情報を伝達できるかどうかという、タイミング情報のみをモデル化したシミュレータを新たに作成した。このシミュレータを用いることで、最適な調整箇所の数をより高速に発見できる。本調整シミュレータでは、

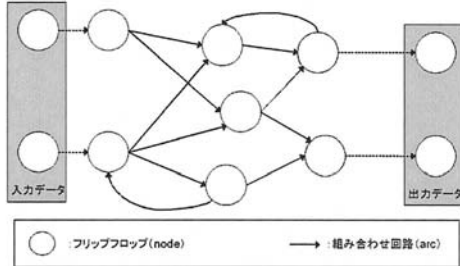


図3 有向グラフで表した調整シミュレータのシミュレーションモデル
Fig. 3 Simulation model for adjustment simulator using directed graphs

図3のようなシミュレーションモデルを用いた。この図では、入力データが組み合わせ回路やFFを通過し、出力されるまでの様子を有向グラフで表現している。一つ一つの組み合わせ回路の情報や、通過データの細かいタイミング関係などを省いているため、少ない計算量でタイミングに関する動作確認が可能となる。

具体的にはまず、STAの結果を用いてネットワークの接続関係を構築する。ここで、FF i が正常に動作するかどうかを表す値を S_i とし、正常動作するならば1、正常動作しないならば0とする。 $S_i = 0$ であるFF i を入力に持ち、出力にFF j を持つ組み合わせ回路 D_{ij} では、正常な値を出力することができないため、FF j には、同様に印 $S_j = 0$ をつける。一方、FF i が $S_i = 1$ である場合、組み合わせ回路を通過する時間 D_{ij} が、クロック信号の一周期分の時間 T_{clk} 以下であれば、演算されるデータが正常に伝達されると仮定し、以下の式(1)、(2)のように処理する。

$$D_{ij} \leq T_{clk} : S_j = 1 \quad (1)$$

$$D_{ij} > T_{clk} : S_j = 0 \quad (2)$$

このようにして、シミュレーションの初期状態では、全てのFF i は全て正常に動作する($S_i = 1$)と仮定し、チップ内の全ての組み合わせ回路でデータが正常に伝達されているかをチェックする。最終的に出力に関係する各FF Out_i が、正常なデータ $S_{out_i} = 1$ を全て保持できていればそのチップは正常に動作していると判断する。ここで、出力に関係するFF Out_i の総数 N_{out} のうち、正常なデータを保持しているFF Out_i の個数 n_{out} の割合 n_{out}/N_{out} を、遺伝的アルゴリズムでの適応度 fit に対応させる。このようにして、遺伝的アルゴリズムでは適応度 fit が1になる染色体が現れるまで遺伝的操作を繰り返す。

次に、組み合わせ回路のタイミングに関するモデルについて説明する。FF i, j のクロックラインに挿入したプログラマブル遅延回路の遅延値を D_i, D_j とした場合、調整後のFF i, j 間のパス遅延時間 D'_{ij} は式(3)で求められる。

$$D'_{ij} = D_{ij} + D_j - D_i \quad (3)$$

このとき、遅延時間 D_{ij} は、LSI設計時のSTAの解析結果を用いる。製造工程で、2つのFF間のパス遅延時間に Var_{ij} のばらつきが生じるとすると、ばらつきを考慮した遅延時間 D''_{ij} は、式(4)のように定義できる。

$$D''_{ij} = D'_{ij} + Var_{ij} \quad (4)$$

ばらつき値 Var_{ij} は、簡単のために相対値 σ_{rel} で正規分布すると仮定し、正規乱数 $N(0, 1)$ を用いて式(5)で求める。

$$Var_{ij} = D_{ij} \times \sigma_{rel} \times N(0, 1) \quad (5)$$

こうして求めた D''_{ij} を式(1)、式(2)の D_{ij} の代わりに用いる。こうして、すべてのFF間のパス遅延をモデル化した仮想的なチップに対し、GAソフトウェアを用いて、調整シミュレーションを実施する。

3.3 GA初期集団の分布の改良

GAで調整を行う際、従来は個体の初期パラメータの値を一樣乱数により設定していた。しかし、製造誤差は設計値を中心として前後にばらついて発生している⁵⁾。そこで本手法ではこの性質を生かすために、個体の初期パラメータの値を設計値を中心として正規乱数により分布させる。具体的には、 N 個のプログラマブル遅延回路の各設定値 $D_i (0 \leq i \leq N-1)$ は、以下の式(6)で設定する。

$$D_i = \sigma_{GA} \times N(0, 1) \quad (6)$$

このようにプログラマブル遅延回路の初期値を設計値を中心として正規乱数により分布させることで、GAの収束速度が高まり、解候補をより迅速に発見できる。

4. シミュレーションによる提案手法の有効性の検証

提案手法の有効性を検証するために、調整することのできる箇所が1000箇所を超える大規模なLSIを設計し、その設計データを基にシミュレータで仮想的に生成したチップを用いて調整実験を行う。

4.1 実験条件

シミュレーション実験では、設計動作周波数200MHz、設計動作電源電圧1.0Vで設計されたFF数が1031個の画像圧縮伸長処理に用いるDCT演算回路⁶⁾を基に、プログラマブル遅延回路を組み込んだ試作LSIの設計情報を用いる。この回路のSTAの結果を基にシミュレータ上で仮想的なLSIを100チップ作成し、(1)調整箇所を限定した時の効果と(2)GA初期集団の分布を改良した時の効果を、動作電源電圧を1.0Vで固定し、動作周波数を200MHzから320MHzまで10MHz刻みで増加させ、各動作周波数毎に歩留を調査し比較する。実際のLSIでは1回の評価時間に1ミリ秒程度要すると見積もっているため⁴⁾、1チップあたりの調整時間を実用的な限度である数秒程度に抑えるために、GAの打ち切り評価回数を3000回に設定した。

4.2 調整シミュレーション時間

開発したシミュレータを用いて本実験を行ったところ、上記実験手順を1試行完了するのにかかった時間は平均14時間程度であった。なお、調整シミュレーションを行った際に使用した計算機の仕様は、Intel(R)Xeon(R)3.40GHz、4.0GBメモリ、SUSE LINUX Enterprise Server 9である。最適な調整箇所数を確認するシミュレーション実験にかかる時間としては、十分現実的な時間だといえる。

4.3 調整箇所の限定による歩留向上効果

限定した調整箇所の個数 N について、100, 300, 600,

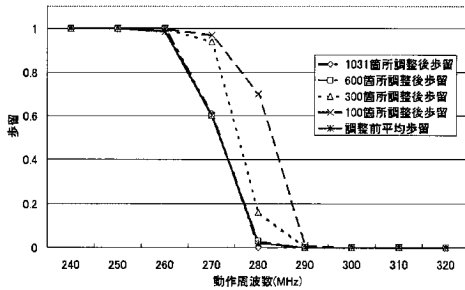


図4 動作周波数方向における調整箇所限定時の調整実験結果
Fig. 4 Adjustment results using reduced adjustment points when operational frequency is raised

1031(全箇所調整)の4通りを設定し、調整実験を行った。図4に調整実験の結果を示す。図4を見ると1031箇所の全箇所調整ではほとんど歩留が向上していないことがわかる。これは、探索空間が広いために、3000回の打ち切り条件ではGAが十分に収束していないためと考えられる。それに比べて、調整箇所を限定した場合の調整では歩留の向上が確認でき、調整の効果をえられることがわかる。この結果は、探索空間を縮小することで、GAの収束速度を向上させることができたためである。

4.4 GA初期集団の分布を改良した時の効果

次に、調整で効果の大きかった100箇所と300箇所での調整実験において、GA初期集団の分布を改良した時の調整実験を行った。図5に調整実験の結果を示す。図5のグラフより、GAの初期集団の分布を改良することで、300箇所の調整での歩留が大幅に上昇していることがわかる。これは、本手法を用いることでGAが3000回の打ち切り回数以内で十分に収束できたためである。一方、100箇所の調整の歩留が初期集団の分布改良後にほとんど上昇していない。これは、100箇所の調整では必要な遅延回路が足りず、歩留をこれ以上向上させられないことが考えられる。

以上より、調整箇所を300箇所限定した場合の提案手法による調整効果が最も大きかった。調整効果について、調整前と調整後のグラフの横軸方向の移動量を観察すると、動作周波数方向で10%程度の向上が見込める。また、調整時間に関しても、1回の評価に1ミリ秒要すると仮定すると、1チップあたり3秒以内に調整を完了させることができる。この結果から、提案手法を用いた調整は大規模回路の調整に有効であるといえる。

5. おわりに

本研究では、大規模デジタルLSIを現実的な時間内で調整できる新たな製造後クロック調整手法を提案した。具体的には、STAの結果を用いてLSI内部の調整箇所を限定し、GAの初期集団の分布を改良することで調整時間を大幅に短縮した。また、調整の効果をLSI設計時に短期間でフィードバック可能なシミュレータを開発した。

提案手法の有効性を検証するために、1031箇所ものFF

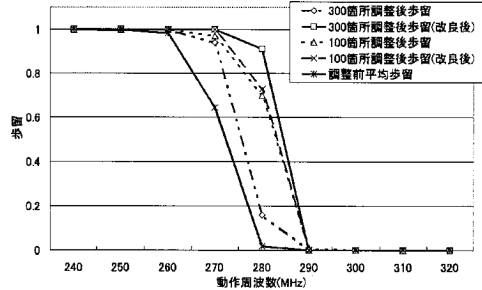


図5 動作周波数方向におけるGA改良時の調整実験結果
Fig. 5 Adjustment results using improved GA when operational frequency is raised

が存在する実用的なLSIの設計情報を基に調整実験用LSIを設計した。調整シミュレーションの結果、調整時間が数秒以内という現実的な制約の下では、従来手法では全く見られなかった調整効果が、動作周波数方向において確認することができた。さらにこれらの調整シミュレーションは、開発したシミュレータを用いて1試行14時間程度で完了できたので、LSIの設計フローに組み込むことができる。

これらの結果より、大規模回路に対して製造後クロック調整技術を初めて適用可能となる見通しを得た。現在調整実験用のLSIを試作し、上記シミュレーションの効果を実証すべく実験を進めている。

本研究の一部は半導体MIRAIプロジェクトの一部として、NEDO(新エネルギー・産業技術総合開発機構)からの委託により実施した。

参考文献

- 1) J.Rabaey, A.Chandrakasan, and B.Nikolic: Digital Integrated Circuits, 2nd ed., Englewood Cliffs, NJ:Prentice-Hall, (2003).
- 2) D. E. Goldberg, Genetic Algorithms in Search, Optimization, and Machine Learning, Addison Wesley, (1989).
- 3) E.Takahashi, M. Murakawa, K.Toda, and T. Higuchi: An evolvable-hardware-based clock architecture toward gigaHz digital systems, Proceedings of AAAI Genetic Algorithm and Evolutionary Computation Conference. (GECCO' 99), pp.1204-1210, (1999).
- 4) E.Takahashi, Y. Kasai, M. Murakawa, and T. Higuchi: Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithms, IEEE JSSC, vol.39, no.4, pp.643-650, (2004).
- 5) H.Masuda, S.Okawa, and M.Aoki: Approach for Physical Design in Sub-100nm Era, Proceedings of ISCAS 2005, (2005).
- 6) H.Yamauchi, et. al.: An 81MHz, 1280 x 720pixels x 30frames/s MPEG-4 Video/Audio Codec Processor, ISSCC Digest of Technical.Papers, pp.130-131, (2005).