

2. 組み込み用途プロセッサ—SH

Embedded Processor—SH by Fumio ARAKAWA, Osamu NISHII (Central Research Laboratory, Hitachi Ltd.) and Norio NAKAGAWA (Semiconductor and Integrated Circuits Division, Hitachi Ltd.)

荒川 文男¹ 西井 修¹ 中川 典夫²

1 (株)日立製作所中央研究所

2 (株)日立製作所半導体事業部

1. まえがき

SuperH RISC Engine (SHマイコン) は (株) 日立製作所が1992年に発表した組み込み用32ビットプロセッサである¹⁾。それまでの組み込み用途プロセッサ(コントローラチップ)は1命令の実行に複数クロック有するものが大半であったが, SHマイコンは開発の当初から1命令を1クロックで実行することを目標とし, 相対的に高い性能が要求される機器,²⁾たとえばハードディスク, パーソナル情報機器, プリンタ, カーナビゲーションなどの分野をターゲットとした。最初に発表したプロセッサSH1²⁾は動作周波数20MHzであったが, その後性能および機能を向上させた後継機種を開発している。各機種ともターゲットとする分野のコストと性能, 機能のバランスを考慮してチップの仕様は異なるが, 16ビット固定長の基本命令セットはすべてに共通である。

本稿では, 以下, 2章で組み込み用途のプロセッサの分野でキーポイントの要素となる, 命令コード効率と低消費電力について解説する。その中で命令セットを定義する上で考慮すべきさまざまな要因, およびSHマイコンが16ビット固定長命令セットを採用するに至った理由について述べる。3章では実際のSHマイコンの命令セットの実現方法と, 命令セットの話題以外, 組み込み用途に特徴的な機能につき紹介する。4章では設計されたチップのインプリメントの実例につき紹介する。

2. 組み込み用プロセッサはどこが違うか

PC/WS向けアプリケーションは比較的大容量のメモリを必要とする。このため, システム全体に占めるプロセッサの価格, 消費電力の比率は小さく, これを削るよりは高性能を追求した方がメリットが大きい。したがって, 絶対的機能が重視され, コストパフォーマンスは二の次とされる。

一方, 組み込み用プロセッサはシステムコストが重視されるため, メモリ容量は小さく, プロセッサの価格, 消費電力も低く抑える必要がある³⁾。メモリ容量が小

さいためプログラムサイズを小さくすることも重要である。そして, こうした制限による性能の不足は専用LSIを設計して補うのが一般的である。この結果, 限られたコスト, メモリ容量の範囲でいかに必要な性能を確保するかが重要となる。すなわち, コストパフォーマンスが重要な指標となる。ただし, コストとはシステムコストである。プロセッサが低価格でも, 大容量のメモリが必要であったり, システムを構成するために多数の部品を必要とするようではコストパフォーマンスは高くならない。

2.1 命令コード効率を上げるには

2.1.1 命令セットとコストパフォーマンス

現存する命令セットはCISC型可変長命令セットとRISC型固定長命令セットの2種類である。

CISC型可変長命令セットはプログラムサイズ縮小に適している。プログラムサイズ縮小には全命令を必要最小限の命令長にすればよいので, 可変長命令セットが適している。また, 複雑な処理であってもオペランドが少ない場合は1命令にまとめてしまえば, プログラムサイズ縮小に効果があるので, CISC型命令セットが適している。

しかしながら, CISC型可変長命令セットは高速化に適さない。命令長が可変であるため, 毎サイクル命令を供給するには, 命令をデコードして命令長を確定し, 次命令を選択しデコードに供給する処理を1サイクルで行わなければならない。また, 逐次デコードが必要であるためスーパースカラ方式のインプリメントも困難である。さらに, CISC型命令セットは命令数が多い上に, 複雑な命令のためのステートマシンまたはマイクロプログラムROMが必要である。このため制御部のハードウェア量が増大し, 面積縮小および動作周波数向上が困難である。このように, CISC型可変長命令セットはコストパフォーマンスが低い。

上記問題のうち, 主に性能面の解決を目的として登場したのがRISC型固定長命令セットである。この命令セットのプロセッサは制御部が単純で動作周波数向上が比較的容易である。スーパースカラ方式などの高速化方式も実現しやすい。

初期のRISC型固定長命令セットは性能を重視した結果、命令長は32ビット、レジスタ本数は32、演算命令のオペランド数は最大3ないし4である。また、プログラムサイズはCISC型可変長命令セットの約1.5～2倍である。固定長命令セットであることによる命令長の増大および命令の単純化による実行命令数の増加が原因である。

プログラムサイズが大きいとメインメモリ用のRAMやキャッシュ容量を大きくする必要がある。特に大規模アプリケーション用システムのコストは、RAMやキャッシュのコストが支配的となるため、RISC型32ビット固定長命令セットはシステムコストが高くなる。すなわち、性能だけでなくコストも高いのでコストパフォーマンスは必ずしも高くない。

2.1.2 命令長とパスレングス

性能は命令セット以外のさまざまなインプリメント要因に依存する。スーパースカラ方式、アウトオブオーダー方式、キャッシュ容量、外部バスのバンド幅などである。こうしたインプリメント要因をできるだけ除くために、パスレングスによって命令セットの性能を計ることにする。各命令の実行サイクル数を、「当該命令の実行ステージ開始から次の命令の実行ステージ開始までのサイクル数」とすると、パスレングスとは計測対象プログラムにおける全実行命令の実行サイクル数の総和である。ただし、インプリメント要因をできるだけ除くために、シングルスカラ、インオーダー実行、キャッシュオールヒットを仮定する。基本的にパスレングスが短いほど性能の出しやすい命令セットである。

性能の指標としてはインプリメントに依存しないダイナミックステップ数もある。しかし、1命令の実行時間の長い命令セットが有利になってしまうため、異なる命令セットを比較するための性能の指標としては適切でない。

パスレングスを短縮する方法は、1サイクルで実行できる処理を可能な限り命令化することである。1サイクル実行できる処理でも2命令に分割してしまえばパスレングスは増加する。逆に2サイクル以上かかる処理を1命令にまとめてもパスレングスは短縮されない。

通常パスレングスを短縮しようとするると命令長が増加する。パスレングスを短縮すれば1サイクルで実行すべき処理が増加するためである。たとえば、3オペランド演算命令を持つ命令セットは持たない命令セットよりパスレングスが短い。モディファイ型の2オペランド命令で3オペランド演算を実現するにはソースオペランド退避のために転送命令を実行する必要がある。このため、パスレングスが增加する。しかし、3オペランド命令は1オペランド余分に指定する分命令長が長い。また、レジスタ数の多いアーキテクチャ

はパスレングスが短い。レジスタ不足によるデータの再ロードや退避回復の頻度が低くなるためである。しかし、レジスタ指定により多くのビットを必要とするため、命令長は長い。

2.1.3 命令長とプログラムサイズ

RISC型固定長命令セットにおいては、基本的に命令長が短いほどプログラムサイズは小さい。しかし、命令長の短縮によって1命令に収まらなくなった命令を2命令で実行したり、命令に埋め込んだ即値を別データにしたりすると、命令数やデータ数が増大してしまうためプログラムサイズは必ずしも小さくならない。また、命令長短縮のためにレジスタ指定フィールドを削ってレジスタ本数を削減する場合、削減しすぎてレジスタ不足によるデータの再ロードや退避回復が必要になると、かえって命令数が増加してしまう。したがって、こうしたデメリットが発生しない範囲で命令長を短縮することがプログラムサイズ削減に効果がある。特に後者の問題はプログラムサイズを逆に大きくしてしまう可能性があるため避けなければならない。

2.2 消費電力を下げるには

低消費電力化は2つの意味で重要である。最大消費電力を抑えればパッケージコストや冷却コストを削減できる。また、平均消費電力を抑えれば携帯機器の電池の寿命を延ばしたり、軽量化を図ったりすることができる。

組込み用途プロセッサの最大消費電力の目安は、安価なプラスチックパッケージに封止して自然空冷できることである。値は1～2Wである。一方、平均消費電力の目安は100～500mWである。携帯機器の消費電力は使い勝手を良くするためにはまだまだ下げる必要がある。携帯機器を構成する部品点数の削減や、各部品の消費電力の低減といった努力が続けられている。プロセッサの平均消費電力も例外ではない。

消費電力は次式のように、動作周波数、活性化率、容量に比例し、電圧の2乗に比例する。

$$P = afCV^2 \quad (P: \text{Power}, a: \text{activity}, f: \text{frequency}, \\ C: \text{Capacitance}, V: \text{Voltage})$$

このうち動作周波数は、性能の向上に伴って増加する。残りの活性化率、容量、電圧を下げながら、いかに動作周波数を上げるかが課題である。同一プロセスのPC/WS向けプロセッサと比較すると、組込み用途プロセッサの動作周波数は1/2～1/10、消費電力は1/10～1/100程度である。動作周波数を下げた分で、電源電圧を下げ、トランジスタサイズを小さくして容量を抑え、さらに不要な回路の動作を極力抑えて活性化率を下げていく。結局、PC/WS向けプロセッサに比べて動作周波数が低いからといって達成は容易ではなく、ぎりぎりのチューニングが必要である。

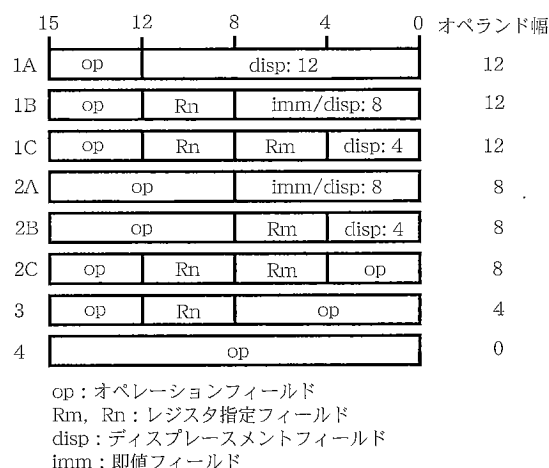


図-1 SH命令セットのフォーマットタイプ

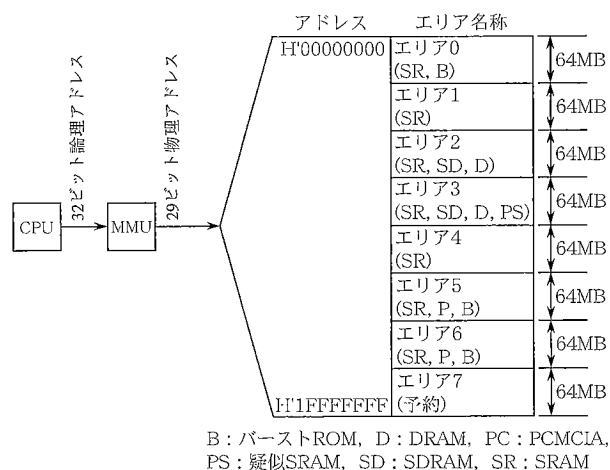


図-2 外部メモリデバイスマッピング例

3. 組み込み用プロセッサのしくみ

3.1. 命令セットの実現

SH命令セットはコストパフォーマンスを重視して決定された。まず、CISC型可変長命令セットは性能向上が困難であるため検討対象から外した。次に、高性能化のためには必須であると考えられていた32ビット命令長を短縮する方法を検討した。命令長は通常のメモリアクセス単位である8, 16, 32ビットなどから選択する。たとえ最適な命令長が24ビットであっても、24ビット命令をメモリ上に置くと命令がページ境界を跨いでしまったりして不都合が多い。

調査の結果、大部分の組み込み用途アプリケーションはレジスタ16本で十分であることが判明した¹⁾。また、SPECintベンチマークのespressoおよびliにおいてもレジスタは16本で十分である⁴⁾。そこで、SHアーキテクチャのレジスタ本数は16本とした。レジスタ指定フィールドは4ビットである。そして、命令コードは16ビット固定長とした。8ビット固定長ではレジスタを2本指定できないので、基本的な加減算も定義できない。16ビット固定長であればレジスタを2本指定しても残り8ビットでさまざまなオペレーションを定義できる。そして、基本的な処理を32ビット固定長の場合と同様に1命令で指定できれば、最大1/2にまでプログラムサイズを圧縮できる。また、一部の処理が2命令に分解されてもある程度の圧縮効果は期待できる。

図-1にSH命令セットのフォーマットタイプを示す。32ビットが主流の固定長命令セットを16ビットで実現しようとする、オペランドフィールド幅の不足という問題が生じる。幅は最大12ビットである。コード空間の制約により最大幅のオペランドを持つ命令を以下の8命令に制限した。

- (1) BRA disp: 12 (無条件分岐)
- (2) BSR disp: 12 (無条件分岐, PRへのPC退避)

- (3) ADD #imm: 8, Rn (即値加算)
- (4) MOV #imm: 8, Rn (即値ロード)
- (5) MOV.W@ (disp: 8, PC) , Rn (即値ロード)
- (6) MOV.L@ (disp: 8, PC) , Rn (即値ロード)
- (7) MOV.L Rm, @ (disp: 4, Rn) (ストア)
- (8) MOV.L@ (disp: 4, Rm) , Rn (ロード)

ただし、PR: Procedure Register, PC: Program Counter, disp: displacement, #imm: immediate data, .W: word size (16 bits) , .L: long size (32 bits) である。

上記8命令で16ビットコード空間の1/2を占める。他の命令はオペランドフィールドを8ビット以下にするために、即値/ディスプレースメント幅の削減、オペランドの固定を行った。

たとえば、条件分岐命令は無条件分岐命令に比べて分岐先までの距離が統計的に短いので、ディスプレースメント幅を8ビットとした。また、ディスプレースメント付きロード/ストア命令は、データ幅が32ビットの場合は上記(7)(8)のように2つのレジスタを自由に指定できるが、8および16ビット幅の場合はロード/ストアデータのレジスタはR0固定である。

16ビット固定長命令セットでは16および32ビットデータをオペコード内に即値として埋め込むことができない。そこで、上記(5)(6)のようにプログラムの別の場所に配置したデータをPC相対アドレスで指定してロードする命令を用意した。

SHアーキテクチャは、SHアーキテクチャ向けの最適化コンパイラの開発と相まって、最終的にCISC型可変長命令セット並みのプログラムサイズを実現した^{5), 6)}。

3.2 外部バス制御, 周辺機能

SHマイコンではメモリチップを直接接続する機能を備える。接続可能なメモリ集合は機種により異なるが代表的にはDRAM, SDRAMなどである。また、タイマ, DMAC (ダイレクトメモリアクセスコント

表-1 SHプロセッサ諸元

名称 (品種名称)	SH1 (SH7032)	SH2 (SH7604)	SH3 (SH7708)	SH-DSP (SH7410)	SH4 (SH7750)
発表年	1992	1994	1995	1996	1997
製造プロセス	0.8 μ mCMOS	0.8 μ mCMOS	0.5 μ mCMOS	0.35 μ mCMOS	0.25 μ mCMOS
動作周波数	20MHz	28.7MHz	60MHz	60MHz	200MHz
整数性能	16MIPS	25MIPS	60MIPS	60MIPS (*1)	360MIPS
消費電力	500mW	600mW	400mW	330mW	1.5W
電源電圧	5V	5V	3.3V	3V	1.8V (*3)
チップ面積	109mm ²	82mm ²	52mm ²	42mm ²	58mm ²
CPUコア面積	6.6mm ²	6.7mm ²	4.2mm ²	4.0mm ² (*2)	4.9mm ²
内蔵メモリ	RAM 8KB	キャッシュ 4KB	キャッシュ 8KB	ROM 48KB RAM 8KB	キャッシュ 24KB
メモリ管理機構	内蔵せず	内蔵せず	あり	内蔵せず	あり
コプロセッサ	-	-	-	DSP	FPU

*1) DSP機能を用いると120MOPS (Mega Operations Per Second)
 *2) CPUとDSPを合計した値であり、CPUコア部分はその約1/2である。
 *3) IO部は3.3V

ローラ)などの多くの機器で必要である周辺機能も1チップにとりこむ(内蔵周辺機能も機種により異なる)。これらの機能を集積することにより周辺に外付けするチップのチップ数を減らすことができ、機器のコストダウンを計れる。

上記のメモリチップの直接接続機能はメモリコントローラチップがプロセッサチップと別に存在する形態に比べてアクセスは高速化される。その理由は制御信号がチップ-チップ間を渡る回数が減るためである。

図-2にSHマイコンの外部メモリアクセスのマッピングを示す(図はSH3⁶⁾のものである)。29ビットの物理アドレス空間を8つのエリアに分割し、各エリアごとに接続メモリを選択できる構造をとっている。サポートメモリ種は計6種類である。6種類それぞれ制御信号などの波形の出方が異なる。特定の機器専用設計されたバスインタフェースはおそらくこれほどの種類のメモリをサポートしないと思われる。本チップでは用途を限定しない汎用品としての性格を持ち、同時に想定される顧客ボード環境に対して広くサービスするため、これだけの機能を用意している。

3.3 ハードウェアを用いるデバッグ機能

組込み用途プロセッサに特徴的な機能の1つにハードウェアベースのデバッグ機能がある。

プログラムがROMにおかれる機器では、ソフトウェアをデバッグする最中にプログラムがEPROMに格納され、プログラムを頻繁に書き換えることができない場合がある。その場合、仮にデバッグが特定の命令上にブレークポイントをたてようとしても、その命令を分岐命令あるいはソフトウェア割込み命令に置換できず、プログラムのデバッグ効率は非常に悪い。ハードウェアを用いるデバッグ機能はこの命令の置換を不要とするものである。ブレーク対象レジスタと一致比較器を有し、命令アクセスとブレーク対象レジスタが

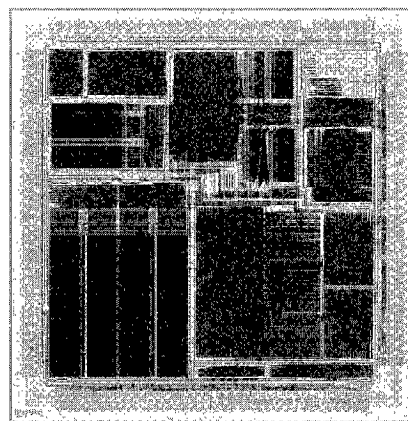


図-3 SH3チップ写真

一致するかを常に比較しておく。一致したときには例外処理を発生し、例外ルーチンに分岐することによりデバッグに制御を渡す。

SHマイコンでは命令アクセスのほかにデータアクセスに関してもアドレス比較によるブレーク、またアクセスしたデータの比較によるブレーク機能を有する。

4. インプリメントの実際

表-1にこれまでに開発されたSHマイコンのチップ諸元を示す。

4.1 SH1, SH2

SH1はSHマイコンの初めての製品である。SH1の基本バスインタフェース方式は次のようになる。命令を2命令実行するたびに32ビット幅の命令取得アクセスが1クロックアクセス可能な内部アクセスバス上に1回発生する。一方この2命令を処理するには2クロックを要するので、バス動作には1クロックの空きが生じる。空きになったバスサイクルのタイミングでデータアクセスを行うことができる。

SH2⁷⁾はSH1に対し主にキャッシュメモリを導入

し、整数乗算器の強化、さらにシンクロナスDRAMの直接接続機能を行ったものである。

4.2 SH3

SH3^{6), 8)} (図-3) ではSH2に対して動作周波数を2.1倍に高めるとともに、メモリ管理(アドレス変換, 記憶保護)機構を新たに導入した。このチップの4ウェイセット連想型キャッシュメモリにはユニークな低電力化の工夫がされており、高い周波数では4ウェイのデータアレイを活性化するが、低い周波数では(ウェイ選択が確定した後にデータアレイを読んでも間があるので)、ヒットした1ウェイのみのデータアレイを活性化し、無駄な電力消費を抑えている。

4.3 SH-DSP

SH-DSP⁹⁾ はSH3と同一周波数であり、かつ信号処理性能を強化するためDSPがコプロセッサとして搭載されている。DSP命令では4並列のVLIW的アーキテクチャがとりいれられている。その命令の一例を示すと、1命令で

PADD A0, M0, A0 (A0+M0→A0)

PMULS X0, Y0, M0 (X0*Y0→M0)

MOVX.W@R4+, X0

(ロード (R4) →X0, R4+2→R4)

MOVY.W @R6+, Y0

(ロード (R6) →Y0, R6+2→R6)

の4つの処理を行うことができる。ここでR0-R15はCPUレジスタ, A0, M0, X0, Y0はDSPレジスタである。

このDSP命令の一部は16ビットでは表現しきれないため、32ビット命令長を採用している。

4.4 SH4

SH4^{10), 11)} はSHシリーズで初めて1クロックで1命令を実行するアーキテクチャを変更し1クロックで最大2命令を実行するスーパースカラ制御を行っている。また単精度および倍精度の浮動小数点命令もサポートし、コントローラチップとしてのベースから、グラフィックス応用までを意識した仕様になっている。動作周波数の向上は製造プロセスの向上と、論理設計のブラッシュアップによって達成している。

5. 今後の課題とまとめ

今後とも半導体技術はトランジスタ速度性能, 集積度の両面に関して一層の向上が見込まれる。

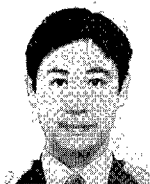
SHマイコンは今後、性能向上を高める次世代品種

と、電力を低減し適用機器を増加させた品種, 機器の周辺機能の集積度を高めた品種を開発する予定である。

参考文献

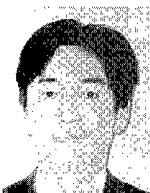
- 1) 枝 洋樹: 開発ストーリー-SHマイコンの開発(連載6回), 日経エレクトロニクス, No.694-699 (July-Sep. 1997).
- 2) 河崎俊平他: DSP機能を内蔵したSHシリーズ, 日経エレクトロニクス, No.568, pp.99-132 (Nov. 1992).
- 3) 中本幸一他: 組込みシステム技術の現状と応用, 情報処理, Vol.38, No.10, pp.871-878 (Oct. 1997).
- 4) Maejima, H. et al.: Design and Architecture for Low-Power/High-Speed RISC Microprocessor: SuperH, IEICE TRANS. Electron., Vol.E80-C, No.12, pp.1539-1545 (Dec. 1997).
- 5) Kashiwagi, Y.: Coping with 32-bit Code Density, Electronic Design, pp.104-110 (Apr. 1996).
- 6) Hasegawa, A. et al.: SH3-High Code Density, Low Power, IEEE Micro, pp.11-19 (Dec. 1995).
- 7) 長谷川淳他: シンクロナスDRAMと直結可能なRISCチップSH7604, 日経エレクトロニクス, No.601, pp.79-92 (Feb. 1994).
- 8) Narita, S. et al.: A Low-power Single-chip Microprocessor with Multiple Page-size MMU for Nomadic Computing, 1995 Symp. on VLSI Circ., pp.59-60 (June 1995).
- 9) 木内 淳他: DSPの置き換えをねらうRISCマイコン「SH-DSP」, 日経エレクトロニクス, No.666, pp.147-161 (July 1997).
- 10) Arakawa, F. et al.: SH4 RISC Microprocessor for Multimedia, Hot CHIPS IX, pp.165-176 (Aug. 1997).
- 11) Nishii, O. et al.: A 200MHz 1.2W 1.4GFLOPS Microprocessor with Graphic Operation Unit, Int. Solid-State Circ. Conf. (Feb. 1998).

(平成9年12月12日受付)



荒川 文男

1961年生。1984年東京大学工学部物理工学科卒業。1986年同大学大学院工学系研究科物理工学修士課程修了。同年(株)日立製作所に入社。マイクロプロセッサの研究と開発に従事。専門は方式論理設計。



西井 修(正会員)

1962年生。1985年東京大学工学部計数工学科卒業。1987年同大学大学院工学系研究科計数工学修士課程修了。同年(株)日立製作所に入社。マイクロプロセッサの研究と開発に従事。専門は論理設計。



中川 典夫

1959年生。1983年東京工業大学理学部物理学科卒業。同年(株)日立製作所に入社。マイクロプロセッサの設計と開発に従事。専門は方式論理設計。