

森祥次郎 / (株) 東芝 戦略LSI企画室

●なぜIPの時代が来るか

■LSIの搭載規模の増大

トランジスタがBell研究所で発明されてから50年、半導体基板の上にトランジスタを集積できるようになってから40年、マイクロコンピュータがシリコン基板上に集積されてから30年が経過した。1辺が1cmの小さなシリコンの平板上に10の7乗個ものトランジスタが集積できる時代となった。半導体技術はデバイス技術ともいわれるが、この途方もない集積度の向上は、物理的な素子というよりも、もはや情報処理装置と呼ぶにふさわしくなった。

米国のSIAという団体によれば、LSIの搭載規模の増大は2012年まで予測が出ている¹⁾(図-1参照)。高集積化を妨げる要因として、リソグラフィの限界、マスクの位置合わせの限界、熱的な限界など、物理的な限界が議論されているが、もう1つの限界も迫っている。それは、LSIの設計生産性の限界である。ソフトウェアの問題に似て、絶対に不可能といったものではないのだが、システム的には大きな問題となる。たとえば、2010年には、10億個のトランジスタが1チップに集積可能だが、これを現在のLSI設計言語(VHDL)で表現したとしたら、数千万行のソフトウェアになってしまう。

■設計困難度の増大

現在のLSI設計はレジスタ・トランスファーレベル(RTL)と呼ばれるレジスタとその結線情報の詳細まで表現した設計記述で行うのが主流である。この記述からLSIのレイアウトデータまでは自動合成するEDAツールが普及し、設計生産性を高めている。しかし、これを使っても、

LSIのシステム設計から、マスク製造装置へデータを渡すまでの期間は、1000ゲート当たり約1カ月(1人月)もかかる。この設計効率のまま、2010年を迎えたとしたら、1000万ゲートのチップの設計には1万人月(約1千人×1年)が必要となる。

しかし、幸いなことに、EDAツールの性能も向上し続けている。1970年代のレイアウトパターンの手書き入力、1980年代のゲートレベルの設計、1990年代のRTLレベルの設計と、過去を振り返ると、記述の抽象度を上げることにより、7年に10倍の設計効率向上が実現されている(図-2)。この傾向が今後も続くと仮定すると、2010年頃には、今の100倍程度、設計効率が向上していることになる。すると、1万人月ではなく、100人月(10人×1年)程度となり、ようやく設計が現実のものとなる。

ところが、この効率向上には2つの障害が現れた。1つは微細化の進展に伴って増加してきた配線遅延である(図-3)。配線遅延がゲートの遅延を超えてしまう。すると、今まで能動素子(トランジスタ)を中心

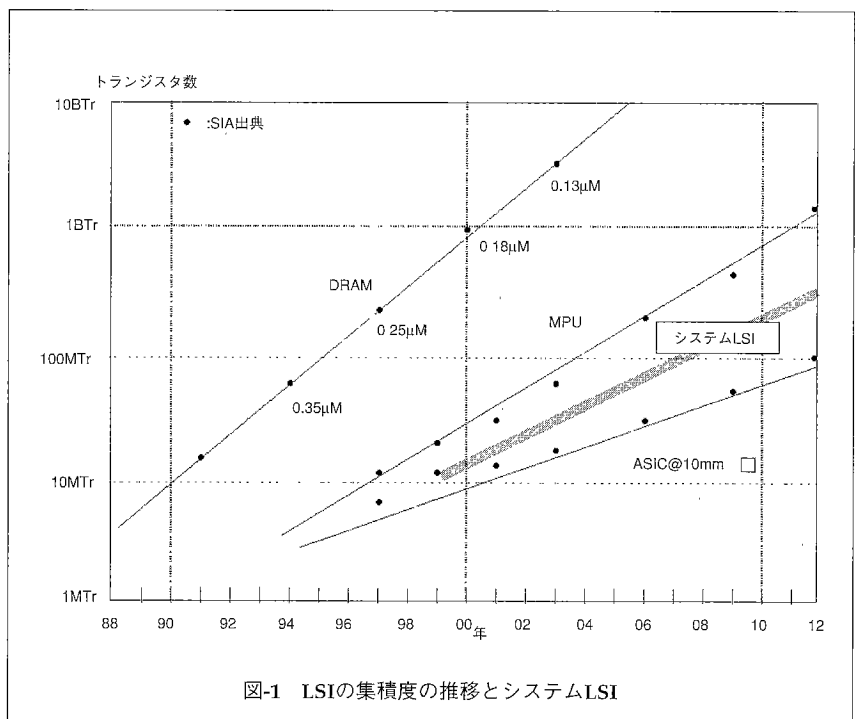


図-1 LSIの集積度の推移とシステムLSI

に回路を合成してきたのだが、受動素子である配線がタイミングを決めてしまうので、合成が難しくなる。上流の工程では見えない、配線という素子が全体のタイミングを左右するので、タイミング余裕のたっぷりある設計か、配線が見える記述による論理合成が開発されないと設計効率が向上しなくなる。このような観点から、今後は7年で10倍の効率向上の線に乗らなくなり、RTLの効率向上の延長線上位しか効率が向上しなくなる(図-2)。

もう1つの障害は、製品寿命の短命化である。LSIを使った機器の寿命が半年程度になってきて、開発に1年もかけていられなくなった。さらなる設計効率向上策が求められている。

■再利用という効率向上

EDAの発展がないとしても、昔から利用してきた効率向上策がある。設計データの再利用である。過去に設計したデータやノウハウを整理し、ライブラリ化しておいて、なるべく新規に設計する部分を減らせば、設計期間は著しく短縮される。この設計データの部品化したものをEDAの関係者がIP (Intellectual Properties) と名付けた。

今後どの程度の再利用が必要となるかを図-4で検討した。これからのLSIはシステムLSIとなる。システムLSIとは、マイクロプロセッサを搭載した特定用途向けのカスタムLSIである(図-1参照)。カスタム部分の設計規模はASICのトレンドに沿ったものとなる。図-4では配線遅延を考慮したときと考慮しないときの設計月数を設計者が10人として見積もった。このような大規模のシステムLSIといえども、ビジネス上は1年半(約20カ月)もかかると競争力を失う。したがって、20カ月以下で設計を終えようとするならば85%以上再利用していかなければならないことが分かる。

2000年以降のシステムLSIの設計では、他人の作成したIPをいかに組み込むかが重要になってくる。組み込むために必要な技術は何か。これに答えようとしたのがVSIである²⁾。

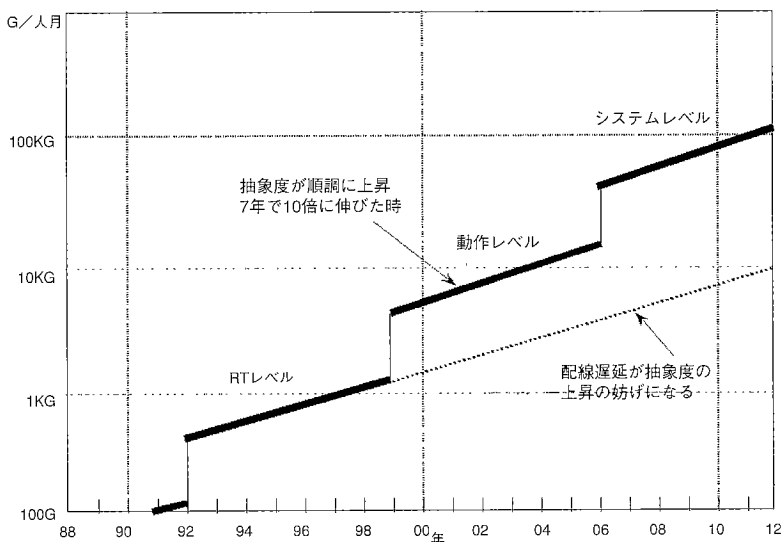


図-2 LSIの設計効率のトレンド

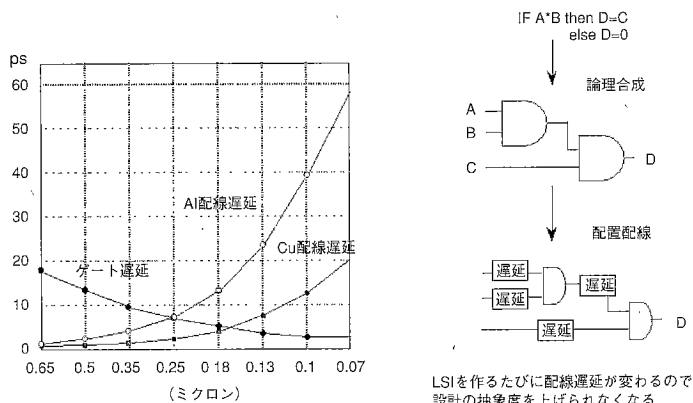


図-3 配線遅延の影響

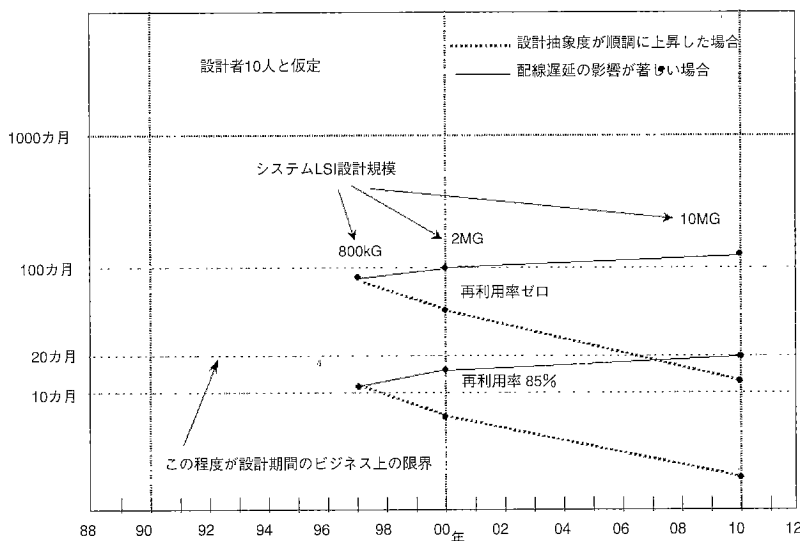
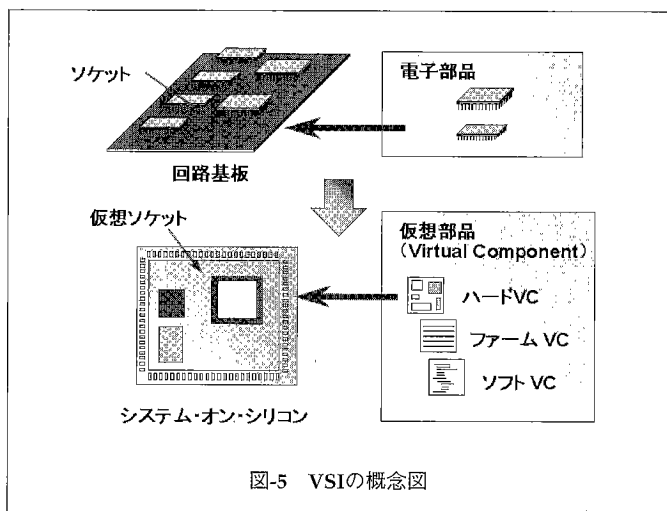


図-4 最大規模のシステムLSIに求められる設計期間の短縮

■VSIの定義

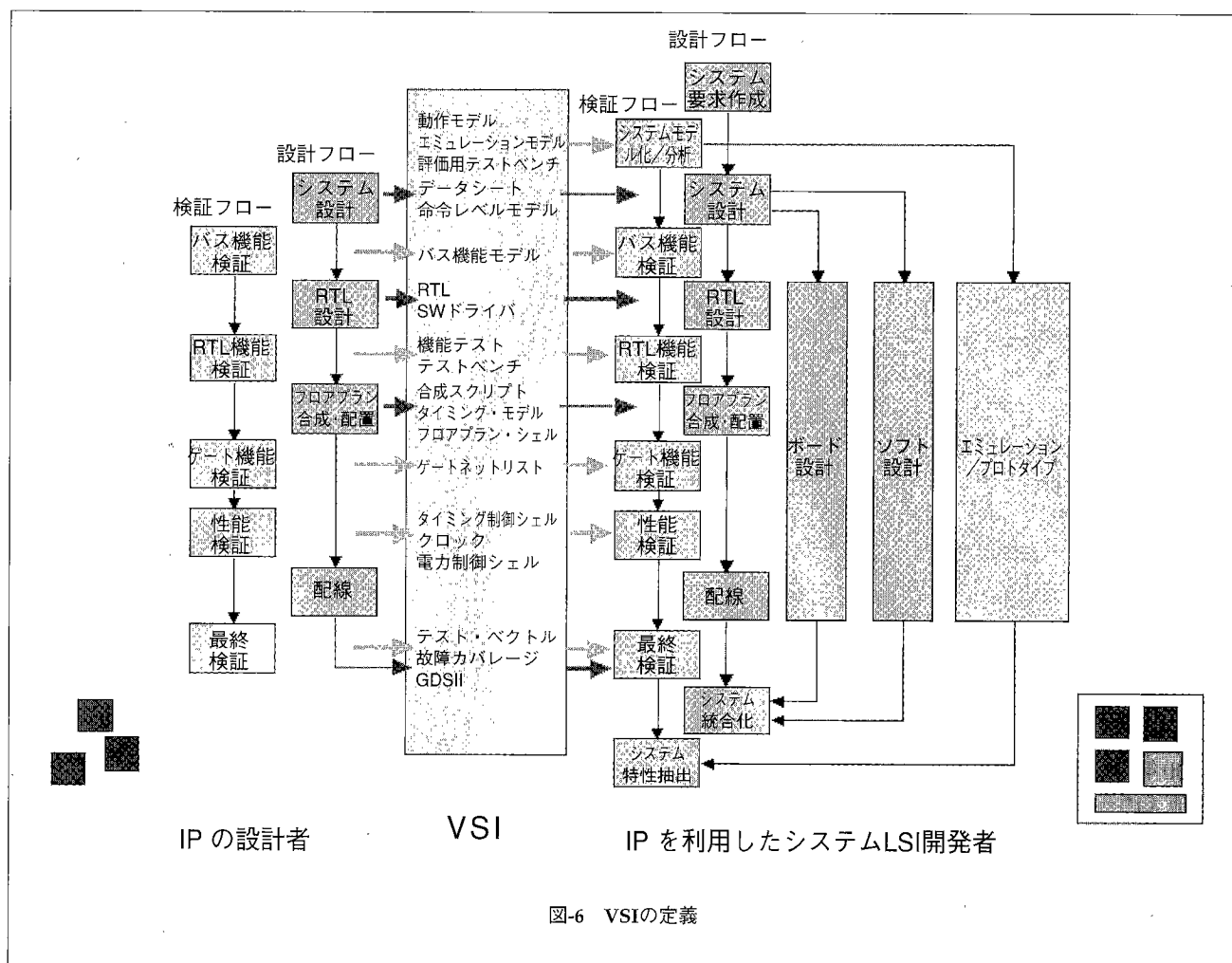
VSIとはVirtual Socket Interfaceの略であり、仮想ソケットの意味である。ボードの設計を考えると、半導体部品を買ってきて、半田付けするか、ソケットに差し込んで使う。これと同じイメージで、シリコン基板上に設計データを部品として組み込む。その時のインタフェースが仮想ソケットである(図-5)。

もう少し具体的に説明する。IPという部品を設計する工程を考えると、図-6の左側で設計フロー、検証フローに沿った工程が実行される。この時に各種の設計データや技術文書が作成される。一方、IPを利用してシステムLSIを開発するチームは図-6の右側の設計フロー、検証フローを実行する。この時に、IPの開発者とIPの利用者が話し合わずにIPを利用できる切り口、これがVSIである(図-6の中央)。したがって、実際には、ドキュメントやデータの集合体である。



■IPの定義と分類

IPとは部品として使えるLSIの設計情報の総称であ



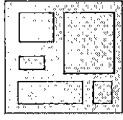
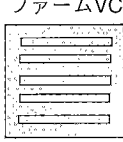
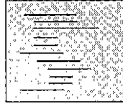
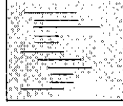
 <p>ハードVC</p>	<p>-シリコン技術にリンクしたポリゴンレベルデータ -機能とデータ形態は固定化 -再利用時の再現性は高い</p>
 <p>ファームVC</p>	<p>-合成可能なRTLデータもしくはゲートレベルの構造データ -何らかのシリコン技術、および物理的制約情報を持つ -機能と形状に関してフレキシビリティがある -サイズとパフォーマンスに関して予測可能</p>
 <p>ソフトVC</p>	<p>-RTLレベルもしくはそれより上流の記述 -シリコンテクノロジーの制約はない -移植性は高いが物理サイズや性能は事前にラフにしか見積もれない</p>
 <p>ソフトウェアIP</p>	<p>-組み込み型のプロセッサ用のソフトウェアで部品化して使えるもの -ドライバソフト、ミドルウェア、OS、開発環境など -プロセッサに依存 -移植性は高い</p>

図-7 IPの分類

り、仕様書、マニュアル、動作記述、HDL記述、テストベンチ、レイアウトデータ、シミュレーションデータ、EDAの制御ファイル、マスクデータ等々、いろいろなものがIPの対象である。この中で、特に、よく使われるものとしてVSIアライアンスの中で定義されている次の3種類がある³⁾ (図-7)。

- ソフトVC (HDL記述で、テクノロジーに依存しないもの)
- ファームVC (ライブラリ限定のHDL記述、ネットリスト)
- ハードVC (レイアウトデータ)

ここでVCとはVirtual Componentの略で、VSIアライアンスにおけるIPの正式名称である。ソフトVCはVHDLやVerilogHDLによって記述された設計データであり、シリコン技術に依存しないので、性能の予測は難しいが、移植性が高く再利用もしやすい。難点は、ソースコードの開示が伴っており、権利関係のトラブルが発生しやすい。一方、ハードVCはLSIのレイアウトそのものであり、特定のシリコンベンダと提携して作り込むので、性能は確実に予測できるが、移植性が低くなる。中味も開示が必要でなく、機密性が高い。ファームVCはソフトVCとハードVCの間である。基本ライブラリは特定のベンダのを使っているが、移植性の高いネットリスト状態となっているものをいう。したがって、ライブラリを他のシリコンベンダのものに置き換えやすく、かつ、ソフトVCよりも性能の予測は確実というものである。

最近には特にシステム設計への需要が高まっており、ソフトウェアIPとか、組み込みソフトIPとかいう名の下にドライバソフトやミドルウェア (システムLSIの機能をソフトで実現したもの: 例ソフトモデムなど) を部品化する動きも出ている。

■IP時代のLSI設計

IP時代の本格的な設計ツールはまだ開発途上である。そこで、どんな機能があればよいかを設計工程の記述の形で以下に検討する (図-8参照)。これは少しずつではあるが実現されつつあるものである。

システムLSIの設計はネットワークに繋がった設計用端末での作業から始まる。どんな機能を持たせるか、目標性能をどうするか、その周りの環境はどんなのかをエディタを使いながら概念設計する (図-8 (a))。入力から出力までの動作を少しずつ詳細化していく (図-8 (b))。環境の方も詳細化されて、テストデータとなる。この時に概念設計のための環境ライブラリというIPが揃うことになる。たとえば、音声認識の機能を開発する場合で、マイクの部品や結果を表示する部品などがライブラリとして揃っていると、音声进行分析して意味を認識する部分の設計に集中できる。

さらに、機能ブロックを詳細化していく段階で、過去の設計資産や他人が作った設計資産をIPとして利用する。たとえば、インターネット上でこんなものが欲しいと問い合わせるとIP部品群がリストアップされ、この中から適当なIPを選択する。この段階の最

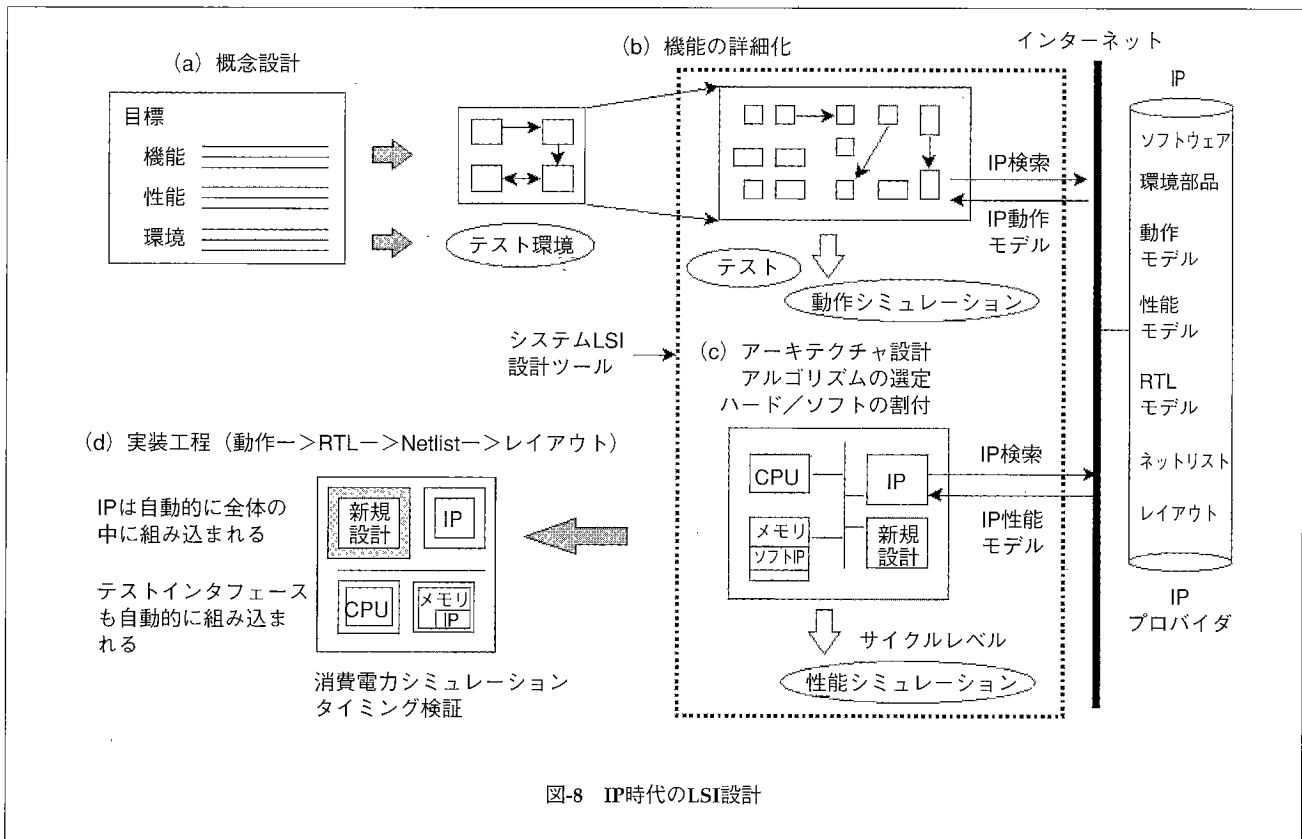


図-8 IP時代のLSI設計

後で、必要な動作モデルを描いて、動作シミュレーションを実行する。新規機能の部分は、独自に動作モデルを開発し、組み込んでみて、目的の機能はこんなものでいいかを出力動作を見ながら検討し、機能を決定する。この段階では、まだハードウェアは確定していない。

次にシステムLSIのアルゴリズムとアーキテクチャを検討する(図-8(c))。CPU、メモリ、機能ブロック、バスの基本構造を仮定し、機能の割付けを行う。CPUに割り付けられるものは、ソフトで機能を実現するもの、機能ブロックに割り付けられるものは、ハードで機能を実現するものである。メモリの大きさや、バスのバンド幅はアルゴリズムや、ハード/ソフトの割合によって決められる。ここで全体の性能を分析するために、性能シミュレーションを行う。ハード部分は、構造も考慮してシミュレーションするとソフト部分のシミュレーションスピードよりも約100倍遅いので、ハードのモデルも抽象度の高いもの(命令サイクルの精度)を使う。こうして、システム全体の動作記述と使うべきIPとが確定する。

この工程の後には、機能実現のための作業となる(図-8(d))。サイクルレベルの動作記述から、クロックレベルのRTLレベルへ変換する。変換するに当たり利用することにしたIPについては対応するRTLレベルのIPをインターネット上からダウンロードする。新規の部分は、設計工程の順に設計を進める。RTLレベルでの全体のタイミング検証と消費電力シミュレ-

ーションは、途中の工程とはいえ、配線やクロックの効果のことを考えると最も重要なものである。

ここで性能を満たさないものは、IPを取り替えるか、チューニングのための設計を行う。RTL記述が確定したら、後は論理合成、自動配置配線のCADを使って実装設計を完成させる。

IP自身についても、統合化のための工夫が必要である。ソフトVCの中に、他人の作ったVCと自動的に信号のやりとりが行われるような仕組みを埋め込む。そして、シミュレーションのときには、組み込んだだけで、全体シミュレーションが走るような機構にする。IP自身は自己テスト機能を持たせておくだけでなく、論理合成が実行されるときに、IPへの入出力部分はLSIの外部から制御できるな機構を埋め込む。こうして、問題の特定化ができるような構造にする⁴⁾。LSIを本当に製造するためには半導体ベンダのライブラリを使ってサインオフを行わねばならない。これについてはVSIの進行と共に世界標準のライブラリが揃うことになるだろう。こうしてシステムLSIが完成する。

●現状の活動と今後の展望

■VSIアライアンスの活動

ここで、VSIアライアンスの活動を簡単に紹介する。1996年8月に、東芝、富士通、ケイデンス、ソニー、メンター、シノプシス、ARMの7社が中心となり、

用語解説

VSI: Virtual Socket Interface の略。回路基板上にLSI部品を取り付けるように仮想部品(VC)をシリコン基板に取り付けるための仮想のソケットのインタフェース。実態は、LSIの設計フローの中で、設計データをVCの設計者がVCの利用者に渡すための各種の設計規約のこと

VSIA: VSI Allianceの略。VSIを世界標準にするための非営利団体。本部は米国で1996年11月に設立。現在、約150社加盟。

VC: Virtual Componentの略。部品として使用可能な設計情報で、特にVSIでは、VSIの仕様を満たすものをVCと呼ぶ。その実態には3種類あり、ソフトVC、ファームVC、ハードVCがある(本文中に説明あり)。

IP: Intellectual Propertiesの略。再利用を考慮して部品化した設計情報の総称

IPの世界流通機構の検討を開始した。9月3日に日米同時発表の記者会見を行い、オープンな組織で、会員制の組織を作って、VSIという標準を作ることを宣言した。1996年10月に米国カリフォルニア州で非利益団体としてのVSI Allianceが正式に発足。1996年11月にサンノゼ市で第1回目のメンバ総会が開催された。このときの会員会社は約80社。このときに、7種類の技術ワーキンググループの核となるワークショップが開催された。1997年3月に2回目のメンバ総会がサンタクララで開催された。このときの会員会社は約120社。SWG (Steering Working Group, 幹事会社)とDWG (Development Working Group, 技術標準開発グループ)の定義と役割が明確にされた。SWGとして創立時の7社がなり、今後選挙を行って11社まで拡大されることが発表された。DWGも正式に活動を開始。現在6種類のDWGがあり、議長も選ばれた。VSIAは、まず、VSIのアーキテクチャを明確化することからスタートした。VCを使った設計フロー、設計で提供すべきもの、そして、そのフォーマットが定義された。VSIではVCを開発する人と、VCを利用してシステムLSIを開発する人とを分離して考える。これはVCが第三者によって開発されることを想定したものである。VSIができれば、他の部所、他社の設計データが利用できるようになる。現状のV1.0のドキュメント³⁾では、中身の表現方法までには規定がないが、DWGの努力により、少しずつ規定ができてきた。

DWGは、次の6つの領域の技術標準を1997年から1998年にかけてまとめようとしている。

- (1) On-Chip Busses (システムLSI内部で使用するバス規格)
- (2) System Level Design (システムレベルの上位

シミュレーションに関する技術)

- (3) Manufacturing Related Test (システムLSIのテスト手法に関する技術)
- (4) Mixed Signal (アナログ/デジタル混在設計に関する技術)
- (5) IP Protection (IPデータ保護のための暗号化技術)
- (6) Implementation/Verification (LSI上に実装したり、検証する技術)

その後の計画としては、組み込みソフトウェア、ライブラリ、RF回路が次のDWGの候補としてあがっている。こうして、VSIAでは、1997、1998年に、ハード側のVSI標準を定め、その後にLSI用のシステムやソフトウェア部品の標準化をターゲットに置いている。

●今後の展望

■21世紀の地球規模の分業化

IPの時代はソフトウェア化したLSI設計が開発のスピードを決める。ソフトウェアの開発者も不足しているが、LSIの設計言語を使いこなせる技術者ももっと少ない。したがって、システムLSIを効率よく設計するには、世界中のIPプロバイダと連携して、統合化できるようにすることである。世界中の設計集団が再利用しあい、新規設計のみに力を注がないと設計のニーズは満たせなくなる。これが世界分業化の時代を開く。これにつれて、IPに関係する4つの業界：半導体ベンダ、EDAベンダ、システムメーカ、IPプロバイダの業態が少しずつ変化していく⁵⁾。

■ソフトウェア技術のIPへの応用

システムLSIの設計が開発の手法として、ソフトウェア設計にどんどん接近していくので、次の技術革新の期待はソフトウェアのテクノロジーの応用である。期待されているのはオブジェクト指向技術である。その応用として考えられるのは、IPのインタフェースを信号の直接のやりとりでなく、メッセージを送るようなものに切り替えることである。こうするとIPへの入出力を標準化しやすくなるだろう。さらにIPをクラス分けして、メッセージの効果を並列化したり、階層化したりできる。これをどうやって実現していくかは今後の大きな課題である⁶⁾。

参考文献

- 1) <http://www.notes.sematech.org>
- 2) <http://www.vsi.org>
- 3) VSI Alliance Architecture Document.
- 4) Wingard, D. and Kurosawa, A.: Integration Architecture for System-on-a-Chip Design, CICC-98 Conference Proceeding.
- 5) Cooke, L.H.: VSIA: It's Advantages from Four Different Perspectives, CICC-97 Conference Proceeding, p.107.
- 6) 松本正雄編: ソフトウェアのモデル化と再利用, 共立出版(1995). (平成10年3月31日受付)