

## 高バンド幅内部バス構造のオンチップメモリを持つFUCEプロセッサ

松崎 隆哲† 富安 洋史‡ 大庭 直行‡ 雨宮 真人‡

†九州大学 大学院 システム情報科学府

‡九州大学 大学院 システム情報科学研究所

〒 816-8580 福岡県 春日市 春日公園 6-1

{takanori, tomiyasu, ohba, amamiya}@al.is.kyushu-u.ac.jp

本稿では、プロセッサとメモリを同一チップに混載したメモリ混載プロセッサ FUCEプロセッサにおける内部バス構造について述べる。メモリ混載プロセッサは、オンチップメモリを利用することで、低レイテンシかつ高バンド幅のメモリを実現することが可能である。この場合、メモリ混載プロセッサの内部バス構造は、キャッシュを利用する既存のプロセッサアーキテクチャとは異なる構造が必要となる。そこで、FUCEプロセッサでは、プロセッサ内部にクロスバ・スイッチを用いて内部バスを構成し、プロセッサ、通信ユニット、オンチップメモリを結合する。

### FUCE processor using the broadband internal bus and the on-chip memory system

Takanori Matsuzaki, Hiroshi Tomiyasu, Naoyuki Ohba, Makoto Amamiya  
Graduate School of Information Science and Electrical Engineering, Kyushu University  
6-1 Kasuga-koen, Kasuga, Fukuoka, Japan, 816-8580  
{takanori, tomiyasu, ohba, amamiya}@al.is.kyushu-u.ac.jp

On this paper, we describe the internal bus architecture of the FUCE processor, which integrates processor and memory in one chip. The on-chip memory processor achieves low latency and high-bandwidth memory. Thus, the bus architecture of the on-chip memory processor will differ from the current architectures, which has cache memory. The FUCE processor has the internal bus which consists of cross-bar switches. The internal bus connects the processor, the communication unit and memory banks.

#### 1 はじめに

近年、集積回路技術の進歩により、1平方センチメートルのシリコンチップ上に約1000万トランジスタを搭載した回路が実現できるようになった。そして、約3年ごとに約4倍となる半導体集積回路技術の進歩によって、2010年には、1億トランジスタ以上を1平方センチメートル程度のシリコンチップ上に実現できるようになると予想される [9]。この集積回路技術の進歩により、プロセッサとメモリを同一チップ上に搭載したメモリ混載プロセッサや複数プロセッサを同一チップ上に搭載したオンチップマルチプロセッサなどの新しいハードウェアアーキテクチャが実現可能となってきている。一方、プロセッサアーキテクチャを含むソフトウェア技術は、未だに従来の枠組みにとらわれている。そのため、新しいハードウェアアーキテクチャとソフトウェア

技術に対する要求が次第に高まっている。

そこで、我々は今後のハードウェアアーキテクチャとソフトウェア技術を考え、FUCE(FUision of Communication and Execution) アーキテクチャの開発を行っている。FUCEアーキテクチャは、計算機における内部情報処理と通信の融合を目指した計算機システム [1] である。FUCEアーキテクチャは、細粒度マルチスレッド実行方式にもとづくメモリ混載プロセッサ FUCEプロセッサ [2] と、細粒度マルチスレッド実行方式にもとづくオペレーティングシステム CEPOS(Communication-Execution Fusion Operating System)[3][4] から構成される。

FUCEプロセッサは、スーパスカラ方式のような半導体上の面積が大きい複雑なプロセッサを複数同一チップに搭載するのではなく、半導体上の面積の小さい単純なプロセッサを多数同一チップ上に搭

載するマルチプロセッサである。単純なプロセッサで多数のスレッドを同時に実行することで、スレッドレベルの並列度を上げることを主眼としている。

現在、オンチップマルチプロセッサの研究としてSKY[5]、MUSCAT[6]、MP98[7]、Hydra[8]などが提案されている。これらのプロセッサでは、スレッドを基本処理単位としてマルチスレッド方式を採用している点で我々のFUCEプロセッサと共通している。しかし、これらのプロセッサでは、レジスタ継承、データ依存解消、投機実行などを実現している。これらの機構を実現することで、スレッドの実行や生成を効率良くおこなうことができるが、ハードウェア構造が複雑となる。

我々のプロセッサでは、ハードウェア構造の簡略化のため、これらのハードウェア構造を複雑にしてスレッド実行を効率良くおこなう方式は採用しない。その代わりに、プロセッサと同一チップ上にメモリを搭載する。これは、ハードウェア構造を複雑化するよりも、メモリを同一チップ上に搭載する方がシステム全体の性能が向上すると考えるからである。

## 2 FUCEプロセッサの概要

FUCEプロセッサは、同一チップ上にプロセッサ、通信ユニット、メモリを搭載することで、命令実行、通信処理、メモリアクセス間の性能格差を縮小する。これにより、「プロセッサの命令実行(内部処理)とプロセッサ外との通信(通信処理)とを融合して扱うこと」を目標とする。図1に、FUCEプロセッサの概略を示し、以下に特徴をあげる。

- スレッドを実行するユニットを複数持つ
- スレッド化されていない命令を実行するユニットを持つ
- 同一チップ上に命令実行ユニット、通信ユニット、メモリを搭載する
- 命令実行ユニット、通信ユニット、メモリ間は、高バンド幅内部バス(128 G Byte/sec)で接続する
- データキャッシュを持たない
- スレッドコンテキストの先読みをおこなう
- チップ外にメモリを持たない

これらの特徴については、後で詳細を述べる。

FUCEプロセッサの設計は以下の方針で進めた。

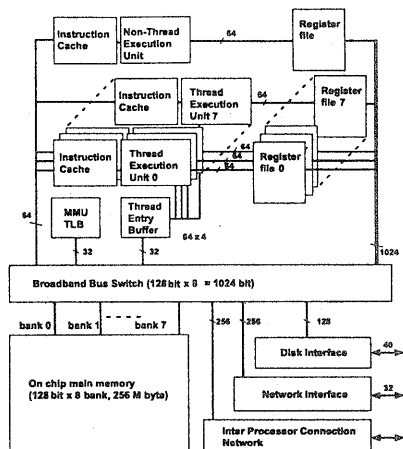


図 1: FUCEプロセッサ構成図

方針(1) 単純な構造の命令実行ユニットを多重化  
命令実行ユニットの高機能化をおこなわず、単純なハードウェア構成にする。ユニットの多重化をおこなうことでスレッドレベルの並列度を確保する。

方針(2) メモリ性能の強化

オンチップメモリと高バンド幅内部バスを用いて、低レイテンシでバンド幅の高いメモリシステムを実現する。

方針(3) スレッド実行の効率化

多数の細粒度スレッドを実行するため、効率の良いスレッド実行を実現する。

方針(4) オンチップメモリ容量の確保

FUCEプロセッサは、命令実行ユニットを単純化することで得られる半導体面積をオンチップメモリの容量確保に用いる。

方針(1)の「単純な構造の命令実行ユニットを多重化」にもとづき、多重化した命令実行ユニットで、複数スレッドを並列実行する。方針(2)の「メモリ性能の強化」にもとづき、メモリの低レイテンシ(4サイクル程度)と高バンド幅(128 G Byte/sec)を実現する。方針(3)の「スレッド実行の効率化」にもとづき、スレッドコンテキストの先読みを実現する。方針(4)の「オンチップメモリ容量の確保」により、チップ上のメモリだけでシステムが必要とするメモリ容量を確保する。これらの詳細については後述する。

FUCEプロセッサは、2005~10年頃を想定している。そこで、2005~10年頃に利用できる半導体

技術を表1のように想定し、プロセッサの仕様を検討している。

|               | 2005年     | 2010年   |
|---------------|-----------|---------|
| プロセッサ動作周波数    | 1 GHz     | 4 GHz   |
| オンチップメモリ容量    | 256 MB    | 1 GB    |
| オンチップメモリ動作周波数 | 500 MHz   | 2 GHz   |
| 内部バスデータ転送速度   | 128GB/sec | 1TB/sec |

表 1: 今後の半導体技術動向

### 3 FUCEプロセッサの内部構造

#### 3.1 命令実行ユニット

FUCEプロセッサは、スレッド実行ユニットと非スレッド実行ユニット(コントロールユニット)の2種類の命令実行ユニットを持つ。

非スレッド実行ユニットは、OSのカーネル、デバイスドライバ、割り込み処理、即時応答性を要求する処理をおこなうユニットである。

スレッド実行ユニットは、一つのスレッドを中断なく実行するユニットである。スレッド実行ユニットは単純な構成とし、多数の実行ユニットで並列実行性能を上げる。また、スレッドが中断なく実行されるため、スレッド実行ユニットはスレッドのコンテキストの退避や回復をおこなう機能は持たない。

以下にスレッド実行ユニットの特徴を説明する。

#### 2 命令同時発行 命令は2命令ずつ in order で発行。

ブロックロード/ストア レジスタを複数本まとめ、ブロック単位で転送をおこなう。

ノンブロッキングロード データをメモリからレジスタへとロードする際に、パイプラインを止めずにデータロードをおこなう。その際、レジスタ競合の確認はスコアボードを用いて行い、後続命令がレジスタを利用する場合に、はじめてパイプラインを停止する。

交替レジスタファイル FUCEプロセッサは、一つのスレッド実行ユニットに、レジスタファイルを2個持っている。一方をスレッド実行に利用し、他方は後述するスレッド先読み機構に利用する。

スレッドエントリバッファ スレッドエントリバッファは、ハードウェアで管理するスレッドエントリを保持するバッファである。

スレッド先読み機構 スレッドコンテキストの先読みをおこなうことで、スレッド切り替えを高速化する。

FUCEプロセッサは、ノンブロッキングロードを用いることで、ロード命令発行時にパイプラインを停止せずに命令実行を続ける。そのため、ロード命令を先行して発行することで、データハザードによるパイプラインストールを避けることができる。

細粒度マルチスレッド実行方式を利用することで、スレッドの切り替えが多くなる。そこで、スレッドの切り替えを高速におこなうため、交替レジスタファイル、スレッドエントリバッファ、スレッド先読み機構を用いて次スレッドの先読みをおこなう。スレッドのコンテキストを交替レジスタファイルの空いているレジスタファイルにプリロードすることで、コンテキストスイッチの際のレイテンシを削減する。具体的には、先行スレッドがスレッド実行ユニットで実行開始されるとともに、次スレッドをスレッドエントリバッファからスレッドエントリを読み込む。そして、スレッドエントリをもとにしてメモリから交替レジスタファイルの空いているレジスタファイルへとスレッドのコンテキストをスレッド先読み機構を用いて読み込む。これにより、先行スレッド終了後に直ちに後続スレッドの実行を開始することができ、スレッド切り替えを高速化できる。

#### 3.2 オンチップメモリ

既存のメモリをチップ外部に持つプロセッサは、ピン数がボトルネックとなり、メモリのバス幅を広げることができない。しかし、メモリ混載プロセッサはプロセッサのピンボトルネックが生じないため、メモリのバス幅を大幅に拡張できる。また、オンチップメモリを採用することによって、低レイテンシメモリを実現することができる。つまり、FUCEプロセッサはメモリに関して、低レイテンシ(4サイクル程度)と高バンド幅(128 G Byte/sec)という二つの特徴を持つ。

このメモリに関する特徴を考慮して、FUCEプロセッサはデータキャッシュを持たない。これは、低レイテンシで高バンド幅のオンチップメモリの特徴やスレッド実行ユニットの機構を利用することで、メモリアクセスのレイテンシを十分隠蔽することができるためである。

既存のメモリをチップ外部に持つプロセッサでは、メモリアクセスレイテンシが大きくなるために、チップ上にキャッシュを持つのが一般的である。しかし、FUCEプロセッサの場合は、チップ上にメ

メモリを持っているために、メモリアクセスレイテンシは小さくなる。そのため、チップ上にデータキャッシュを持つ必要はなくなる。しかし、命令コードの局所性により、命令キャッシュの効果は高いので命令キャッシュを用いる。

FUCEプロセッサは、命令実行ユニットの単純化によって得られた半導体面積を、オンチップメモリに利用し、チップ外にメモリを持たない。これは、今後の技術進歩によりオンチップメモリだけで十分なメモリ容量を確保できるのと、後述するプロセッサ信号ピンの利用法のためである。FUCEプロセッサの初期の仕様では、メモリ不足の可能性があるが、製造プロセス技術の進歩によりオンチップメモリの容量を増加することができ、将来的にはメモリ不足は解消される。

### 3.3 通信ユニット

FUCEプロセッサでは、プロセッサ外とデータのやりとりをおこなう処理を通信処理と定義し、通信処理をおこなうユニットを通信ユニットと呼ぶ。

通信ユニットを同一チップ上に搭載することで、命令実行と通信制御を同様に扱えるようにし、通信制御と命令実行の間の処理時間の差を縮めることを目指す。通信ユニットは、チップ内部で内部バスを介してオンチップメモリに結合する。そのため、通信制御をおこなう際は、命令実行ユニットを介さずに、独自に通信制御を行うことができる。

### 3.4 プロセッサ信号ピン

プロセッサ内部に通信ユニットやメモリを搭載し、チップ外部にメモリを設置しないため、FUCEプロセッサは外部メモリバスは必要ない。そのため、プロセッサ外には外部記憶装置と外部ネットワークとの接続装置だけを設置することができるため、多数のプロセッサ信号ピンを用いて広いbit幅によるバス接続をおこなう。このことにより、プロセッサ信号ピンがボトルネックとなって、通信帯域が確保できない問題は発生しない。

外部記憶装置への接続は、プロセッサ内部のディスクインタフェースとプロセッサ外部のI/Oバスドライバを組み合わせでおこなう。ディスクインタフェースはプロセッサ内部でディスクコマンドの発行を行い、プロセッサ外のI/Oバスドライバによって外部記憶装置を駆動する。

プロセッサ間の通信処理は、プロセッサの信号ピンの半数を利用した広バンド幅バスで接続し高速に

おこなう。通信処理も、外部記憶装置への接続と同様に、プロセッサ外部にパラレル/シリアル変換器や光通信ユニットを用意して、通信処理を高速におこなう。

## 4 高バンド幅内部バス

### 4.1 設計方針

FUCEプロセッサでは、以下の観点から内部バスの設計をおこなった。

1. 高速で低レイテンシなメモリシステム
2. 複数スレッド実行ユニットからのロード/ストアに対応
3. 大容量データの高速転送

上記項目(1)の「高速で低レイテンシなメモリシステム」により、FUCEプロセッサの方針であるメモリ性能の強化を実現する。そのため、FUCEプロセッサでは、低レイテンシなオンチップメモリを実現するために、メモリ素子としてDRAMだけではなく、オンチップSRAMシステムや高速なランダムアクセスが可能なDRAM[10]などの検討をおこなっている。また、上記項目(2)の「複数スレッド実行ユニットからのロード/ストアに対応」により、多数のスレッドを同時実行した場合でもメモリアクセスがボトルネックとならない。そのため、FUCEプロセッサの方針であるスレッド実行の効率化を実現できる。

### 4.2 内部バスの構成方式

内部バスは、スレッド実行ユニット、通信ユニット、オンチップメモリを結合し、以下の特徴を持つ。

1. 高バンド幅  
最大データ転送能力は128GByte/secである。
2. 低レイテンシ  
内部バスではなるべくレイテンシが発生しない構造である。
3. 複数のユニットから同時アクセス可能  
複数スレッド実行ユニットからのロード/ストア命令に対応できる。ただし、同じバンクに対して要求があった場合は、一方の要求が終わるまで他方の要求が待つ。
4. 連続したアドレスの読み/書きに適した構造  
内部バスはメモリの特性を生かす構造を持ち、ブロックロード/ストア実行時に内部バスを効果的に利用することができる。

内部バスの構成方法として、図2のように、アドレスとデータで分離する方法と、図3のように、アドレスとデータを共通のクロスバ・スイッチで扱う内部バスの方式を考えることができる

#### 4.2.1 アドレス・データ分離バス

内部バスを図2のように、アドレス制御線とデータ転送バスを分離することで、アドレス通知とデータ転送とを同時におこなう。実際の動作は、スレッド実行ユニットからデータ転送命令が発行された場合、まずアドレスのみをバスコントローラに通知し、その後データをクロスバ・スイッチを用いて転送する。この時、アドレスをバスコントローラに通知するために、アドレスラインを一時的に占有する必要があるが、アドレス通知は一度に全バスコントローラに対しておこなうため、一度アドレスを通知するとアドレスラインは解放される。各バスコントローラは、アドレスラインからのアドレス通知をキューイングすることで、クロスバ・スイッチとメモリバンクを制御しデータ転送をおこなう。また、アドレスラインが空いている場合、アドレス通知を各バスコントローラに対して発行し、バスコントローラでバス衝突による転送待ちが発生しない場合は、各メモリバンクは同時にデータ転送をする。

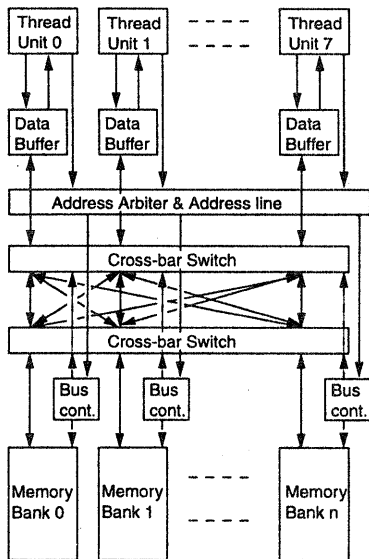


図2: 内部バス構造 (アドレス・データ分離バス)

#### 4.2.2 アドレス・データ共有バス

図3のように、内部バスをクロスバ・スイッチで構成し、オンチップメモリとのアクセスは、パケッ

ト方式でおこなう。パケット方式でメモリアクセスをおこなうため、内部バスを構成するクロスバ・スイッチは、パケット毎に切り替えることになる。そのため、連続したメモリデータの転送の際には、クロスバ・スイッチにおけるバッファリングによって生じるレイテンシが問題となる。また、パケットにクロスバ・スイッチの制御信号を含める必要があるために、内部バスのバス幅がデータ幅だけではなく制御信号を含む分だけ広くなり、クロスバ・スイッチの規模が大きくなる。

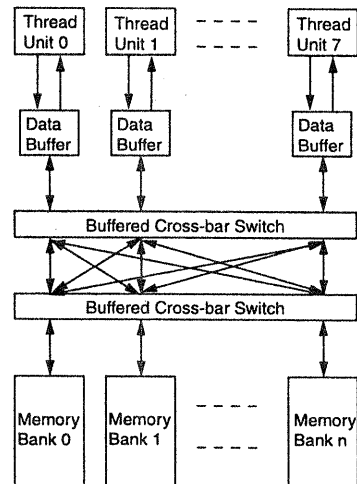


図3: 内部バス構造 (アドレス・データ共有バス)

#### 4.2.3 FUCE プロセッサの内部バス構造

以上のことより、FUCE プロセッサでは、レイテンシ削減を重視して、図2のように、内部バスをアドレスとデータで分離する。

内部バスはデータバス、アドレスライン、データバッファ、バスコントローラによって構成され、同時に複数のスレッドユニットへのデータ転送が可能である。各構成要素は、以下に説明する。

データバス 2 段のクロスバ・スイッチによって構成され、異なるメモリバンクに対しては同時にアクセス可能である。

アドレスライン アドレス調停器と1本のアドレスラインによって構成され、アドレスをバスコントローラに通知する。アドレスラインは1本であるため、スレッド実行ユニットは同時にアドレスを発行できない。

データバッファ データバッファで、非同期にクロスバ・スイッチから送られて来たデータを並

べ替えることで、クロスバ・スイッチでデータ送受信の順番制御をおこなわない。

バスコントローラ アドレス調停器からアドレスを受け取り、メモリバンクへのアドレス通知およびクロスバ・スイッチの制御をおこなう。

#### 4.3 内部バス転送能力

FUCE プロセッサでは、オンチップメモリを利用することで、プロセッサとオンチップメモリ間のバス幅を広げる。現在のバージョンでは、プロセッサとオンチップメモリ間のバス幅を 1024 bit とすることで、プロセッサとオンチップメモリ間の最大データ転送能力を 128 G Byte/sec と見積もっている。プロセッサの動作周波数を 1 G Hz、メモリバンク本数を 8 本とすると、最大で 1 メモリバンクあたり 16 Byte/サイクルのメモリ転送能力を持つことになる。ここで、レジスタのサイズを 32 bit とすると、1 サイクル毎に 4 本のレジスタを置き換えることが可能である。そのため、 $4 \times 4$  のベクトル演算のような、多数のメモリアクセスを必要とする計算をおこなうことができる。

また、FUCE プロセッサは、メモリアクセスレイテンシを隠蔽するために、ブロックロード/ストアやノンブロッキングロードを用いてメモリアクセスをおこなうため、データキャッシュ無しでも性能を発揮することができる。

#### 5 おわりに

本稿では、高バンド幅内部バス構造のオンチップメモリシステムを持つプロセッサ FUCE プロセッサについて述べた。

FUCE プロセッサでは、オンチップメモリシステムを利用することで、低レイテンシで高バンド幅のメモリを実現する。そのため、FUCE プロセッサの構造は、キャッシュを利用する既存のプロセッサアーキテクチャとは異なる構造が必要となる。そこで、FUCE プロセッサでは、プロセッサ内部にクロスバ・スイッチで構成される内部バスを用意することで、プロセッサとオンチップメモリ間を高バンド幅で接続する。これにより、既存のプロセッサアーキテクチャで問題となるメモリシステムのボトルネックを解決し、システム全体の性能向上を目指す。

現在、内部バスの構造の詳細を検討すると共に、VHDL を用いて FUCE プロセッサのシミュレーション環境の開発を行っている。今後、シミュレーショ

ンにより本アーキテクチャの性能評価をおこない、FUCE プロセッサ設計方針の有効性を確認する予定である。

本研究は、通信・放送機構の創造的情報通信技術研究開発推進制度に係わる研究開発課題「次世代型インテリジェント・マルチメディア情報通信網の基盤技術に関する研究」による。

#### 参考文献

- [1] M. Amamiya, et al. "An architecture of fusing communication and execution for global distributed processing", In SSGRR2000 Computer and Business Conference, 8 2000.
- [2] 松崎 隆哲, 富安 洋史, 大庭 直行, 雨宮 真人, "通信と処理との融合を行う FUCE プロセッサの提案", 信学技報, CPSY2000-52, Vol.100, No.249, pp.1-7 (2000).
- [3] 日下部 茂, 富安 洋史, 村上 和彰, 谷口 秀夫, 雨宮 真人, "並列分散オペレーティングシステム CEFOS(Communication-Execution Fusion OS)", 信学技報, CPSY99-50, Vol.99, No.251, pp.25-32 (1999).
- [4] 谷口 秀夫, 日下部 茂, 棚林 拓也, 中山 大士, 雨宮 真人, "CEFOS オペレーティングシステムのスレッド管理機構, 情処研報", 2000-OS-83, Vol.2000, No.21, pp.7-12 (2000).
- [5] 小林, 岩田, 安藤, 鳥田, "非数値計算プログラムのスレッド間命令レベル並列を利用するプロセッサ・アーキテクチャ SKY", JSPP98, pp. 87-94 (1998).
- [6] 鳥居, 近藤, 本村, 西, 小長谷, "オンチップ制御並列プロセッサ MUSCAT の提案, 情報処理学会論文誌", Vol.39, No.6, pp.1622-1631 (1998).
- [7] N. Nishi, et al. "A 1GIPS 1W Single-Chip Tightly-Coupled Four-Way Multiprocessor with Architecture Support for Multiple Control Flow Execution", In Proc. ISSCC2000, WP25.5.
- [8] L. Hammond, et al. "The Stanford Hydra CMP", IEEE Micro, Vol. 20, No. 2, March/April 2000
- [9] The International Technology Roadmap for Semiconductors (ITRS), <http://www.itrs.net/ntrs/publntrs.nsf>
- [10] MoSys, Inc. <http://www.mosysinc.com/mhome/>