

## HDTV 対応メディアプロセッサ MCP2 におけるストリーム処理部の開発

森下 広之 平井 誠 木村 浩三 清原 督三

松下電器産業(株)  
マルチメディア開発センター

### 要旨

2000年12月に本放送が開始されたBSデジタル放送に対応したメディアプロセッサ, Media Core Processor2(MCP2)を開発した。MCP2は, HDTVレベルまでのビデオデコード, データ放送対応の動画のリサイズや二次元グラフィックス機能, および, オーディオデコードを1チップで実現する。さらに, BSデジタル放送ではHDTV映像の放送に加えて, SDTV映像の3チャンネル同時放送サービスが行われるため, MCP2では複数ストリームの同時デコード機能を実現した。本稿では, ハードウェアとソフトウェアの負荷分散によって高い処理性能と柔軟性を両立し, 複数ストリームの同時処理を実現したストリーム処理部について述べる。

### Stream parsing unit of media processor for HDTV application (MCP2)

Hiroyuki Morishita Makoto Hirai Kozo Kimura Tokuzo Kiyohara

Multimedia Development Center  
Matsushita Electric Industrial Co.,Ltd.

### Abstract

We developed a media processor for HDTV application which supports full spec of BS digital satellite broadcasting (December 2000 service in) using Media Core Processor Architecture (MCP2). MCP2 provides 1-chip solution for HDTV video decoding, moving picture resizing, 2D graphics drawing, and decoding of various standards of audio. In BS digital satellite broadcasting, HDTV and 3 channels concurrent SDTV broadcasting services are programmed. Therefore, MCP2 supports concurrent decoding of plural bit streams. In this paper, we describe the stream parsing unit which realizes concurrent parsing of plural bit streams with high performance and flexibility by hardware/software task sharing.

#### 1. はじめに

1994年に米国DIRECTVを皮切りに始まったデジタル放送は, 世界各地で広がりを見せており, 国内では1996年にCSデジタル放送, 2000年12月にはBSデジタル放送が開始され, さらに2003年からは地上波デジタル放送の開始が予定され, 本格的な普及期に移行しつつある。

これらの放送を受信するSTB(Set Top Box)やDTV(Digital TV)に用いられるAVデコーダでは, 様々な新規のサービスや, 世界各地域や放送事業者ごとに異なる仕様に迅速に対応する必要があり, ソフトウェア処理導入が有効である。

しかしながら, 民生機器におけるAVデコードでは, ビデオ, オーディオそれぞれにおいてフルフレームレートを保証する必要があり, 市販の

汎用プロセッサを用いたシステムで、この保証を行うことは難しい。

これに対し我々は、ソフトウェア処理による柔軟性と高い処理性能の両立をめざして、メディアコアプロセッサ(MCP: Media Core Processor)シリーズ[1]を開発してきた。MCPは、メディア処理に含まれる複数の異なる処理形態ごとに最適なプロセッサを設けた独自のマルチプロセッサ構成をとることにより、システム性能を向上し、動作周波数を抑えて、メディア処理のソフトウェア化を実現する。

今回、BS デジタル放送への対応としてメディアコアプロセッサの第二世代アーキテクチャであるMCP2[2],[3]を開発した。MCP2は、HD(High Definition)TV レベルまでのビデオデコード(1080i, 720p, 480p, 480i 対応)、データ放送対応の動画のリサイズや二次元グラフィックス機能、および、オーディオデコードを1チップで実現する。さらに、BS デジタル放送では、HDTV 映像の放送に加え、SD(Standard Definition)TV 映像の3チャンネル同時放送も実施される。SD3チャンネル放送とは、通常のHD放送1チャンネル分の帯域を使用して同時に3本のSD映像の放送を行うものである。この放送形態を利用したサービスの一つに、野球やゴルフなどの放送時に異なる視点からの映像を同時に放送するマルチビュー放送などがあるため、MCP2では複数ストリームの同時デコード機能を実現した。

本稿では、ハードウェアとソフトウェアの負荷分散によって高い処理性能と柔軟性を両立し、ハードウェア規模の増加を抑えながら、複数ストリーム処理を実現したストリーム処理部について述べる。

## 2. MCP2構成

MCP2はメディア処理の形態やアルゴリズムに適したプロセッサを複数もつマルチプロセッサ構成をとっており、I/O処理部とデコードコア部、ピクセル処理部から構成されている(図1)。

I/O処理部では、入力ストリームのシステムレベル解析、映像、音声の出力処理、ホストCPUとの通信等の入出力に関わる処理を行う。

これらの処理は複数のイベントが非同期に発生し、それらを並行して処理する必要があるため、オーバーヘッドの無いコンテキスト切り替えを実現したマルチスレッド型のプロセッサ(I/Oプロセッサ)を用いて各スレッドの処理性能を確保し、ソフトウェア処理によって柔軟性とリアルタイム性を両立させている。

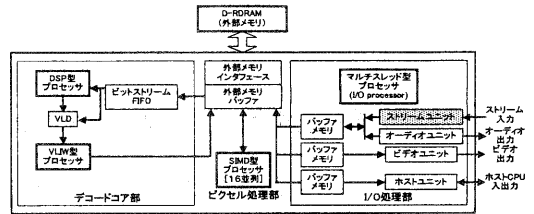


図1 MCP2 ハードウェア構成

ム性を両立させている。

今回報告するストリーム処理部は I/O 処理部に属している。

デコードコア部では、MPEG ビデオやオーディオなどのデコード処理を行う。処理の特性にあわせ、DSP 型プロセッサと VLIW 型のプロセッサで構成している。

ピクセル処理部では、ビデオデコードの動き補償や、データ放送等で必要となる画像のリサイズを行う。データ並列度の高いピクセルに対して同じ処理を行うため、SIMD 型のプロセッサを採用している。

また、MCP2では、データ放送を含めたBS デジタル放送のフルスペックに必要なメモリバンド幅を1チャンネルで確保するため、外部メモリにRambus社のDirect RDRAM™(D-RDRAM)を採用している。

## 3. ストリーム処理部

本章では、MPEG ビットストリームの構造と、そのシステムレベル解析を行うストリーム処理部について述べる。

### 3.1. MPEG ビットストリーム構造

MPEG2 ビットストリームは、複数の符号化された映像、音声、データで構成される番組を、さらに複数の番組間で多重するために、図2に示す階層構造を持つ。

#### エレメンタリストリーム(ES)

音声、映像をMPEG方式で符号化したデータ。音声と映像はそれぞれ異なるビットストリームに符号化される。

#### パケットサイズドエレメンタリストリーム(PES)

ESに対して、ストリームの種別(音声、映像等)、音声や映像等を出力するタイミングを示す時間情報(PTS)、および、パケット単位でのスク

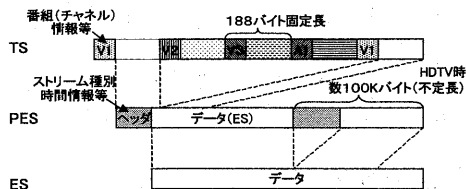


図 2 ビットストリーム構成

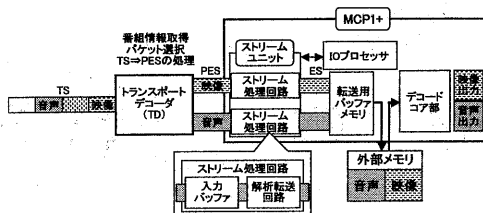


図 3 従来(MCP1+)の単独ストリーム処理方式

ランプリングを行うための制御情報等のシステム情報を含むヘッダを付加し、可変長パケット化したものである。

### トランスポートストリーム(TS)

放送系に用いるために、複数の番組の音声、映像の PES に対してチャンネル情報等を含むヘッダを付加し、188 バイトの固定長にパケット化し、時系列多重したものである。

上記の映像、音声データに加え、プログラム情報や時間情報、視聴制限等の、受信機で番組を分離、復号化するために必要な SI 情報も多重して伝送される。

### 3.2. MCP1+における従来のストリーム処理

SDTV 対応の当社の第 1.5 世代 AV デコーダである MCP1+を用いた従来の STB システムにおけるストリーム処理部の動作について述べる(図 3)。

トランスポートデコーダ(TD)に対しては TS が入力される。トランスポートデコーダは、入力された TS のヘッダ部に付加されているチャンネル情報に従って必要な音声と映像の TS パケットを選択し、そのペイロード部分(PES)を抜き出して結合し、計 2 本の独立な PES として出力する。また、同時に SI 情報の解析も行う。

MCP1+には 2 系統(映像、音声)の PES が入力される。ストリーム処理部は入力された PES に対し、独立な 2 系統ハードウェアを用いて構造の解析を行い、そのペイロード部分である ES を外部メモリ転送用バッファメモリへ転送する。バッファメモリ上の映像と音声の ES は、それぞれ外部メモリ上の VBB(Video Bitstream Buffer)、ABB(Audio Bitstream Buffer)と呼ばれる領域に転送される。

その後、ビデオデコード時は VBB から、オーディオデコード時は ABB から ES がデコードコア部に転送され、デコード処理後にそれぞれ映

像、音声として出力される。ストリームの供給が一定のレートを満たすことができない場合、デコード時にストリームのアンダーフローが発生し、映像のがたつき、音とび等が発生する。このため、ストリーム処理部では、一定以上の平均転送レートの保証が必須となる。

ストリーム処理部は I/O 処理部に属し、専用ハードウェアであるストリームユニットと、I/O プロセッサ(IOP)のソフトウェアから構成される。

ストリームユニットは 2 組のストリーム処理回路で構成されており、各ストリーム処理回路は、外部からのストリーム入力を受け取る入力バッファと、入力バッファのストリームを解析しつつ転送用バッファメモリへ DMA 転送する機能を持つ解析転送回路から構成されている。

解析転送回路は、DMA 転送しながら同時に特定パターン(4 バイト以下)を検出するという機能を備え、ストリームの中から特定パターンを検出すると、DMA 転送と解析動作を停止し、IOP に通知する。検出したパターン後の内容の解析と処理、DMA の管理等は IOP のソフトウェア処理で実現している。

## 4. MCP2ストリーム処理部開発における課題

### 4.1. 複数ストリーム処理機能の実現方式

SDTV3 チャンネル放送において、3 本の動画像を同時に表示するためには、1 本の音声を加えた、計 4 種類のストリームの同時処理が必要となる。

PES 以下の階層のビットストリームは多重されたストリームが分離された状態であり、チャンネル情報が含まれていない。そのため、トランスポートデコーダから AV デコーダへの入力を PES にした場合、ストリームとは別にチャンネル情報を得る必要がある。このため、従来は 2 系統のストリーム処理回路を用いて、映像、音声の PES をそれぞれ独立に受け取る方式をとっていた。

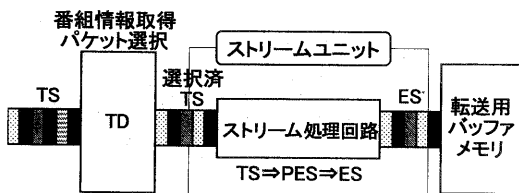


図 4 複数ストリーム処理方式

しかしながら、独立のハードウェアでストリーム処理を行う従来のストリーム処理方式では、処理ストリーム数の増加による回路規模の増大と、チャンネル情報を受け渡すためのトランスポートデコーダと AV デコーダ両方の外部入出力ピン数の増加が問題となる。これを解決するため、今回、チャンネル情報を含んだ状態のストリームである TS を AV デコーダで処理するアプローチをとった(図 4)。

この場合、トランスポートデコーダは番組情報の解析と、必要なパケットの選択を行い、AV デコーダに対して必要な複数の映像、音声のパケットのみとした選択済の TS を入力する。

AV デコーダ内のストリーム処理部は、選択済の TS を受け取り、TS パケットのペイロードである PES を取り出し、さらにその PES を解析し、PES ヘッダ内の付加情報と ES を取り出した後、入力された TS パケットのヘッダに含まれるチャンネル情報を元に ES の転送先を制御する。

この方式はソフトウェア処理によって TS から PES、ES への解析処理を一度に行う必要があり、処理性能向上が求められるが、1 つのストリーム処理回路で対応が可能となるため、回路規模抑制の点で有利となる。さらに、処理可能なチャンネル数がハードウェア構成によって制限されないという利点がある。

#### 4.2. TS 処理を付加した場合の性能低下

従来構成で実現可能な平均転送レート<sup>1</sup>は、PES 処理時で 49Mbps となる。今回、TS 処理時も同程度の性能を実現することを目標とした。目標性能は、TS ヘッダが付加される事によるオーバーヘッドを考慮し、50Mbps とした。

TS 処理時は解析動作が複雑化し、PES 処理時と比べてソフトウェア処理が 85% 増加する。こ

<sup>1</sup> MCP2 の動作周波数 133MHz、ストリーム処理スレッドのソフトウェア処理性能は 12MHz として評価した。

れにより処理性能が低下し、従来構成で実現可能な TS 処理性能は 29Mbps となる。

TS 処理時 50Mbps の性能達成を目指す上での課題点として、以下の 2 点を抽出した。

#### 内部 DMA 性能への律速

MCP1+におけるストリーム処理部では、外部からのストリーム入力速度によって、入力バッファから転送用バッファメモリへの DMA のデータ転送実効速度が律速され、システム性能の低下を招いていた。外部からの入力速度からの、内部の DMA 速度への律速を防いだストリーム処理部構成が必要である。

#### ソフトウェア処理の増加

TS 解析では、以下の 4 種類のソフトウェア処理が必要となる。

- ペイロード部である PES、ES 内のヘッダ解析
- ペイロード部 DMA の管理
- TS ヘッダの検出と解析
- 処理対象チャンネルの状態復帰と退避

これらのソフトウェア処理を効率的に実現できるストリーム処理部構成が必要である。

#### 5. アプローチ

今回、ハードウェアとソフトウェアのトータルでの性能向上を考慮し、回路規模の増大を抑えつつ、柔軟性の確保と処理性能の向上 (TS 処理時 50Mbps) を両立するアプローチを行った。

##### 5.1. DMA 実効性能の向上

従来 (MCP1+) の構成では、解析ハードウェア内の DMA 転送速度が外部機器からの入力速度によって律速され、平均転送レートが低下するという問題がある。

ストリーム処理部の動作は、ソフトウェア処理とハードウェア処理の繰り返しとなる。今回の課題である TS 解析においては、TS ヘッダ解析、PES、ES のヘッダ解析、状態復帰のためのソフトウェア処理が行われ、その間、ストリームは転送されず、解析後に DMA 転送を開始する。このストリーム処理の様子を、図 5 に示す。

入力バッファに入力済みのストリームに関しては、内部 DMA 転送速度の 800Mbps (75% of 133MHz x 8bit) で DMA 転送が可能であるが、入力バッファが空になると外部からの入力を待つ DMA 転送を行う (1バイト入力される毎に1バ

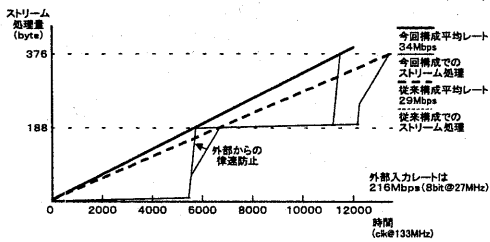


図 5 DMA 実効速度の向上

イト DMA) という動作になり、外部からの入力レートに律速される。

図 5 において、DMA 転送開始後にグラフの傾きが緩やかになるのはそのためである。外部からの最高入力レートはシステムの構成によって決定され、通常、内部の DMA 転送性能と比較して非常に低速である。これがシステム全体の律速要因となり、一定サイズのストリームの DMA 転送を行うのに必要となる時間を増加させる。

188 バイト単位 (TS パケット単位) で処理を行う場合、入力バッファのサイズを 150 バイト以上に拡張することにより、外部入力速度からの律速による性能低下を回避し、DMA 期間を 75% 削減 (8bit@27MHz 入力時比) することが可能となる。

## 5.2. ソフトウェア処理の効率化

4.2 節で述べた TS 解析において必要となるソフトウェア処理のうち、PES、ES のヘッダ解析に関しては、解析が必要なヘッダの出現頻度が低い (30~40 キロバイトに一回) ため、性能への影響は少ない。これに対し、TS パケット (188 バイト) 毎に必要となる、DMA 転送の管理、TS ヘッダの検出と解析、状態復帰と回避の処理は性能への影響が大きい。今回、これらのソフトウェア処理削減のためのアプローチを行う。

### TS パケット処理簡略化への対策

TS のヘッダ検出処理を削減するために、TS パケットが 188 バイト固定長であることを用いて、入力バッファを 188 バイトずつの複数のバッファ領域で (ダブルバッファ以上) 構成し、入力ストリームのバッファへの書き込み時に、パケット単位で異なるバッファ領域に書き込む制御を行った。加えて、バッファ領域の終端で無条件に DMA 転送を終了させるという制御を行うことにより、DMA 管理を容易化した。

また、これによって TS の構造 (ヘッダ、終端な

ど) へのアクセスアドレスを固定することが可能となり、TS ヘッダ解析と状態回避におけるソフトウェア処理削減が可能となる。

### 状態復帰処理簡略化への対策

TS パケット間に跨った PES、ES 内のヘッダ解析処理を削減する。

TS を生成する過程で、188 バイトずつの固定長パケット化を行う。この処理において、PES、ES 内のヘッダ構造が 2 パケットのペイロードに分割されてしまうケースが発生する。パケットにまたがるヘッダ構造は、現状のハードウェアによるヘッダ検出、DMA 機能で処理することができないため、ソフトウェアによる解析と、その結果に従ったストリームデータのメモリへの書き込み (DMA に相当) を行う必要があり、ソフトウェア処理量増加の原因となる。

これに対して今回、パケット終端のハードウェア状態とストリームを回避し、それに続く同チャネルの TS パケットのペイロード部分を解析する際にソフトウェアによって復帰できる構成とした。

これにより前パケットとストリームが連続している状態を作り、ハードウェアでのヘッダ検出機能を利用することで、ソフトウェア処理の削減が可能となる。

これらの対応により、ソフトウェア処理を 35% 削減することが可能となる。

## 5.3. 入力バッファの実装方式

5.1 節、5.2 節で述べたアプローチを実現するためには、以下の 2 つの要件を満たす入力バッファが必要となる。

- 376 バイト以上のサイズ
- ソフトウェアから RW 可能

376 バイトの入力バッファをフリップフロップなどで実装すると、面積が大きく増大してしまうため、メモリによって実装した。さらに、メモリの容量が少ない場合には面積効率が悪くなってしまうため、適切な入出力アービトラージを行うことにより、ストリーム転送等の用途に用いている転送用バッファメモリと入力バッファを統合して実装した (図 6)。

また、同時に 5.2 節で述べた入力バッファに対するストリームの復帰に必要なソフトウェアからのアクセスも可能にしている。

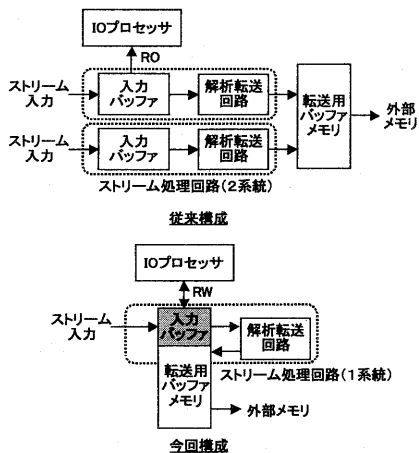


図 6 入力バッファの実装方式

## 6. 結果

TS 処理のための解析動作の複雑化が引き起こす性能低下に対し、ハードウェアとソフトウェアの負荷分担を考慮した、ストリーム処理部構成改良の取り組みを行った。各取り組みによる性能向上を図 7 に示す。

- 入力バッファサイズの拡大により、外部入力速度による律速を防止し、DMA 転送の実効性能を向上させた。この対応により、34Mbps の処理性能を達成した。
- TS のペイロードの解析開始時に、TS パケット終端状態を復帰できる構成を採ることにより、ソフトウェアによるパケットに跨った PES, ES のヘッダ構造の検出を不要とした。また、TS パケットと同サイズのバッファ構成を持つことによりアドレス管理を容易化した。加えて、バッファ終端で無条件に DMA 転送を終了させる制御を行い、DMA 管理のための処理を削減した。これらの対応により 51Mbps の性能を達成した。
- メモリ統合による入力バッファ実装によって、上記の各アプローチで求められる入力バッファのサイズと、ソフトウェアからの RW を可能にするという要件を満たし、従来 (MCP1+) 比 10% の回路規模削減を実現した。

以上の取り組みによって、12MHz のソフトウェア処理性能で、柔軟性と処理性能 (TS 処理時 51Mbps)、回路規模の削減を満たして複数ストリーム処理機能を実現した。

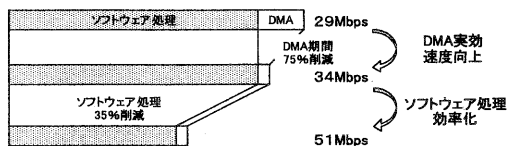


図 7 各アプローチによる性能向上

## 7. まとめ

ハードウェアとソフトウェアの負荷分散によって高い処理性能と柔軟性を両立し、ハードウェア規模の増加を抑えながら、複数ストリーム処理を実現したメディアコアプロセッサ (MCP2) のストリーム処理部を開発した。

今回開発した MCP2 は、業界初の BS デジタル放送対応 1 チップ AV デコーダ (MN677541) として量産され、当社の BS デジタル放送対応 DTV, STB に搭載されている。

## 参考文献

- [1] 木村浩三 他 “ソフトウェアでの実時間処理を実現した民生用メディア処理プロセッサ Media Core Processor.” Matsushita Technical Journal Vol.45, No.2, pp.99 ~ 106 (1999).
- [2] 落合利之 他 “BS デジタル規格に準拠した MPEG ビデオデコーダ LSI(MN677541)” Matsushita Technical Journal Vol.46, No.6, pp.100 ~ 106 (2000).
- [3] T.Kiyohara “Media Core Processor for HD-TV application (MCP2).” An International Symposium on Low-Power and High-Speed Chips (COOL Chips III), pp.241 ~ 248 (2000).