

## 大容量 FPGA の応用による マルチプロセッサエミュレーションシステムの開発

佐谷野 健二<sup>†</sup> 片下 敏宏<sup>††</sup> 小池 汎平<sup>†††</sup> 児玉 祐悦<sup>†††</sup>  
坂根 広史<sup>†††,††††</sup> 甲村 康人<sup>††††</sup>

本研究では、近年大容量化の進む FPGA を応用してマルチプロセッサ向けエミュレーションシステムの開発を行っている。本システムでは、プロセッサコアとネットワーク機能を単一の FPGA チップ内に実装することで、高速なエミュレーション動作と高い柔軟性を実現する。また、FPGA チップ間を高速な差動信号バスで結ぶことにより、マルチプロセッサのエミュレーションを行う際のシステム全体の性能を考慮して設計を行った。

### Development of a Multiprocessor Emulation System by the Application of Large-scale FPGA

KENJI SAYANO,<sup>†</sup> TOSHIHIRO KATASHITA,<sup>††</sup> HANPEI KOIKE,<sup>†††</sup> YUETSU KODAMA,<sup>†††</sup>  
HIROFUMI SAKANE,<sup>†††,††††</sup> and YASUHIKO KOUMURA<sup>††††</sup>

In this research, we are developing a multiprocessor emulation system by the application of large-scale FPGA that the capacity is increasing rapidly in recent years. This system realizes very high-speed emulation and high flexibility, since processor cores and network switches are implemented in a single FPGA chip. Furthermore, the system performance at multiprocessor emulation is regarded in the development of this system by that the high-speed differential I/O buses connect each FPGA chip.

#### 1. はじめに

マルチプロセッサシステムの開発は、多くのコスト、人手、開発期間を要する作業である為、開発の初期段階における十分な性能評価が開発プロジェクトの成否を左右する重要な要素となり得る。また、マルチプロセッサシステムでは、その振る舞いが極めて複雑であることから、シングルプロセッサの場合に比べて、より精度の高い性能評価が要求される。

しかしながら、実験レベルでのマルチプロセッサ研究の多くは、ソフトウェアによるシミュレータを用いて行われているのが現状である。ソフト

ウェアシミュレーションでは、十分な動作速度を得ることが難しく、アプリケーションプログラムのごく一部のルーチンを用いて性能評価が行われるケースも多い。また、シミュレーションモデルを簡略化することでシミュレーション時間を短縮することも考えられるが、この場合、シミュレーション結果の信頼性を損なう危険性を考慮しなければならない。

この一方、米国 Quickturn (現在は Cadence) の CoBALT<sup>1)</sup> 等、プログラマブルデバイスを応用したハードウェアエミュレーション装置は、ラピッドプロトタイピングの分野で広く利用されている。この種の装置では、多数のプログラマブルデバイスを組み合わせることで、多様なハードウェアデザインに対応する柔軟な構造を持ち、ソフトウェアシミュレータに比べて高速な処理を実現している。

しかしながら、このような装置をマルチプロセッサのシミュレーションに用いる場合、シミュレータ自体の規模が非常に大きなものとなってしまう。一般に、大規模なハードウェアシミュレータは非常に高価である為、実験レベルでのマルチ

<sup>†</sup> 科学技術振興事業団 科学技術特別研究員  
Domestic Research Fellow, Japan Science and Technology Corporation

<sup>††</sup> 株式会社 カーネル Kernel Co., Ltd.

<sup>†††</sup> 電子技術総合研究所 情報アーキテクチャ部  
Computer Science Division, Electrotechnical Laboratory

<sup>††††</sup> 電気通信大学大学院 情報システム学研究科  
Graduate School of Information Systems, The University of Electro-Communications

<sup>†††††</sup> 株式会社 創夢 SOUM Corporation

ロセッサ研究では、そのコストが大きな問題となる。また、商用のハードウェアシミュレータでは多様なハードウェアのシミュレーションを行う必要性から、汎用性を重視した構造が取られている。この為、必ずしもマルチプロセッサのシミュレーションに適した構造をしているとは言えず、速度面でのオーバーヘッドの発生は避けられない。

このような状況の中、近年ではFPGAの大容量化が急速に進行しており、単一のFPGAチップ上にプロセッサコアやネットワーク機能を搭載することが十分可能な状況にある。従来、プログラマブルデバイスを用いてプロセッサの実装を行う場合には、デバイスの容量が十分では無く、プロセッサを機能ブロック毎に分割して複数のチップに割り当てる必要があった。このような実装方法では、機能ブロックが複数のチップに分割されてしまうことから、プロセッサ実装時の自由度が低く、プログラマブルデバイスを用いることの利点を十分に活かすことが出来なかった。また、プロセッサ内部の配線がチップ間を渡る為、デバイスパッケージのピン数の制約から十分な配線数が得られない場合や、デバイス間の配線遅延が問題になる場合もある。今日ではFPGAの大容量化に伴い、プロセッサコアとネットワーク機能を単一のFPGAに搭載することが可能となり、これによ

って上記の様な問題は大幅に解消されている。

我々は、このような大容量FPGAに着目し、FPGAを応用してマルチプロセッサシステムを実装する研究を進めている。大容量FPGAを利用して単一チップ内にプロセッサコアとネットワーク機能を混載すれば、多様な構造のプロセッサやネットワークに対応しながら、高速なハードウェアエミュレーションを行うことが可能である。これ迄の研究では、EM-Xの要素プロセッサ<sup>2),3)</sup>やMIPSアーキテクチャをベースとしたマルチスレッドプロセッサを対象として、単一FPGA内でのプロセッサの実装を行い、その検証を進めて来た。<sup>4)</sup> 本稿では、これ迄の研究を踏まえて新たに開発を進めている、マルチプロセッサ向けエミュレーションシステムについて述べる。

以降、2.では本研究で開発を行っているマルチプロセッサエミュレーションシステムの概要について述べ、3.ではこのシステムを利用したエミュレーションの方法について述べる。

## 2. システム

本研究で開発を行っているシステムでは、複数の大容量FPGAを用いて、個々のFPGA上にPEを構築し、これらをネットワークで接続することによりマルチプロセッサシステムを実現する。ま

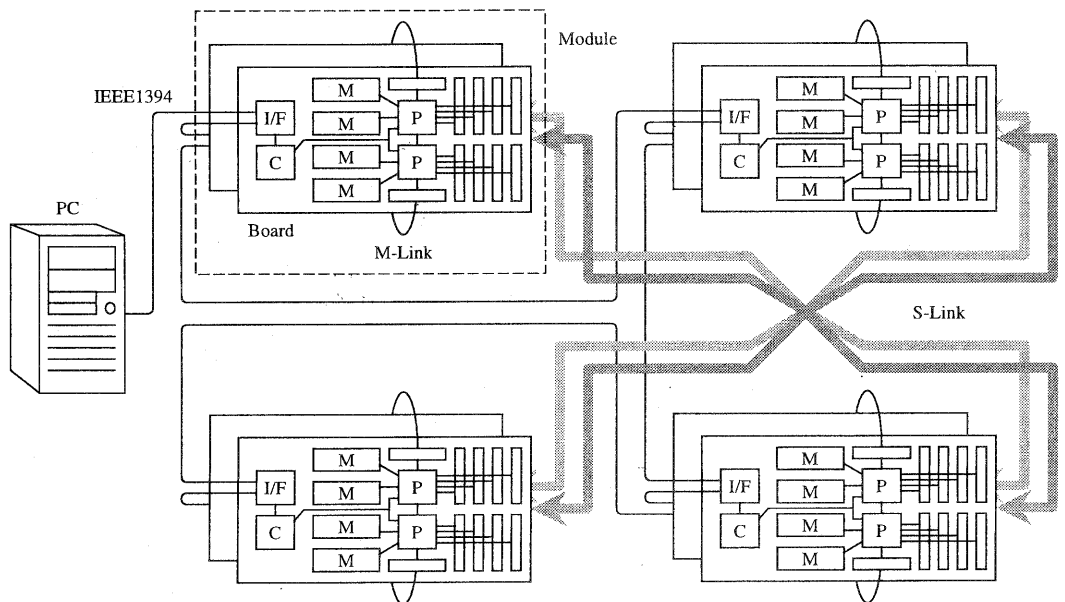


図 1 システムの構成

(I/F: IEEE1394 I/F, C: C-Device, M: SDRAM and SSRAM, P: P-Device, M-Link: モジュール内接続, S-Link: モジュール間接続.)

た、各々の FPGA には、独立したバスによって接続される複数のメモリを搭載することにより、多様なプロセッサの構成にも対応している。さらには、FPGA 同士を高速な差動信号バスで接続することにより、システム全体のエミュレーション性能を高めている。

以下では、エミュレーションシステムの構成と、エミュレーションシステムを構成するボードの構造について述べる。

## 2.1 システムの構成

システムの構成を図 1 に示す。本システムは制御用の PC と FPGA を用いた装置本体から構成される。装置本体は 4 つのモジュールで構成され、各々のモジュールは 2 枚のボードを組み合わせて構成されている。モジュールを構成する 2 枚のボードは M-Link と書かれたバスによって接続される。また、S-Link と書かれた太い矢印は、モジュール間を繋ぐケーブルを表している。これらのケーブルは、エミュレーションの対象となるマルチプロセッサのネットワークトポロジに合わせて繋ぎ替えることが可能である。

制御用 PC と装置本体との接続には IEEE1394 規格の I/F が使用されている。制御用 PC からは、この I/F を通して、装置上の FPGA のコンフィギュレーション、FPGA 上に実装された PE へのプログラムの転送とデータの受け渡し、装置上のプログラムの実行制御等が行われる。

ボード上の C は C-Device、M はメモリ (SDRAM と SSRAM)、P は P-Device を、それぞれ表してい

る。これらに関しては次節で詳しく説明する。

## 2.2 ボードの構造

ボードの構造を図 2 に示す。このボードには、ボードの制御を行う FPGA (図中の C-Device) と、プロセッサやネットワーク機能を実装する為の 2 つの FPGA (図中の P-Device) の、2 種類の FPGA が搭載されている。C-Device には Xilinx の XCV300E<sup>6)</sup> (システムゲート数 411,955、ロジックセル数 6,912、メモリビット数 98,304) が使用されている。C-Device は、電源の投入直後にボードに搭載された ROM によってコンフィギュレーションが行われ、ボード全体の制御を行う。また、C-Device には制御用 PC との通信を行う為の IEEE1394 I/F と、主にボードのデバッグの際に使用される RS232C I/F の 2 種類の I/F が接続されている。

1 枚のボードには 2 つの P-Device が搭載されている。P-Device には Xilinx の XCV2000E<sup>6)</sup> (システムゲート数 2,541,952、ロジックセル数 43,200、メモリビット数 614,400) が使用されており、各々の P-Device には、メインメモリとして使用される 2 系統の SDRAM (128MB、SO-DIMM) と、キャッシュメモリとして使用される 4 系統の SSRAM (36 ビット×128K ワード、ZBT) が接続されている。また、P-Device には、M-Link と S-Link の 2 種類の通信ポートが用意されている。

M-Link は、モジュール内でループ状のネットワークを構成する為の通信ポートで、双方向通信が可能な 74 ビット幅のバスとなっている。各ビ

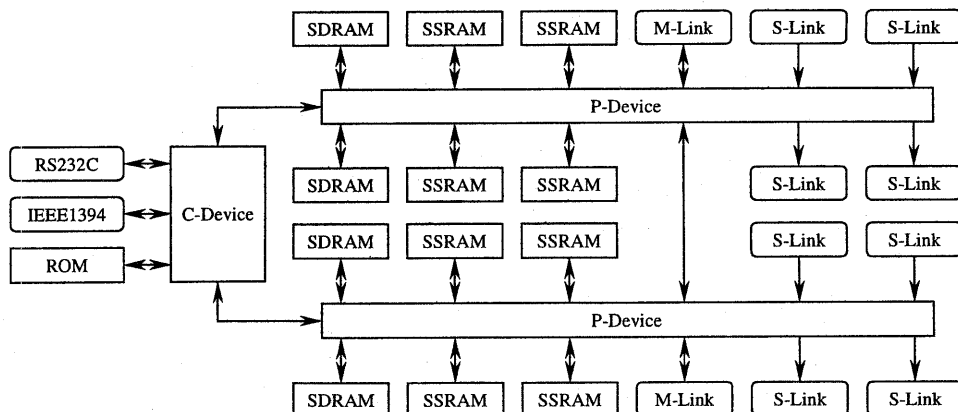


図 2 ボードのブロック図

(RS232C: RS232C I/F, IEEE1394: IEEE1394 I/F, ROM: C-Device コンフィギュレーション用 ROM, C-Device: 制御用 FPGA デバイス, P-Device: プロセッサ用 FPGA デバイス, SDRAM: 同期 DRAM, SSRAM: 同期 SRAM, M-Link: モジュール内接続ポート, S-Link: モジュール間接続ポート.)

ットの信号フォーマットは P-Device 側で自由に設定することが出来る為、74 ビットのバスを幅の狭い複数のバスに分割して使用することも可能である。S-Link はモジュール間をケーブルで繋ぐ為のポートである。S-Link は単一方向の通信ポートである為、1 つの P-Device に繋がる 4 つの S-Link は、それぞれ 2 ポートずつが出力専用と入力専用になっている。S-Link の信号フォーマットには差動信号規格の LVPECL を使用しており、1 つのポートは、正方向 16 ペア、逆方向 4 ペア、クロック 1 ペアで構成され、合計で 21 の差動信号ペアを持つ。

### 3. エミュレーション

以下では、本システムを利用したマルチプロセッサエミュレーションの流れと、システム上での PE の実装方法、装置全体でネットワークを構成する場合の例についてそれぞれ説明する。

#### 3.1 エミュレーションの流れ

本システム上でのエミュレーションは、ハードウェアのコンフィギュレーション、プログラムやデータの転送、実行制御の順で行われる。

C-Device のコンフィギュレーションは、ボード上に搭載された ROM によって電源投入直後に行われるが、この ROM の内容は制御用 PC から予め書き込んでおく。電源の投入後に C-Device のコンフィギュレーションが行われると、IEEE1394 I/F を使って制御用 PC との通信が可能になる。C-Device には P-Device のコンフィギュレーションを行う為の書き込みポートが用意されており、制御用 PC からは IEEE1394 I/F を通し

て C-Device を制御することにより P-Device のコンフィギュレーションが行われる。P-Device にプロセッサやネットワーク通信機能を持った回路が書き込まれると、装置全体がマルチプロセッサシステムとして動作可能な状態になる。

P-Device のコンフィギュレーションが終了すると各ボード上のメモリにプログラムとデータが書き込まれる。この書き込みは P-Device のコンフィギュレーションの場合と同様に、制御用 PC から IEEE1394 I/F を使って C-Device を制御することにより行われる。プログラムとデータの転送が完了すると、各ボード上でプログラムが起動される。プログラムの実行中には、IEEE1394 I/F を使用することで制御用 PC から各ボードの制御が行われる。これにより、プログラム実行中のインタラクティブな制御、プログラムの停止、実行結果の回収等が行われる他、ハードウェアやソフトウェアのデバッグにも使用することが可能である。

#### 3.2 PE の実装

図 3 に PE の実装例を示す。この例では、1 つの P-Device 上に 2 組の PE を構成している。各々の PE は、プロセッサコア、ネットワークインタフェース、メモリコントローラ、キャッシュメモリ、メインメモリから構成される。L1 キャッシュには P-Device 内部のメモリセルを使用し、L2 キャッシュにはボード上の SSRAM を使用している。また、メインメモリにはボード上の SDRAM が使用されている。

ネットワークインタフェースには、M-Link と S-Link の 2 種類のポートが接続される。既に述べ

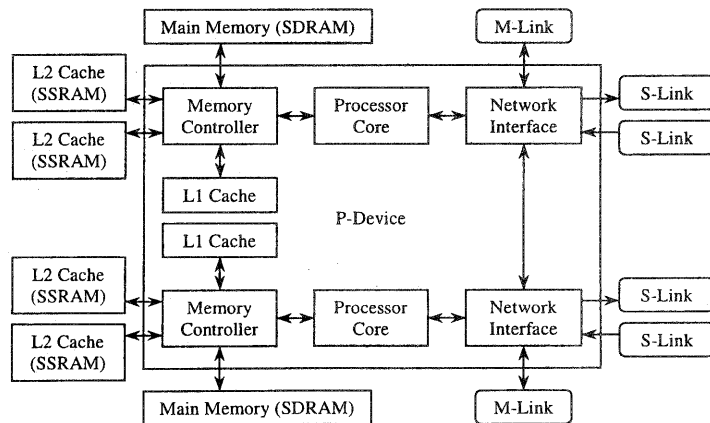


図 3 PE の実装例  
(1 つの P-Device 上に 2 つの PE を構成した場合。)

た様に、M-Link はモジュール内の P-Device 同士を接続し、S-Link はモジュール間で P-Device 同士を接続するのに使用される。

### 3.3 ネットワークの構成

本システムを用いてマルチプロセッサを構成する場合の、ネットワークの例を図 4 に示す。図の左側はサーキュラオメガ網を構成した場合、図の右側は 2D トーラス網を構成した場合をそれぞれ表している。これらの例では、装置全体で 32PE のマルチプロセッサを構成した場合を示している。

サーキュラオメガ網を構成する際には、M-Link を使ってループ(図中 Ax に繋がる経路)を構成し、S-Link を使ってクロスしている残りの経路を構成する。尚、この例では 1 ポートの M-Link を 2 つのポートに分割することで、2 本分の経路を構成している。

2D トーラス網を構成する際には、サーキュラオメガ網の場合と同様に M-Link が横方向のループ(図中の Ax に繋がる経路)を構成し、S-Link は縦のループ(図中の Cx に繋がる経路)を構成する。この例でもサーキュラオメガ網の場合と同様に、

M-Link は 2 本の経路に分割されている。また、S-Link は本来単一方向の通信を行うバスであるが、この例では逆方向の 2 本のバスをペアにして双方向通信を可能にしている。

### 4. まとめ

以上、大容量 FPGA を応用したマルチプロセッサエミュレーションシステムの概要と、このシステムを利用したエミュレーションの方法について述べた。本システムでは、プロセッサとネットワーク機能を単一の FPGA 上に実装することで高速かつ柔軟なエミュレーション環境の実現が見込まれる。各々の FPGA には独立したバスで複数のメモリを接続することにより、多様な構成のプロセッサにも対応している。また、FPGA 同士を繋ぐネットワークには高速な差動信号バスを用いることで、システム全体でのエミュレーション性能を高める工夫を行った。

今後は、本システム上でマルチプロセッサエミュレーションを行う為の雛型となるプロセッサとネットワーク I/F の開発を行う。また、マルチプロセッサを構成するこれらのコンポーネントを実験の目的に添ってカスタマイズする為の仕

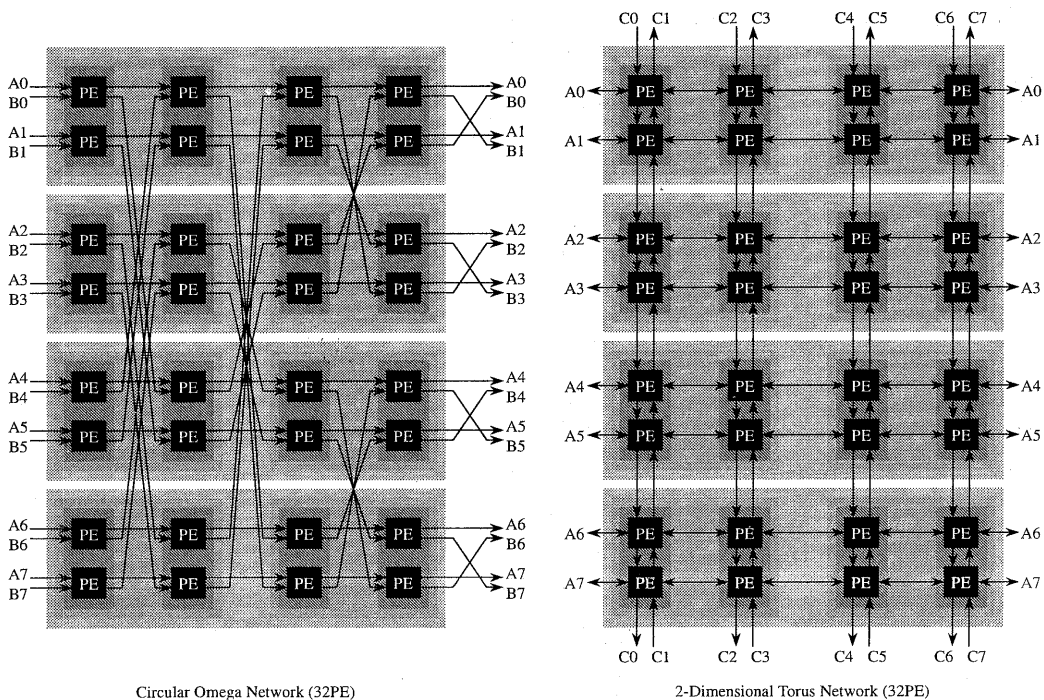


図 4 ネットワークの構成例  
(PE: Processing Element)

組みを開発することで、柔軟な実験環境の構築を目指す。ソフトウェアシミュレーションによるプロセッサアーキテクチャの研究では SimpleScalar<sup>7)</sup> が広く利用されているが、本システムではハードウェアエミュレーションによるマルチプロセッサアーキテクチャの実験環境を実現したいと考えている。

## 謝 辞

本研究の立ち上げ当時から多大なご指導を頂いている筑波大学の山口喜教教授と、システムの実装にご協力下さった昭英電機株式会社の方々に感謝致します。尚、本研究は科学技術庁 COE プロジェクト「新情報処理パラダイムに基づく技術分野」及び、科学技術振興事業団の科学技術特別研究員制度による。

## 参 考 文 献

- 1) "CoBALT User's Guide Version 3.0," Quickturn Design Systems, Inc., 1998.
- 2) 児玉祐悦, 甲村康人, 佐藤三久, 坂井修一, 山口喜教, "高並列処理向け要素プロセッサ EMC-Y の設計," 並列処理シンポジウム JSPP'92, pp. 329-336, 1992.
- 3) Y. Kodama, Y. Koumura, M. Sato, H. Sakane, S. Sakai, and Y. Yamaguchi, "EMC-Y: Parallel Processing Element Optimizing Communication and Computation," ICS'93, pp. 167-174, 1993.
- 4) 佐谷野健二, 児玉祐悦, 坂根広史, 山口喜教, "並列計算機ノードプロセッサの FPGA を用いた実装と評価," 情報処理学会研究報告, 99-ARC-134, pp. 49-53, 1999.
- 5) 佐谷野健二, 児玉祐悦, 坂根広史, 山口喜教, "MIPS ベースマルチスレッドプロセッサの FPGA による実装と評価," 情報処理学会研究報告, 2000-ARC-139, pp. 151-156, 2000.
- 6) "Virtex-E 1.8V Field Programmable Gate Arrays," Xilinx, Inc., 2000.
- 7) D. Burger and T. M. Austin, "The SimpleScalar Tool Set, Version 2.0," University of Wisconsin-Madison Computer Sciences Department Technical Report #1342, 1997.