

超低電力メガスケールシステムのプロトタイプ：MegaProto

中 島 浩^{†1} 中 村 宏^{†2} 佐 藤 三 久^{†3}
朴 泰 祐^{†3} 松 岡 聡^{†4}

本報告では「低電力化とモデリング技術によるメガスケールコンピューティング」プロジェクトにて開発中のプロトタイプシステム *MegaProto* の仕様について述べる。*MegaProto* は本プロジェクトの基本方針である、低電力プロセッサの高密度実装による価格性能比や電力・面積性能比に優れた超大規模並列システム構築技術を具現化するものである。また同時に、プロジェクトで開発中の低電力化コンパイル技術、高信頼・高性能ネットワーク技術、高信頼クラスタ構築技術、多重並列プログラミング技術などを実証するためのプラットフォームとしても機能する。*MegaProto* は 19 インチラックに搭載可能な 1U サイズのクラスタユニットを単位として構成され、一つのユニットには 16 個の低電力プロセッサと、それらを結合するプロセッサあたり 2 Gbps の高バンド幅ネットワークが搭載される。ユニットあたりのピーク性能 14.4 GFlops、ユニット内およびユニット間のネットワークバンド幅はそれぞれ 32 Gbps、8 Gbps であり、これを 300 W 以下の消費電力で達成することにより、高密度・低消費電力・高性能を同時に実現する構成となっている。

MegaProto: A Prototype of the Ultra Low-Power Mega-Scale System

HIROSHI NAKASHIMA,^{†1} HIROSHI NAKAMURA,^{†2} MITSUHIISA SATO,^{†3}
TAISUKE BOKU^{†3} and SATOSHI MATSUOKA^{†4}

This paper gives the conceptual design of the *MegaProto* machine, a prototype mega-scale system developed in a research project named “Mega-Scale Computing Based on Low-Power Technology and Workload Modeling.” The *MegaProto* is a prototype implementation of our key idea that million-scale parallel systems should be built with densely mounted low-power processors. It will also act as a platform to implement and evaluate our new technologies such as power conscious compilation, highly reliable and high performance network, highly dependable cluster management and multi-level parallel programming. The building block of the *MegaProto* is a 1U height and 19 inch-rack mountable mother-board unit on which 16 low-power processors are mounted with a high bandwidth, 2 Gbps per processor, network. The peak performance of the unit is 14.4 GFlops and the intra- and inter-unit network bandwidths are 32 Gbps and 8 Gbps respectively, while the unit consumes 300 W power at most to achieve high performance and density with low power consumption.

1. はじめに

我々は、科学技術振興事業団・戦略的創造研究推進

事業の研究プロジェクトとして、「低電力化とモデリング技術によるメガスケールコンピューティング」を実施している。このプロジェクトの目的は、Peta-Flopsクラスの計算能力を有する百万プロセッサ級のメガスケール計算システム構築のための基盤技術の開発であり、その実現性、信頼性およびプログラム容易性に重点をおいた研究開発を行っている。中でもメガスケール計算システムの実現性の鍵は、現実的な設置面積・容積と消費電力の制約下で、いかに多数の計算資源を実装して高い性能を得るかにある。したがって我々は、高性能・高電力のプロセッサを用いる従来型の MPP やクラスタではなく、低電力プロセッサを高密度に実装するアプローチこそがメガスケール計算を実現する唯一の方法であると主張している。

この主張を裏付けるひとつの方法は、現時点で利用可能な技術を用いて高密度・低消費電力・高性能のシ

†1 豊橋技術科学大学 情報工学系
Department of Information and Computer Sciences,
Toyohashi University of Technology
†2 東京大学 先端科学技術研究センター
Research Center for Advanced Science and Technology,
The University of Tokyo
†3 筑波大学 電子・情報工学系 / 計算物理学研究センター
Institute of Information Sciences and Electronics/
Center for Computational Physics, University of
Tsukuba
†4 東京工業大学 情報理工学研究所 / 学術国際センター
Graduate School of Information Science and Engineering/
Global Scientific Information and Computing Center,
Tokyo Institute of Technology

システムを構築し、その延長線上に我々が目指すメガスケール計算システムが存在することを実証することである。そこで我々は、多数の低電力プロセッサを高密度に実装し、それらを高信頼・高バンド幅のネットワークで結合したプロトタイプシステム *MegaProto* を開発している。また *MegaProto* は、プロジェクトで研究・開発中の様々な技術の実証プラットフォームとしても利用される。

以下本報告では、第2章でプロジェクトの概要を述べたあと、第3章で *MegaProto* の設計方針を、また第4章でその構成単位であるクラスタユニットの設計について述べる。

2. プロジェクトの概要

PetaFlops 級の計算能力を得るためには極めて大規模な並列システムの構築が不可欠であるが、従来の MPP やクラスタ計算機技術の延長でのプロセッサ数増加は、設置面積、消費電力、メンテナンス、ソフトウェア開発の面で限界に来ている。例えば、ASCI プロジェクトの MPP や地球シミュレータは、数千~1万プロセッサで既に小スタジアムほどの大きさを占め、電力も 10 メガワット以上を消費する。

一方、より一般的な計算機技術分野において、メガスケールコンピューティングを実現する技術の別のコンテキストでの研究開発が進みつつ、または注目されつつある。これらは従来のようにハイエンドではなく、むしろ汎用的なコモディティ技術の基盤となるもの、あるいはそれをベースとするものである。我々の主張は、このような技術をベースとするアプローチ、すなわち単純に高性能や高機能を目指した従来型の高性能システムの研究開発とは根本的に異なったアプローチで、はじめてメガスケールの高性能計算を達成できるというものである。

本研究の目的は以下に示す、(1) ハードウェア/ソフトウェア協調による低電力化技術と (2) 大規模並列タスクの実行モデル構築・利用技術を柱として、種々のコモディティ技術を活用したメガスケールコンピューティングの基盤技術を確立することにある。すなわち、この2つの技術を中核としてプロセッサ、コンパイラ、ネットワーク、クラスタ構築、およびプログラミングに関する研究を行い、それらにより 100 万プロセッサ級の汎用メガスケールコンピューティングが実現できることを示すことと、そのプロトタイプとして低電力・高密度大規模クラスタ *MegaProto* を構築して技術の有効性を実証することが、本研究の目的である。

2.1 ハードウェア/ソフトウェア協調による低電力化技術

現実的な設置規模でメガスケールのシステムを構築するためには高密度実装が不可欠であるが、そのためにはまずプロセッサの消費電力を極力削減する必要がある。

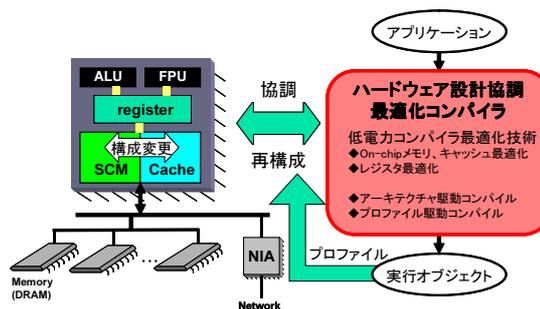


図1 ハードウェア/ソフトウェア協調低電力化

ある。そこで我々は、ハードウェアとソフトウェアの協調によりデータ転送を中心とする最適化を行い、低消費電力と高性能の両立を目指した研究を行っている。

この研究の鍵となる技術は、SCIMA (Software Controlled Integrated Memory Architecture)¹³⁾ と呼ぶ、ソフトウェアから可視かつ構成の変更が可能な高速メモリ階層アーキテクチャと、それを利用した性能と消費電力の両面での最適化コンパイル技術である。SCIMA は図1に示すように、通常のキャッシュとの境界が可変である高速メモリ SCM を中心に構成され、配列などのデータは再利用性、アクセスの規則性、容量に応じて SCM あるいは通常のキャッシュ可能な空間に割付けられる。この割付けをコンパイラが最適化することにより¹⁰⁾、プロセッサチップと主記憶の間のデータ転送の回数や量を大幅に削減することができ、さらにオンチップメモリのアクセスによる消費電力も削減できる。この結果、実行時間と消費エネルギーの両面で、大きな削減効果が達成される¹¹⁾。また同じ発想に基づくメモリアccessの最適化はキャッシュのみを持つプロセッサにも適用可能であり、特に低電力プロセッサで高い効果が得られることが明らかになっている²⁾。

2.2 大規模並列タスクの実行モデル構築・利用技術

メガスケールのシステムは膨大な計算資源を持つため、ある意味で超大規模の広域分散計算環境に相通じる性格を持っている。すなわち、大きな粒度の並列タスクを単位としたプログラミングと、その実行と環境の管理の大規模な分散化は必然である。しかしその一方で、現実的な設置規模に収められた単一あるいは少数の計算環境の集合体であることを生かし、システム全体を統一的に管理・運用する機構を持つことが求められる。我々は、この分散と統一という相反する課題を解決する鍵が、並列タスクの実行挙動をあらかじめ把握することにあるとの考察に基づき、タスク実行モデルの構築とモデルを利用した実行および環境の管理技術を研究している。

実行モデルの構築のために、我々は並列タスクの挙動情報を記述可能なタスク並列スクリプト言語 *MegaScript* を設計した¹⁴⁾。この言語ではコンパイラ

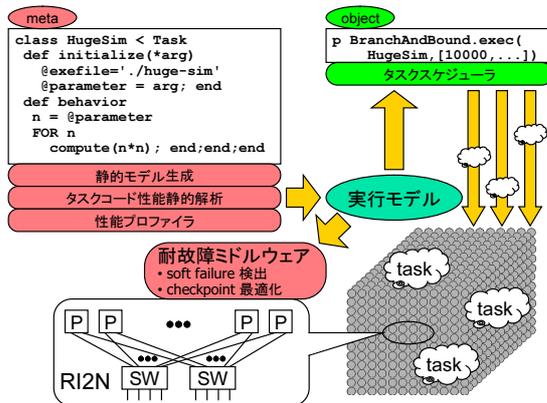


図 2 実行モデルによる実行・環境管理

の解析情報からは決定困難なタスク挙動に関する量的情報を与えることができ、静的あるいは動的な実行モデルを高精度に構築することができる。生成されたモデルは、MegaScript で記述された並列タスク実行のスケジューリングのために用いられ、タスク粒度の調整や最適な配置が行われる。

また、実行モデルを利用したシステムの信頼性向上に関する研究も行っている。大規模システムにおける脆弱性の主要因であるネットワークの耐故障性のために、我々はノード間リンクを多重化して高バンド幅と高信頼性を同時に実現する RI2N (Redundant Interconnection with Inexpensive Network) を提案している³⁾。さらにシステムレベルでの耐故障性、特に Soft Failure の検出やチェックポイントの生成・回復戦略の最適化を、実行モデルと実際の挙動との比較などモデルを活用して行う方式を研究している。またモデルを動的に精緻化するための動的なプロファイリング技術についても研究している¹⁵⁾。

3. MegaProto の設計方針

3.1 電力性能比の設定

前述のように MegaProto の開発目的は、現時点で利用可能な技術を用いた高密度・低消費電力のシステム構築であり、そのためには低電力プロセッサの使用が不可欠である。しかし単に低電力というだけでは不十分であり、たとえば浮動小数点演算機構を持たない携帯機器用のプロセッサなどでは、我々が目指す Peta-Flops 計算への方向性と大きく乖離したものになってしまう。そこで MegaProto の仕様設計に際して、まず大まかな性能目標を定め、その値に近い性能を達成できる構成が可能かどうかを検討することとした。

まず 19 インチの 42U ラックを単位とした性能目標として、以下の値を設定した。

$$\begin{aligned} \text{ピーク性能} &= 1 \text{ TFlops/ラック} \\ \text{消費電力} &= 10 \text{ KW/ラック} \end{aligned}$$

表 1 主なプロセッサの電力性能比

機種名	周波数 (GHz)	ピーク性能 (GFlops)	TDP (W)(*1)	電力性能比 (MFlops/W)
Pentium 4 ⁵⁾	3.20	3.20	82.0	39.0
Mob. Pentium 4 ⁸⁾	3.06	3.06	70.0	43.7
Athlon XP (Barton) ¹⁾	2.20	4.40	76.8	57.3
Mob. Celeron ⁹⁾	2.40	2.40	35.0	68.6
Mob. Pentium 4-M ⁷⁾	2.60	2.60	35.0	74.3
Mob. Pentium III-M ⁶⁾	1.00	1.00	10.5	95.2
TM 5800 ¹⁶⁾	0.93	0.93	7.5	124.0
Xscale ⁴⁾ (*2)	0.40	—	2.3	(176.2)

(*1) Thermal Design Power (*2) PXA260 の値

(*3) Pentium 4 の性能は SSE2 を使用しない時の値

上記の値から電力性能比を求めると 100 MFlops/W となり、たとえば Top 500 ランキングの上位 2 機種 の値である約 10 MFlops/W と比較すると 1 桁程度の改善となる。またこの値から単純に外挿したピーク 1 Peta-Flops を達成するための規模と消費電力は 1,000 ラック、10 MW となり、実現困難ではあるものの夢想的な数字ではない。また性能電力比が将来的に 5 ~ 10 倍程度改善されると仮定すれば 1 Peta-Flops の達成は一気に現実的になるが、この仮定もやはり夢想的なものではない。

一方、上記の値の現時点での実現性を考察するために、消費電力の 1/2 程度をメモリを含むプロセッサ本体部分に、残りの部分をネットワーク等の周辺部分に費やすと仮定すると、プロセッサ本体での電力性能比は 200 MFlops/W となる。この値に対し、表 1 に示す最近のプロセッサの電力性能比 (メモリを除く) は、2 ~ 4 GFlops 程度の高性能プロセッサでは約 1/5 ~ 1/3, 1 Gflops 程度のモバイルプロセッサでも約 1/2 の値となっている。また Xscale の電力周波数比は 176 MHz/W と目標値に近いが、FPU を持たないため電力性能比は大幅に悪化する。

したがって現時点でプロセッサ本体について 200 MFlops/W の目標値を達成するのは困難であるが、モバイルプロセッサの電力性能比は顕著な改善傾向にあり、たとえば TM5800 の後継機である TM8000 では 2 倍以上の改善が予想されている¹⁷⁾。そこで現時点で達成可能な値として 1 GFlops 程度のプロセッサを前提とした 100 MFlops/W を設定し、将来的な性能および電力性能比の向上に対応してプロセッサ本体を交換可能な構成とすることとした。

3.2 システム構成

前節で定めたプロセッサ本体の電力性能比である 100 MFlops/W \approx 1 GFlops \div 10 W と、プロセッサ本体に関するラック全体の消費電力総計の目標値である 5 KW から、ラックに搭載するプロセッサ数は約 500 と求められる。これを 1U あたりのプロセッサ数に換算すると 500 \div 42 \approx 12 となり、現在の実装技術で十分達成可能な値となる。一方 1U サーバと同程度

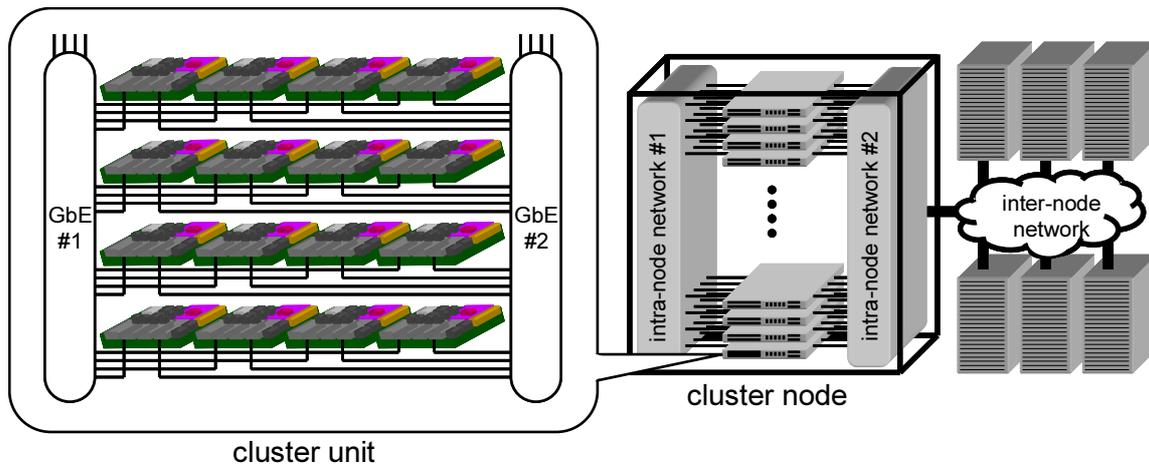


図 3 システム構成

のマザーボード上に diskless のプロセッサノードを何ノード配置できるかを検討した結果、16～24 ノードの実装は十分可能であるという結論に達した。

ここでシステム全体のネットワークの構造が、マザーボード内の結合とマザーボード間の結合の（少なくとも）2 階層となることと、マザーボード間の結線・接続コストが大きいことを考えると、マザーボード上にできるだけ多数のプロセッサを配置することが得策であることは明らかである。そこで、1U マザーボードを「クラスタユニット」とし、1 ユニットに少なくとも 16 プロセッサを配置して、ラックあたり少なくとも $16 \times 42 = 672$ プロセッサの構成とすることとした。この結果ラックあたりの消費電力が目標値よりも 35% 程度上回るものとなるが、許容できる範囲であると判断した。またブレードサーバーのように比較的少数のプロセッサからなるボードを多数搭載する構成は、ネットワーク階層の増加や最下層のプロセッサ数減少をもたらすため得策ではないと判断した。

ネットワーク構成は、我々が提案している RI2N³⁾ の実証を目的として、プロセッサあたり 2 ポートのコモディティネットワーク、すなわち 2 系統の Gigabit-Ethernet (GbE) を持つ構成とした。なお現時点での 1 GFlops 程度のプロセッサの性能で、2 ポートの GbE に対応可能かどうかは必ずしも明らかではないが、前節で述べた将来的なプロセッサ交換を行えば十分に対応可能であると判断した。またネットワークの各系統はクラスタユニット内外のいずれについても独立した構成とし、スイッチレベルでの耐故障性を確保することとした。すなわちクラスタユニット上に 2 個のスイッチを搭載して各系統のスイッチングを独立に行うとともに、クラスタユニット外へのアップリンクも個別に備えることとした。

アップリンクについては、GbE を複数用意してバンド幅を確保する方法と、Infiniband や 10 Gbps Eth-

ernet などの高バンド幅リンクとする方法が考えられる。後者はクラスタユニット間の結線の面で魅力的ではあるが、現時点でのクラスタユニット内外のネットワーク部品・機器のコストは小さくなく、価格性能比の面で問題が大きいと判断した。一方前者はクラスタユニット間の結合に多数の結線やスイッチを必要とするが、低価格の小ポート数スイッチを多数用いる構成は価格性能比の面で優れていることが実証されており¹²⁾、この方法を選択することとした。この結果一つの系統について、クラスタユニット上の GbE スwitch のポート数はプロセッサ数とアップリンク数の和となるが、現時点で価格性能比に優れたスイッチは 16～24 ポート程度であり、クラスタユニットあたり 16 プロセッサを仮定すると 4～8 ポート程度が妥当と判断される。そこで最小設計値として系統あたり 4 ポート、すなわちクラスタユニットあたり 8 ポートを設定し、8 Gbps のクラスタユニット外との通信バンド幅を確保することとした。

以上をまとめると、MegaProto のシステム構成は図 3 に示すものとなる。

4. クラスタユニットの設計

前章で述べた方針に基づき設計したクラスタユニットの構成を、図 4 に示す。図に示すように、クラスタユニットは 16 個のプロセッサノード、それらを結合する 2 系統の 20 ポート GbE スwitch を中心とするネットワーク、および管理用のプロセッサノードから構成される。以下各々について説明する。

4.1 プロセッサノード

プロセッサノードはピーク性能 0.9 GFlops の低電

技術の動向から考えて、おそらく将来についても、設計最小値。以下に示す数値、性能値は特に断らない限り同様である。

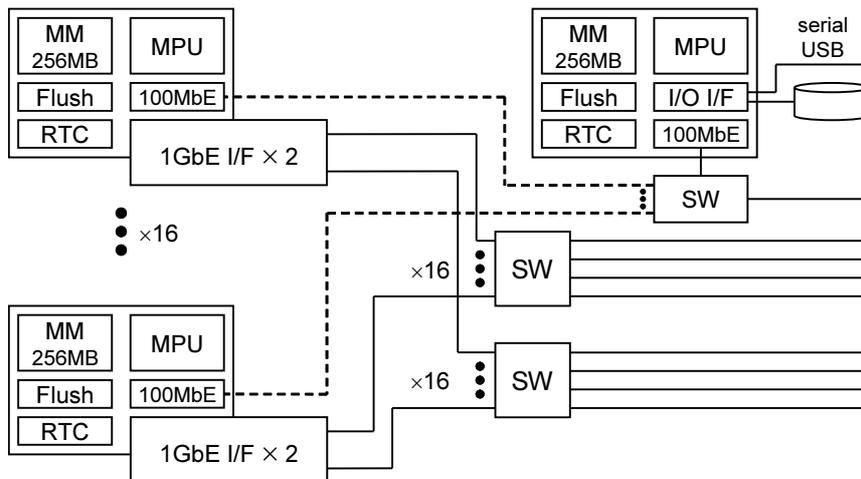


図4 クラスタユニットの構成

カプロセッサを中心に構成され、512KBのオンチップキャッシュ、256MBの主記憶と512KBのフラッシュメモリ、およびI/Oインタフェースなどの周辺回路を含めた消費電力を8W(最大設計値)と設定した。したがって電力性能比は112.5MFlops/Wとなり、前章で述べた100MFlops/Wにほぼ一致する。一方クラスタユニット全体での消費電力は、ネットワークや周辺回路での電力消費および将来のプロセッサ交換での多少の増加の可能性を見込んで、300W(最大設計値)と設定した。この結果、ラックあたりのピーク性能は $0.9 \times 16 \times 42 = 604.8$ GFlops、消費電力は $300 \times 42 = 1.26$ KW、電力性能比は48MFlops/Wとなる。なお十分な計算性能を得るためにクラスタユニットあたりのプロセッサ数を十分に確保することを優先し、プロセッサノードはディスクを持たない構成として、ファイル領域は後述する管理プロセッサのディスクや外部のディスクシステムに用意することとした。

前章で述べたように将来的に性能・電力性能比に優れたプロセッサに交換することを想定しているため、プロセッサノードの主要部分はドーターボードに搭載して、クラスタユニットのマザーボードを変更せずにプロセッサ交換ができる設計とした。またMegaProtoはプロジェクトで開発する様々なソフトウェアの実証プラットフォームとしても機能するため、標準的な環境でソフトウェア開発を行えるようにする必要がある。そこでプロセッサはx86互換バイナリを実行可能であることとし、周辺回路も含めてLinuxが動作可能な構成であることとした。

4.2 ネットワーク

ネットワークは独立した2系統からなり、各々が20ポートのGbEスイッチを中心に構成される。一つのスイッチについて、16ポートはプロセッサのネットワークインタフェースに接続され、残りの4ポートは

クラスタユニット外へのアップリンク(1000Base-T)として使用される。またスイッチ速度は20Gbpsとし、wire speedでのスイッチングが実現できる設計とした。この結果、プロセッサノードあたりのネットワークバンド幅は2Gbps、クラスタユニット内のスイッチング性能は40Gbps、クラスタユニット外へのバンド幅は8Gbpsとなる。

この他、後述する管理プロセッサとの通信用に100Base-TXのネットワークを用意し、クラスタユニット内の全プロセッサノードと管理プロセッサを接続することとし、さらにアップリンクとしてGbE(1000Base-T)のリンクを用意した。

4.3 管理プロセッサ

管理プロセッサは、クラスタユニットのIPLや異常検出を行うために用意され、通常の計算処理には参加しない。したがって基本的にはプロセッサノードと同一の構成ではあるが、プロセッサノードとの通信は管理ネットワーク経由でのみ行い、データ転送用の2系統GbEネットワークの通信に悪影響を与えない構成とした。またI/Oとして、60GBのハードディスク、USBおよびシリアルポートを各々1ポート備えることとした。

5. おわりに

本報告では「低電力化とモデリング技術によるメガスケールコンピューティング」プロジェクトにて開発中のプロトタイプシステムMegaProtoの仕様について述べた。MegaProtoは本プロジェクトの基本方針である、低電力プロセッサの高密度実装による価格性能比や電力・面積性能比に優れた超大規模並列システム構築技術を具現化するものであり、特に高い電力性能比を得ることを重視して仕様設計を行った。その結果、1Uサイズのクラスタユニットにピーク0.9GFlopsの

プロセッサノードを 16 個搭載し、それらを 2 系統の GbE で接続する構成が得られた。このクラスタユニットを 42U の 19 インチラックに搭載すると、ラックあたりピーク 604.8 GFlops の高い性能を、12.6 KW という極めて現実的な消費電力で達成することができる。すなわち Top 500 ランキングの中位程度のシステムを、1 ラックで実現することができる。

なお本報告ではピーク性能にのみ着目した議論を行ってきたが、我々の予備評価によれば適切な最適化コンパイルを行うことにより、実際のアプリケーションを高性能かつ低電力で実行できることが強く期待できる²⁾。また RI2N の性能も、理論限界に近い値を達成可能であることが明らかになっており³⁾、システム全体として高い性能と電力・面積性能比を同時に達成することが十分に見込まれる。さらに将来的に性能・電力性能比に優れたプロセッサと交換することにより、ラックあたりピーク 1 TFlops を 10 KW の電力で達成する見通しも得られた。

MegaProto の開発工程は現在、本報告で述べた仕様に基づく詳細設計のフェーズにあり、2004 年 3 月には 2 クラスタユニットからなる評価用バージョン (MegaProto#0) が完成する予定である。また 2004 年度以降、プロセッサの性能・電力性能比の向上に対応した開発を予定するとともに、2004 年度に 256 ノード程度 (MegaProto#1)、2005 年度に 512 ノード程度 (MegaProto#2) のシステムを構築することを計画している。

謝辞 仕様設計に協力していただいた研究チームのメンバーに感謝します。本研究は独立行政法人科学技術振興機構・戦略的創造研究推進事業「情報社会を支える新しい高性能情報処理技術」の研究プロジェクト「低電力化とモデリング技術によるメガスケールコンピューティング」による。

参 考 文 献

- 1) Advanced Micro Devices, Inc.: *AMD Athlon XP Processor Model 10 Data Sheet* (2003).
- 2) 堀田義彦, 佐藤三久, 朴 泰祐, 高橋大介, 高橋睦史, 中村 宏: 低消費電力プロセッサによるクラスタの検討, 情報処理学会研究報告, 2003-ARC-154, pp.91-96 (2003).
- 3) 三浦信一, 朴 泰祐, 佐藤三久, 高橋大介: 高バンド幅 / 耐故障性を持つクラスタ向けネットワーク RI2N の性能評価, 情報処理学会研究報告, 2003-HPC-95, pp.53-58 (2003).
- 4) Intel Corp.: *Intel PCA26x Processor Family—Electrical, Mechanical, and Thermal Specification—Datasheet* (2003).
- 5) Intel Corp.: *Intel Pentium 4 Processor with 512-KB L2 Cache on 0.13 Micron Process—Datasheet* (2003).
- 6) Intel Corp.: *Mobile Intel Pentium III Processor—M—Datasheet* (2003).
- 7) Intel Corp.: *Mobile Intel Pentium 4 Processor—M—Datasheet* (2003).
- 8) Intel Corp.: *Mobile Intel Pentium 4 Processor with 533 MHz System Bus—Datasheet* (2003).
- 9) Intel Corp.: *Mobile Intel Celeron Processor on .13 Micron Process and in Micro-FCPGA Package—Datasheet* (2003).
- 10) 近藤正章, 中村 宏, 朴 泰祐: SCIMA における性能最適化手法の検討, 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol.42, No.SIG 12 (HPS4), pp.37-48 (2001).
- 11) Kondo, M. and Nakamura, H.: Reducing Memory System Energy by Software-Controlled On-Chip Memory, *Trans. IEICE*, Vol.E86-C, No.4, pp.580-588 (2003).
- 12) Matsuoka, S.: You Don't Really Need Big Fat Switches Anymore—Almost, *IPSI SIG Notes*, 2003-ARC-154, pp.157-162 (2003).
- 13) 中村 宏, 近藤正章, 大河原英喜, 朴 泰祐: ハイパフォーマンスコンピューティング向けアーキテクチャ SCIMA, 情報処理学会論文誌: ハイパフォーマンスコンピューティングシステム, Vol. 41, No.SIG 5 (HPS1), pp.15-27 (2000).
- 14) 大塚保紀, 深野佑公, 西里一史, 大野和彦, 中島 浩: タスク並列スクリプト言語 MegaScript の構想, 先端的計算基盤システムシンポジウム SACSIS 2003, pp.73-76 (2003).
- 15) Sakae, Y., Matsuoka, S., Sato, M. and Harada, H.: Towards Dynamic Load Balancing Using Page Migration and Loop Re-Partitioning on Omni/SCASH, *Proc. EWOMP 2002* (2002).
- 16) Transmeta Corp.: *Crusoe Processor Product Brief—Model TM5800* (2003).
- 17) Transmeta Corp.: *Transmeta Efficeon Processor*, <http://www.transmeta.com/efficeon/> (2003).