

Cell/B.E. プロセッサによるステレオマッチングソフトウェアの高速化

安田 絹子^{†1} 江口 剛^{†1} 上田 孝^{†1}
近藤 伸宏^{†2} 福田 悦生^{†2} 原 誠一^{†3}
中村 良介^{†4} 田中 良夫^{†4} 関口 智嗣^{†4}

我々は、地質環境解析システムやグリッドシステムにおける Cell Broadband EngineTM (Cell/B.E.) プロセッサの性能を評価するために、ステレオマッチングソフトウェアの Cell/B.E. への移植と高速化を行った。ステレオマッチングソフトウェアとは衛星から送られる地表のステレオ写真から三次元地形データ (DEM: Digital Elevation Model) を生成するプログラムであり、GEO Grid (Global Earth Observation Grid: 地球観測グリッド) などへの応用が考えられている。今回は評価のための第一フェーズという位置づけで、Intel マシン上で動作するステレオマッチングソフトウェアを Cell/B.E. プロセッサに移植・高速化し、その性能を評価した。ステレオマッチングは、大きく分けて (1) テンプレートマッチング処理、(2) メディアンフィルタ、(3) 異常値内挿処理、(4) その他の4種類の処理から構成される。このうち (1)~(3) の処理について高速化を行った結果、3.6GHz の Xeon 上で元のプログラムを動作させた場合と比較して、それぞれ処理速度が約 2.4 倍、3.3 倍、17.8 倍に向上した。

Porting and Optimization of the Stereo-Matching Software on the Cell Broadband Engine Processor

KINUKO YASUDA,^{†1} TAKESHI EGUCHI,^{†1,†2} TAKASHI UEDA,^{†1,†2}
NOBUHIRO KONDO,^{†2} ETSUO FUKUDA,^{†2} SEIICHI HARA,^{†3}
RYOSUKE NAKAMURA,^{†4} YOSHIO TANAKA^{†4}
and SATOSHI SEKIGUCHI^{†4}

We have ported and optimized a stereo-matching software to the Cell Broadband EngineTM (Cell/B.E.) processor to evaluate the performance of the Cell/B.E. The stereo-matching software, is originally written for Intel processor, generates a DEM (Digital Elevation Model) data from two photograph images taken by a satellite, and a major part of the processing time is spent to calculate: 1) template-matching, 2) median filtering and 3) interpolation. We have optimized these three parts and compared the performance with that of the original software running on the Intel Xeon 3.6GHz processor. The results show that the each part in the Cell-optimized version runs 2.4, 3.3 and 17.8 times faster than the original version, respectively.

1. はじめに

Cell/B.E. プロセッサ¹⁾ は非常に高い演算能力を持つプロセッサであり、ゲーム機や組み込み機器だけではなく分散コンピューティングやグリッドへの応用

も期待されている。我々は、地質環境解析システムや GEO Grid²⁾ における Cell/B.E. プロセッサのフィージビリティを検証するために、ステレオマッチングによる三次元地形データ生成プログラムの Cell/B.E. プロセッサへの移植と高速化 (最適化) を行った。

GEO Grid は産総研のグリッド研究センターが開発を進めている大規模なグリッドシステムプロジェクトである。グリッド技術を用いて地球観測衛星データの大規模アーカイブや高度な処理を行い、さまざまな観測データベースや GIS データと融合することで、ユーザが手軽に地球観測情報を扱えるようなサービスを提供することを目指している。

今回 Cell/B.E. に移植したステレオマッチングソフ

^{†1} 株式会社フィックスターズ
Fixstars Corporation
^{†2} 株式会社東芝 セミコンダクター社
Toshiba Semiconductor Company
^{†3} セントラル・コンピューティング・サービス株式会社
CENTRAL COMPUTER SERVICES Co., Ltd.
^{†4} 産業技術総合研究所
National Institute of Advanced Industrial Science and
Technology

トウェアは、異なる位置から撮影された2枚の写真を基に、各画素の視差値から標高値の計算を行い、三次元地形データを生成するものである。GEO Gridのための観測衛星データの処理の一つとして、観測データのマップ化やその他の地図情報と組み合わせたサービスなど、幅広い応用が考えられる。

ステレオマッチングソフトウェアの主処理は、2枚の画像データを入力とするマッチング処理とノイズフィルタ処理、異常値内挿処理によって構成される。これらの処理は互いに依存関係がないイテレーション（繰り返し）を含むため、Cell/B.E. プロセッサの複数のコアを使ってイテレーションを並列化することで高速化が見込める。

以降、本稿では、第2章でCell/B.E. プロセッサの概要を、第3章でステレオマッチングソフトウェアの概要を述べたあと、第4章でCell/B.E. プロセッサにおいて我々が行ったソフトウェアの移植・高速化手法について述べる。そして、5章で考察とさらなる高速化について述べ、最後に6章で本稿の内容をまとめる。

2. Cell/B.E. プロセッサの概要

Cell/B.E. プロセッサは、汎用コアである1つのPPE (PowerPC Processor Element) と演算に適した8つのコア SPE (Synergistic Processor Element) を1チップ上に搭載した非対称のマルチコア・プロセッサである。PPEはPowerPCアーキテクチャのプロセッサコアであり、PowerPC用の基本ソフトウェアやアプリケーションがほぼそのまま動作する。一方、SPEは新しいアーキテクチャの128ビットのSIMD型プロセッサであり、マルチメディア演算などのデータ処理に適している。これらのコアやメモリなどのCell/B.E. プロセッサの各ブロックはEIB (Element Interconnect Bus) と呼ばれる高速なリングバスで接続されている。Cell/B.E. プロセッサの構成概要図を図1に示す。

Cell/B.E. 上では、1プロセッサあたり最大9個のプロセッサコアを使った並列処理が可能である。特にSPEの演算能力は非常に高く、PPEで動作しているプログラム部分をSPEに移植し、さらにSPEの特性にあわせてSIMD (Single Instruction / Multiple Data) 命令によるデータ並列化やパイプラインの有効活用のための最適化を行うことで、大きな性能向上を達成できる。

2.1 SPE プログラミングの特徴

SPEはSIMD型のプロセッサであり、128ビット長のベクタデータを使った最大16並列のSIMD演算

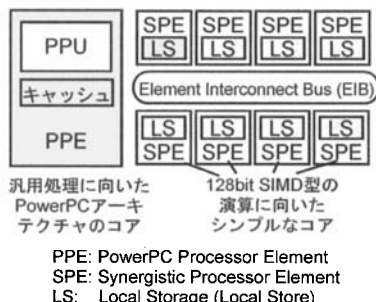


図1 Cell/B.E. プロセッサ構成図

が可能である。また、128ビットのレジスタを128本備えており、レジスタを潤沢に使ったループアンローリングが可能である。

演算ユニットは2本の非対称なパイプラインを持っており、2命令までの同時発行が可能である。パイプラインは深く、分岐予測ミスのペナルティは比較的大きい。また、分岐予測機がないため、SPEプログラムの最適化では分岐予測ヒント命令の発行や条件分岐の演算化が大きな効果を持つ。条件分岐の演算化の具体的な手法については4.2節で述べる。

各SPEにはLS (Local Storage) と呼ばれる256KBのメモリが搭載されており、SPEの演算ユニットからはLSからのみ値をロード・ストアできる。LSはキャッシュではないため、SPEの演算に必要なデータはソフトウェアが明示的にメインメモリからLSにDMA*転送する。DMA転送コントローラは各SPEにあり、演算ユニットと独立動作するため、演算と並行して複数のデータをバルク転送できる。

2.2 移植・評価環境

ステレオマッチングソフトウェアの移植・評価には、株式会社東芝セミコンダクター社のCellリファレンスセット環境³⁾を使用した。移植および評価に使用したCell環境の概要を以下にまとめる。

- Cell 開発環境
 - Cell Broadband Engine™ 3.2GHz
- 開発ツール
 - 東芝 SDK 環境 (Linux ベース)
 - PPE 用 gcc (ppu-gcc 3.4.1)
 - SPE 用 gcc (spu-gcc 3.4.1)

3. ステレオマッチングソフトウェアの概要

ステレオマッチングソフトウェアのCell/B.E. への

* Direct Memory Access

移植と高速化を行うにあたり、まずプログラムの構造解析とプロファイリングを行った。

3.1 ソフトウェアの全体構造

ステレオマッチングソフトウェアのプログラムは、データ入力や画像構造体の初期化を行う前処理部、画像の位置合わせと視差値（標高）の計算を行う主処理部、バッファの解放を行う後処理部の3つの処理部に大きく分けられる。このうち、主処理部は以下のような多重ループ構造を取る。

```
for () { // ステージループ
  for () { // サブステージループ
    for () { // y方向ループ
      for () { // x方向ループ
        // (1) テンプレートマッチング処理
      } }
      // (2) メディアンフィルタ処理
      // (3) 異常値内挿処理
    }
  }
}
```

ステージループでは coarse-to-fine 法に基づいて画像の解像度を粗から密に進め、サブステージループでは1つの解像度においてテンプレートサイズなどのマッチングパラメータの変更を繰り返す。なお、ステージループとサブステージループにはイテレーション間に依存関係がある。

サブステージループの内側で、画像データの各ブロックに対してステレオマッチングソフトウェアにおける最も主要な処理であるテンプレートマッチングを行う。その後、テンプレートマッチングの計算結果についてメディアンフィルタ処理と異常値内挿処理を行う。

3.2 テンプレートマッチング処理の概要

テンプレートマッチングは、ステレオマッチングソフトウェアの最も根幹を成す処理である。入力データとなる2枚の画像（基準画像および参照画像）の位置合わせと視差値の計算を含むテンプレートマッチングを行う。テンプレートマッチングは基準画像の各位置について行われ、参照画像中の探索範囲において相関係数が最大となるピクセルとその近傍ピクセルから相関係数のピークとなる位置を二次式で近似し、対応点位置をサブピクセル単位で探索する（図2参照）。

3.3 メディアンフィルタ処理の概要

メディアンフィルタは、テンプレートマッチングで計算された視差値のノイズを除去する（ぼかす）処理である。対象要素の隣接領域にある要素をソートし、中央値（メディアン）を対象要素の値とする（図3参照）。

3.4 異常値内挿処理の概要

異常値内挿処理は、計算した結果の視差値（標高データ）について、要素ごとに異常値の内挿を行う処理である。異常値判定処理によって異常値フラグが立てら

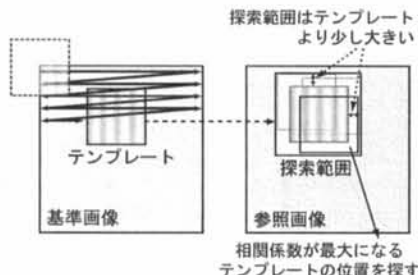


図2 テンプレートマッチング処理の概要



図3 メディアンフィルタ処理の概要

れた各要素について、最大129画素平方の周辺領域の値から一次平面あるいは二次曲面で近似し、要素値を推定する。

4. Cell/B.E. への移植と高速化

ステレオマッチングソフトウェアを Cell/B.E. に移植するにあたり、Intel プロセッサ向けに開発されたオリジナルのソースコードをまず PPE に移植し、その後演算ネックでかつ並列度がある部分を中心に SPE への移植と並列化を進めていくという手順を取った。

4.1 ソフトウェアのプロファイル結果

PPE に移植したステレオマッチングソフトウェアの各処理にかかる時間をプロファイルした結果を表1に示す*。

処理	処理時間 (msec)
(1) テンプレートマッチング	408,172
(2) 異常値内挿	152,348
(3) メディアンフィルタ	44,189
その他	54,243
全体	658,952

プロファイル結果から、テンプレートマッチング、異常値内挿およびメディアンフィルタ処理が全体の処

* 入力データとして 2000 画素平方の画像を使用

理の 92%の時間を占めていることがわかる。従って、これらの 3 つの処理を SPE を使ってどう高速化するか Cell/B.E. への移植のポイントとなる。

4.2 主処理部の SPE 移植方針

処理の主要時間を占める 3 つの処理を SPE に移植するにあたり、次のような方針を立てた。

- **プログラム構造の並列性を活かした複数 SPE による並列化**

プログラム構造が持つ並列性を活かし、複数 SPE を使って処理を並列化する。特に、高い並列性が得られる部分については利用可能なだけの SPE を最大限使って並列化する。なお、東芝 Cell リファレンスセットでは 7 個が利用可能な SPE の最大数となる。

- **細粒度のデータ並列性を活かした SIMD 化**

細粒度のデータ並列性がある部分では、SIMD 命令によって複数データを並列処理する。

- **条件分岐の演算化による分岐の削減**

分岐予測ミスによるペナルティを避け、また条件分岐を含む演算を効率よく SIMD 化するために、分岐を可能な限り演算化する。具体的には、分岐先で必要になる各演算をどちらも計算しておき、最後にマスクで必要な結果だけを取得する。マスクの生成には compare 命令を使い、マスクを使った値の選択には select 命令を使う (図 4 参照)。

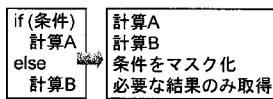


図 4 条件分岐の演算化

- **DMA 転送最適化のためのデータ配置の変更**

SPE に演算をオフロードする上で必要となる DMA 転送を最適化するため、画像用データ構造およびその配置を変更する。具体的には、DMA 転送されるデータのページアウトを避けるためにメモリアクセスヒントを設定するが、その設定時間を削減するために転送するデータ領域をまとめる。また、最適性能で DMA 転送できるよう転送単位で (画像の行毎に)128 バイト境界に整列する。さらに、SIMD 演算に使われるデータについては 16 バイトのベクタデータとして整列・配置する。

- **DMA 転送のダブルバッファ化**

DMA 転送と演算処理の時間を多重化するため、ダブルバッファ化を行う (図 5 参照)。

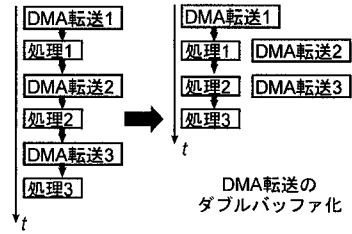


図 5 DMA 転送のダブルバッファ化

4.3 テンプレートマッチングと並列化と高速化

テンプレートマッチングの移植において行った並列化と高速化について概要を述べる。

4.3.1 複数 SPE による並列化

テンプレートマッチングではサブステージループ内で x 方向および y 方向にループしながら画像の各位置について処理を行うが、これらのループにはイテレーション間の依存性はない。従って、2,000 画素平方の画像を入力として解析する場合、4,000,000 の並列度がある。この並列度を活かして、7SPE を使って処理を並列化した。具体的には、各ループ中の前処理を PPE で行い、その後の相関係数の計算と視差値 (標高) の格納を複数 SPE で処理する。

4.3.2 演算の SIMD 化

探索範囲中でテンプレートの位置をずらしながら各位置での相関係数を計算するが、このための各計算を SIMD 化し、4 要素並列に計算するようにした。演算の SIMD 化の概要を図 6 に示す。

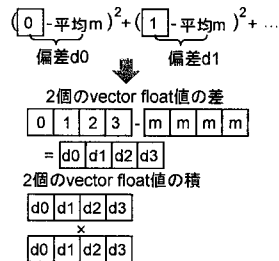


図 6 分散および相関係数計算の SIMD 化

4.3.3 DMA 転送のためのループ交換

各 SPE で相関係数を計算した後に DMA 転送でメインメモリ上に結果を書き戻すが、x 方向に処理を分割して進めると隣接領域を処理する SPE 間で転送処理が衝突してしまう。このため、x 方向ループと y 方向ループの入れ換えを行い、y 方向に処理を分割した (図 7 参照)。

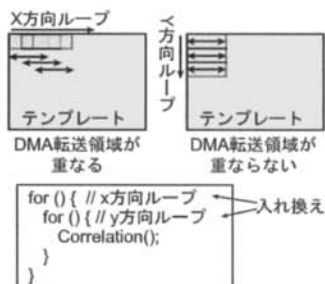


図 7 DMA 転送のためのループ交換

4.3.4 その他の最適化

条件分岐ミスによるペナルティを避けるため、条件分岐の演算化を行った。また、構造体要素をあらかじめ自動変数に格納することで、レジスタを活用しLSからのロードペナルティを削減した。

4.4 メディアンフィルタ処理の並列化と高速化

メディアンフィルタ処理の移植において行った並列化と高速化について概要を述べる。

4.4.1 複数 SPE による並列化

メディアンフィルタ処理はステージループ内部にあり、各画素についての処理が周辺画素の計算結果に依存しない。このため、2,000画素平方の画像では4,000,000の並列度がある。この並列度を活かして、7SPEでメディアンフィルタ処理を並列化した。具体的には、画像データを適当な行数で分割し、空きSPEがその行数単位で順次処理を行う。分割するライン数は、LSのサイズやDMA転送の効率から10行とした。

4.4.2 ソート対象データ配列生成のSIMD化

各要素について行う主な処理は、ソート対象データ配列の生成およびソート処理となる。処理は要素毎に独立して行えるため、SIMD化によってソート対象データ配列の生成を4要素同時に行った(図8参照)。また、条件分岐の演算化を行った。

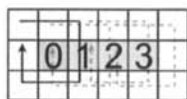


図 8 複数対象要素のソート対象配列の生成

4.5 異常値内挿処理の並列化と高速化

異常値内挿処理の移植において行った並列化と高速化について概要を述べる。

4.5.1 複数 SPE による並列化

異常値内挿処理はステージループ内部にあり、x方向およびy方向の2方向の処理がある。これらの2方向の処理には依存性がないため、構造的な並列度は画素数に関わらず2となる。従って、2SPEを使って処理の並列化を行った。

4.5.2 DMA 転送の最適化

内挿対象となる異常値は領域内に飛び飛びに存在するが、異常値に注目してその要素だけをDMA転送すると効率が悪い。このため、異常値の分布に限らず1行すべてをDMA転送し、SPE上で各行に異常値要素があれば要素毎に内挿処理を行うようにした。

4.5.3 その他の最適化

分岐ミスのペナルティを避けるために、分岐ヒント命令の追加を行った。また、SPEでは倍精度小数演算のオーバーヘッドが高いため、倍精度小数演算を単精度小数演算に変更した。

その他、一般的な最適化として、冪乗関数(powf)の結果をテーブル化し、一度計算したあとは二度目以降はテーブルを引くように変更した。

4.6 性能評価

表2に、3.6GHzのXeon上で計測したオリジナルのプログラムの性能と、Cell/B.E.のPPE上に移植した場合の性能、本章で述べた並列化と高速化を行った場合の性能の3種類を計測した結果を示す。

表 2 Cell/B.E. 移植後の性能と Xeon(3.6GHz) との比較

処理	Xeon (msec)	Cell (msec)	
		PPE	最適化後
(1) テンプレートマッチ	69,927	408,172	33,856
(2) 異常値内挿	71,682	152,348	11,043
(3) メディアンフィルタ	13,730	44,189	5,666
(1)~(3) 合計	155,339	604,709	50,565

高速化によって、テンプレートマッチング、異常値内挿、メディアンフィルタの各処理について、それぞれXeonと比べて2.1倍~6.5倍の性能向上が得られた。

5. 考察とさらなる高速化

4.6節の計測結果をもとに、性能や移植後のプログラム挙動について考察を行い、さらに高速化できる部分について改良を行った。

5.1 テンプレートマッチングのDMA転送の改良

テンプレートマッチング処理の移植では、4.3.3項で述べた通り、DMA転送領域が重ならないようにx方向とy方向のループを入れ換える変更を行った。しかし、このループ入れ換えによって、PPEプログラ

ム側でループ内で行う前処理において、y 方向に進みながらメモリアクセスするたびにキャッシュミスが起り、レイテンシが増加していることがわかった。

このため、ループ方向を再び入れ換え、x 方向に隣り合う 128 要素をまとめて 1SPE で処理するように改良した。この改良によって、処理あたりの DMA 転送回数が減り、また転送領域と処理領域が一致するために SPE 同士の同期処理が不要となった。また、x 方向にメモリアクセスが進むことでキャッシュヒット率の向上が見込める。

DMA 転送と処理単位の改良を行った場合のテンプレートマッチング処理の計測結果を表 3 に示す。

表 3 テンプレートマッチング処理の改良前後の計測結果

Xeon (msec)	Cell (msec)		
	PPE	y 方向ループ版	128 要素一括版
69,927	408,172	33,856	21,194

5.2 異常値内挿処理の並列化と誤差

4.5.1 項で述べた通り、今回の移植では異常値内挿処理を 2SPE で並列処理している。しかし、さらなる並列化を行うため、画像データの行毎に分割して 7SPE で並列処理するようにプログラムを改良した。この並列化により、2SPE に移植した場合の計測結果と比べてさらに 2.7 倍の速度向上が得られた (表 4 参照)。

表 4 2SPE と 7SPE による異常値内挿処理の計測結果

Xeon (msec)	Cell (msec)		
	PPE	2SPE 版	7SPE 版
71,682	152,348	11,042	4,021

逐次の異常値内挿処理では入力データに未処理画素と処理済み画素が混在することになるが、複数 SPE で処理する場合は各領域の最初の部分では入力データがすべて未処理画素のみで構成されることになる。このため、オリジナルの結果との間に誤差が生じることとなった。また、複数 SPE 化するにあたり、行毎に DMA 転送して SPE で処理するという方針を取ったが、各行に含まれる異常値の数は一定ではないため、SPE 毎に処理時間が異なる。このため、タイミングによって誤差にばらつきが出る。これらの誤差は目視ではほとんど確認できないため今回は解決を見送ったが、精度が問題となる場合には並列化手法や前処理・後処理方法を見直す必要があると思われる。

5.3 改良後の計測結果

表 5 に、上述した 5.2 節および 5.1 節で挙げた改良を行った後の計測結果を示す。

改良の結果、高速化によって、テンプレートマッチン

表 5 改良後の性能と Xeon(3.6GHz) との比較

処理	Xeon (msec)	Cell (msec)	
		PPE	改良後
(1) テンプレートマッチ	69,927	408,172	21,194
(2) 異常値内挿	71,682	152,348	4,021
(3) メディアンフィルタ	13,730	44,189	5,666
(1)~(3) 合計	155,339	604,709	30,881

処理	改良後の性能向上	
	Xeon との比較	PPE との比較
(1) テンプレートマッチ	3.3 倍	19.3 倍
(2) 異常値内挿	17.8 倍	37.9 倍
(3) メディアンフィルタ	2.4 倍	6.5 倍
(1)~(3) 合計	5.0 倍	19.6 倍

グ、異常値内挿、メディアンフィルタの (1)~(3) の各処理について、それぞれ Xeon と比べて 2.4 倍~17.8 倍の性能向上が得られた。また、(1)~(3) の合計時間では、Xeon と比べて 5.0 倍の性能向上が得られた。

6. おわりに

地質環境解析システムやグリッドシステムにおける Cell/B.E. プロセッサの性能を評価するために、ステレオマッチングソフトウェアを Cell/B.E. に移植し、また高速化・最適化を行った。

Cell/B.E. の演算プロセッサである SPE のアーキテクチャ特性にあわせた移植および高速化を行うことで、Xeon 3.6GHz 上でオリジナルのプログラムを動作させた場合と比べて主処理部について約 5 倍の性能向上が達成された。今回の高速化では見送ったが、テンプレートマッチング処理において共通領域を使い回すことで DMA 転送回数をさらに削減したり、メディアンフィルタのソート処理を最適化したりすることで、さらに処理を高速化できる見込みがある。

今後、更なる高速化や 2,000 画素平方以上のサイズの入力データへの対応、複数台の Cell/B.E. プロセッサを使ったクラスタシステムやグリッドシステムにおける応用を視野に入れ、検証を進めていく予定である。

参 考 文 献

- 1) 林 宏雄, 斎藤 光男, 増淵 美生, Cell Broadband Engine の設計思想, 東芝レビュー, Vol.61 No.6, pp.2-8, 2006.
- 2) N. Yamamoto and et. al., Geo Grid: Grid Infrastructure for Integraion of Huge Satellite Imagery and Geoscience Datasets., *Sixth IEEE Int. Conf. on CIT.*, pp.75, 2006.
- 3) 上村 剛, 大満 孝, 栗津 浩一, Cell レファレンスセット概要, 東芝レビュー, Vol.61 No.6, pp.25-29, 2006.