

マスタスライスLSI用レイアウトシステム

岸田邦明
池本康博

竹内定夫
長尾葉介

佐々木久郎
土屋洋次

(日立製作所)

1. はじめに

論理LSIの高集積化により、LSIの設計が人手に負えなくなってきた。論理LSIの宿命である多品種少量生産、および限定された期間内に製品設計を完了させなければならないことを考えると、設計を可能な限り自動化(DA: Design Automation)していくことが不可欠である。

本文では、バイポーラマスタスライスLSIについて、論理ファイルからマスクデータを生成するまでの、一貫レイアウトシステムについて述べる。

2. レイアウトシステム概要

2.1 システムの特長

本システムは、以下のような特長を有する。

(1) 設計自動化の推進

完全自動配置、配線をめざしている。もし未配線が生じた場合にも、人手介入によるパターン不良を防ぐため、パターンの自動チェックを行なう。

自動チェックでは、現実起こり得るあらゆる場合が仮定されているためパターン不良を皆無にすることが可能である。

(2) 各種マスクデータの生成

パターンジェネレータ用テープの他、電子ビーム露光装置用テープを生成する。

2.2 サブシステムの機能

本システムの構成は図2.2.1の通りであり、各サブシステムの機能について以下に説明する。

(1) 論理入力

設計データベースの作成および更新を行ない、各サブシステムに必要な全ての情報を入力する。大形コンピュータを用い、TSS処理とバッチ処理の両者を使い分けることができる。

(2) 自動配置、配線

ゲートをマスタスライス上の最適な位置に配置し、ゲート間の配線経路を決定する。ゲートおよび配線の一部を、あらかじめ人手にて固定入力するこ

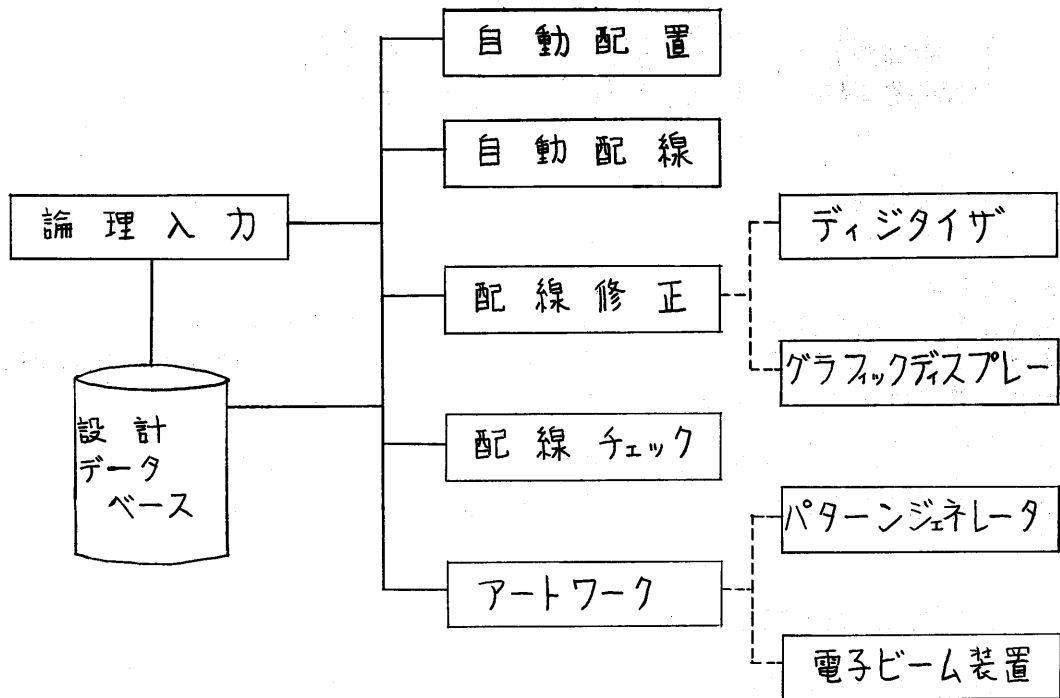


図2.2.1 システム構成

とができる。

(3) 配線修正、配線チェック

未配線が生じた場合、人手により配線を追加し配線を完結させる。

配線修正の手段としては、マアソンググラフィックシステムを用いた会話型処理、および大形コンピュータを用いたバッチ処理、の両者が可能である。

さらに配線チェックにより配線パターンと論理データを照合し、断線、ショートや配線禁止領域の通過、あるいは不要配線、不要スルーホールの検出を自動的に行なう。

(4) アートワーク

(a) 未使用ゲート端子を論理により High または Low に自動固定する。

(b) 未使用ゲートに対する電力供給をカットし、消費電力を削減する。

(c) ゲートの位置と信号線長を計算し、最も適当な位置に終端抵抗を接続する。

(d) パターンジェネレータ用テープ、または電子ビーム露光装置用テープを生成する。

3. 自動レイアウトシステム

3.1 混雑度を考慮した配置

二つの部品を交換して繰り返し改良をはかるペア交換法を基本アルゴリズムに用いている。一般にペア交換法では、ゲート間の配線長が最短となることを目標に配置している。このため、ゲートが密集する箇所と疎な箇所が発生し、特に、密集する箇所では配線が混雑するため、未配線発生の一因となっていた。

そこで、この問題を解決するために、ゲートの密集を、論理接続に使用されているゲート端子の局所的集中としてとらえ、ゲート評価値の改良を行なった。

すなわちゲート評価値を、そのゲートに接続されるネットの総配線長に加えて、ブロック端子密度の平均からの偏差として定量化し、以下のように定義した。

(図3.1.1参照)

$$G = \sum_i l_i + \alpha \times \left| \frac{\text{ブロック当り平均使用端子数} - \text{ブロックの使用端子数}}{\text{}} \right|$$

↑
平準化係数

$$l_i = \frac{1}{P_i} \sum_j l_{ij}$$

P_i ; ネット i の端子数

l_{ij} ; ネット i を構成する線分 j の配線長

図3.1.1に端子密度が均一化される様子を具体的に説明する。

図3.1.1に示すように、着目ゲートを矢印の位置に移動する事により、仮想配線は長くなるが使用端子密度項が小さくなるので、評価値全体としては小さくなり、結果として着目ゲートは矢印の位置に置かれる事になる。

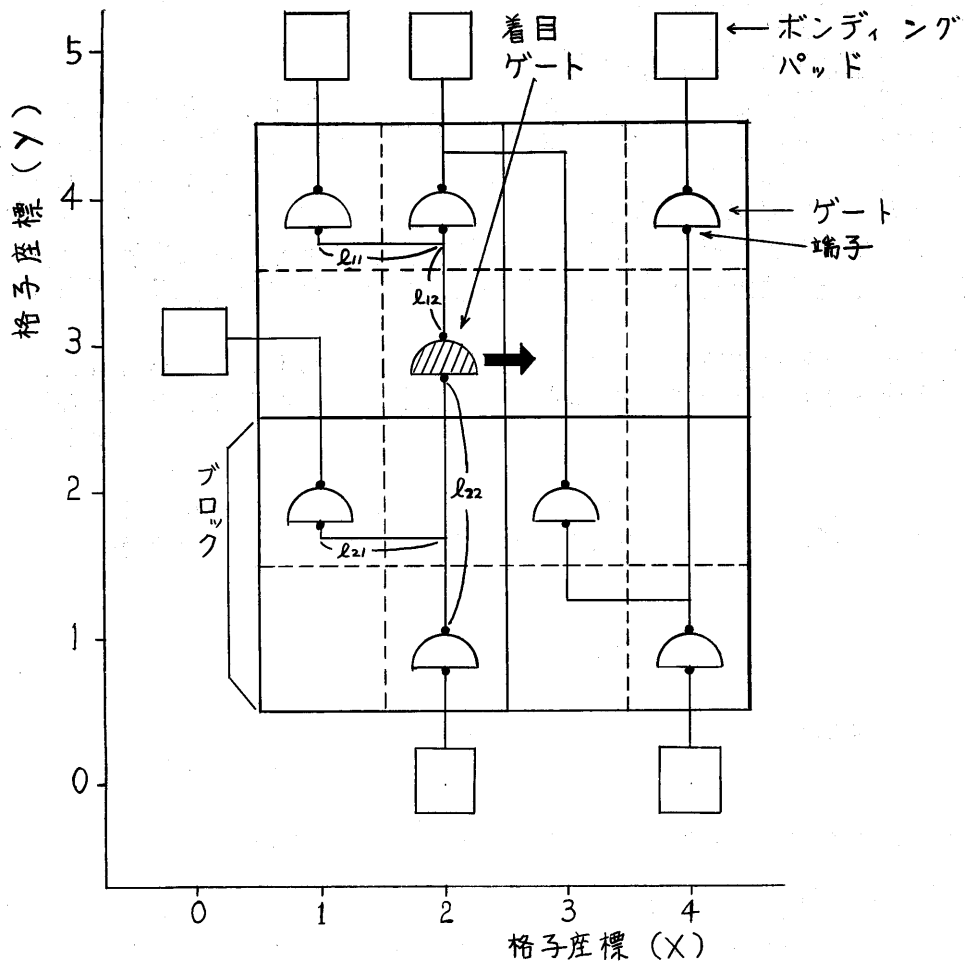
このように配置の目標は、「配線長の短縮」と「局所的な配線混雑の緩和」のバランスをとる事になる。平準化係数 α は、バランスをとるための係数である。

3.2 二段階迷路法による配線の高速化

高い配線率の得られる迷路法を基本とし、二段階に分けて適用することにより高速化を実現した。

迷路法の性能を向上させるために考慮する事は、ムダな経路探索を省いて、いかに速く、かつ速くまで探索範囲を広げられるかである。

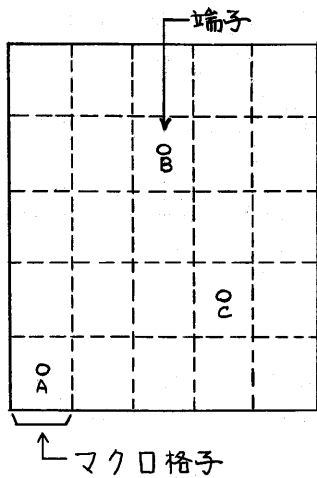
図3.2.1で端子A、B、Cを結ぶ経路を決定する問題を考える。Aを始点としB、Cに向かって1格子ずつ試行を広げる。図中の矢印は試行方向を示し、矢印の先端を結んだ図形は試行の広がり具合を表わす。



- (1) 着目ゲートに接続するネットの仮想配線長 l_1, l_2 は；
 $l_1 = (l_{11} + l_{12}) / P_1 = (1 + 1) / 3 = 2 / 3 = 0.67$
 $l_2 = (l_{21} + l_{22}) / P_2 = (1 + 2) / 3 = 1$
- (2) ブロック当り平均使用端子数は；
 $16 / 4 = 4$
- (3) 平準化係数 α の値を仮りに 1 とすると；
 (a) 着目ゲートを斜線の位置に置いた時のゲート評価値 G_1 は；
 $G_1 = 0.67 + 1 + 1 \times |4 - 6| = 3.67$
 (b) 着目ゲートを矢印の位置に置いた時のゲート評価値 G_2 は同様に；
 $G_2 = 1 + 1.33 + 1 \times |4 - 4| = 2.33$

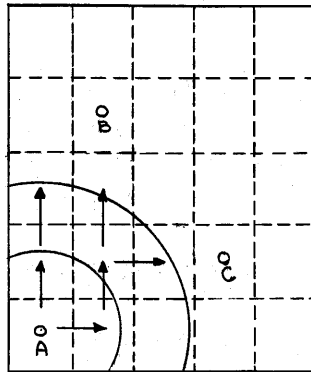
$G_2 < G_1$ のため、着目ゲートは矢印の位置に移動する。

図3.1.1 使用端子密度の均一化



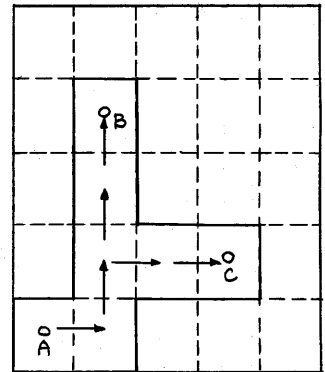
LSIをマクロ格子に分割する。

(1) マクロ格子分割



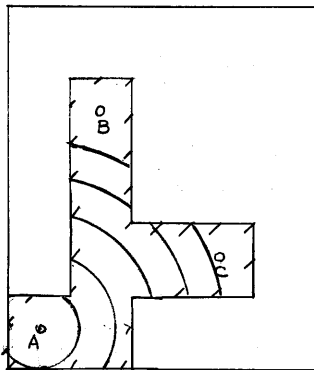
マクロ格子単位に迷路法で配線する。

(2) 迷路法配線



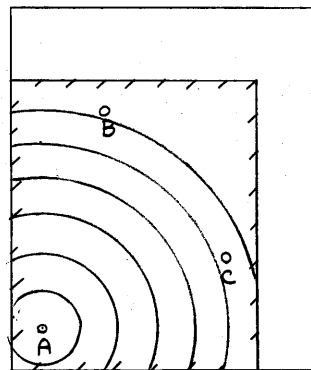
決定された経路に沿って配線領域を設定する。

(3) 配線領域設定



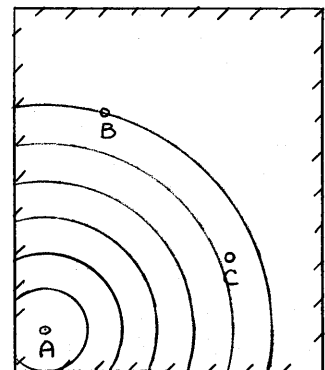
(3)で決められた領域内を試行する。

(4) オ1回目のトライ



ネットを囲む領域内を試行する。

(5) オ2回目のトライ



試行領域をLSI全面に拡大する。

(6) オ3回目のトライ

図3.2.1 二段階の迷路法

図3.2.1を用いて経路決定手順を説明する。

オ1回目のトライでは、(1)、(2)、(3)の手法で配線領域を設定し、試行の広がり
を領域内に限定する。

- (1) LSIを大ざっぱに区画分けする。(一区画をマクロ格子と呼ぶ)
一区画の大きさは、配置ブロックに合わせて決めている。
 - (2) マクロ格子を単位にして、迷路法で配線する。配線の際、配線長と配線混
雑度を考慮し、LSI全体のバランスをとる。
 - (3) マクロ格子上の経路に沿って境界を設定する。
 - (4) 設定された境界内の領域について迷路法による経路探査を行ない実際の配
線経路を決定する。試行の広がりが境界で止められるため速やかに目標に到
達できる。
- オ1回目のトライで全ネットに対する配線を完了した後、未配線を含むネット
について、以下のようにオ2、およびオ3のトライを実施する。なおオ2回目の
トライ以降、配線試行時障害となる配線パターンを移動させる機能を加えている。
- (5) 配線領域を、ネットを囲む矩形内とする。
 - (6) 配線領域を、LSI全面に拡大する。

4 結果

配置、配線のラン結果を表4.1に示す。

表4.1 ラン結果

データ名	ゲート数	ピン数	ネット数	信号区間数	未配線本数
A	831	2207	554	1653	2
B	903	2476	652	1824	6
C	909	2443	551	1892	4

図4.1にチャネル使用率とチャネル
要求率の関係を示す。

チャネル要求率が高くなると、要求
された値だけ使用率が上がらない、す
なわち配線チャネルを使い切れなくな
ってくることを示している。

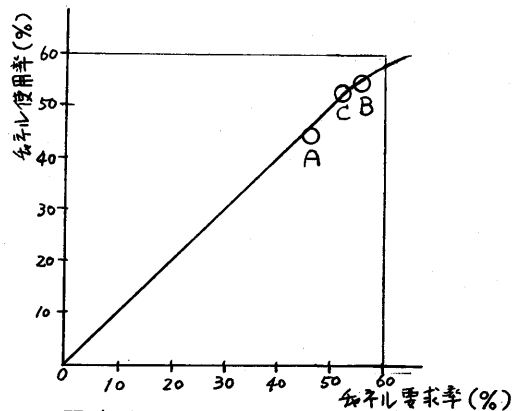


図4.1 チャネル使用率と要求率

5. あとがき

本文では、マスタスライスLSIのレイアウト設計を自動化するシステムについて概要を述べた。設計期間の短縮に上記システムは不可欠であり、論理装置用LSIの設計に適用を進めている。

今後の課題としては、LSIの大規模化に向けてシステム全体の見直し、性能向上をはかっていくことである。

謝辞

本文をまとめるに当って、有益な御助言をいただいた関係上司の方々に深謝する。

参考文献

- [1] Hanan, M., et al.: Some Experimental Result on Placement Techniques, Proc. DA Conf. P214 (1976)
- [2] Goto, S., et al.: A Two-Dimensional Placement Algorithm for the Master Slice LSI Layout Problem; Proc. DA Conf. P11 (1979)
- [3] Feuer, M., et al.: The Layout and Wiring of a VLSI Microprocessor, Proc. ICCV. P678 (1980)
- [4] Khokhai, K.H., et al.: Placement of Variable Size Circuits on LSI Masterslices, Proc. DA Conf. P426 (1981)