

マスク解析システム PANAMAP-M

羽山繁，渡里祐子，京井淳子，間野洋治郎
松下電器産業(株) 中央研究所

[1] はじめに

近年LSIは大規模・高集積となり、かつ高速・低消費電力を要求されている。そのため、一層の設計精度の向上と設計期間の短縮が急務とされる。

LSI設計の中で、マスクレイアウト設計はまだ人手に頼るところが多く、設計の検証は非常に重要な位置を占めている。この検証をいかに効率良くまた精度良く行なうかということが、LSIの開発全体の精度向上と開発期間の短縮に寄与する、と言っても過言ではない。

マスクレイアウト設計における主な検証項目を以下に述べる。

(a)製造プロセスに依存する幾何学的形状の設計基準検査。

(b)マスクレイアウト設計における回路接続の検査。

(c)マスクレイアウト設計の結果発生する、寄生容量等による動作不良の検査。たとえば、動作スピード、消費電力、誤動作等である。

上記項目のうち、(a)と(b)については自動レイアウトシステムの採用により大幅に軽減することが可能である。しかし、(c)の項目については、マスクレイアウト後の図形データから電気的情報を再構成して設計検証を行なうのが有効な手段である。1), 2), 3), 4)

一方、LSIの大規模化に伴い、マスク図形のデータ量が大幅に増大し、LSIワンチップレベルでの検証を行なうことは多大の時間と費用が発生し、実用的な方法とは言えない。

本報告では、マスク検証の項目(b)と(c)を実現するため、電気的情報の解析を基本機能とし、大規模なデータに対

する考慮、他システムに連結するための出力機能を備えた検証システム：PANAMAP-Mについて報告する。

[2] システム構成

PANAMAP-Mの構成は、図1に示すように、回路レベルと論理レベルが連結されたマスク解析システムPANAMAPのうち、回路レベルに相当するものである。

PANAMAP-Mは、LSI-CADシステムの中の“MOSマスクデータ電気的検証システム”として位置づけることができ、LSIの全データは、LSIデータベースマネジメントシステムで管理している。LSIの設計・検証・出図のためのその他の各システムは、LSIデータベースを介してお互いに連結している。

たとえば、回路接続情報をもとに、回路解析システムPANACAP、回路から論理変換を行なうPANAMAP-Lに連結することができる。5)

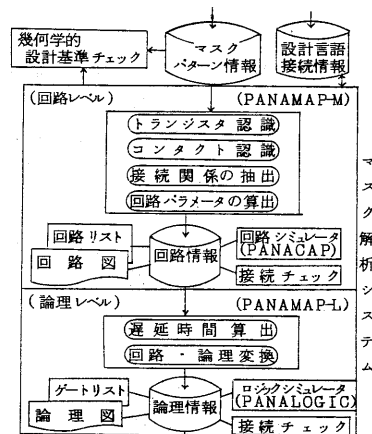


図1 システム構成

[3] 図形演算プログラム

システムの機能実現のため、汎用性のある図形演算プログラムを同時に開発した。このプログラム群を用いることで、マスク解析の各機能を独立化することができ、処理を簡単化できた。

図形演算のうち主要なものは、図形論理演算と拡大、縮小演算である。

図形論理演算は、2層の図形データを一括処理することができ、結果をAND部とEOR部に分割して出力できる。さらに、図形分割時に発生した新エッジにフラグをつけ、相手のデータ番号をセットする。演算の例を図5に示す。

拡大、縮小は、論理演算の結果のフラグ情報を参照して、エッジ選択をした演算をすることができる。たとえばフラグのついていないエッジに関して縮小するという処理が可能となる。

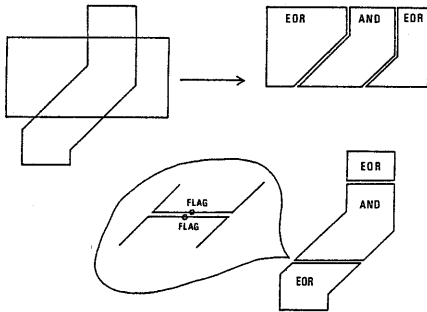


図5 図形論理演算

[4] PANAMAP-Mの基本機能

マスク解析の基本機能は、システム構成で述べたが、その詳細を以下に述べる。

4.1 素子認識

MOSトランジスタの認識は、拡散層とポリシリコン層との間の図形論理演算でAND部を得ることである。

各AND部に素子コードと素子番号を付与し、接続情報を解析する。残り

のEOR部は配線となる。図形論理演算の例を図6に示す。図の中に示した記号は、図形の情報である。

さらに、コンタクトも素子として認識し、配線部との図形論理演算を行ない、コンタクト部とする。

素子認識で分割した図形データは以下の処理で最新図形データとして用いる。

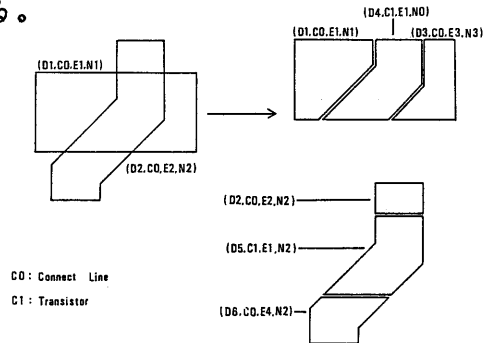


図6 トランジスタ認識

4.2 接続追跡

素子認識結果の図形データの中から、コンタクト素子部を取り出し、同一電位となる異なる層間のノード番号のペアテーブルを作成する。このテーブルから、旧新ノード番号対応テーブルを作成し、これらを用いて図形・接続データのノード番号を共に変更する。

4.3 階層間接続

対象データにセル呼び出しデータが存在する場合、階層間接続追跡をする。

この処理の前提として、下位の階層はマスク解析によって、外部ピンのノード番号が決まっている。

まず、下位の階層の外部ピンを座標展開して、内部ピンとする。これを一種のコンタクト素子として取り扱い、接続追跡を行なう。

そして、上位の階層のため、自身の外部ピンにノード番号を付与する。この時、同一名称のピンのノード番号が一致しているかどうか検査する。

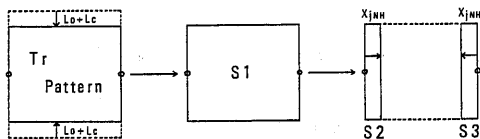
4.4 トランジスタパラメータ計算

素子認識後の図形データから、トランジスタ部のみを取り出し、トランジスタのパラメータを計算する。

トランジスタの実効形状を求めるため、次に示すプロセスパラメータを用いて、選択的縮小演算をする。

- L_o : Locos水平拡がり長
- L_c : チャンネルストップパ水平長
- X_{jNH} : 接合深さ水平長

演算結果の図形に対し、面積計算とエッジ長計算をして、ゲートオーバーラップ容量とチャンネル幅、チャンネル長を得る。図7に例を示す。



$C_{gd} = S2$ W : flag edge length
 $C_{gs} = S3$ L : no flag edge length
 $C_{gb} = S1 - (S2 + S3)$

図7 トランジスタパラメータ

4.5 配線容量計算

配線部の図形を取り出し、物理的に上の層を基準に下の層との間で図形論理演算をする。容量はAND部の面積から算出できる。

図形論理演算の機能は、上層のANDとEOR、下層のANDを出力するものを用いる。両層のAND部は形状が一致するため、出力の相対位置は一致する。演算出力から得た両ノード番号と面積をノードテーブル上に積算する。最後に、コントロールデータで指定した単位容量値と面積との積でノード間容量を算出する。

EOR結果は、さらに下層間の演算に用いる。図8に層間の関係を示す。

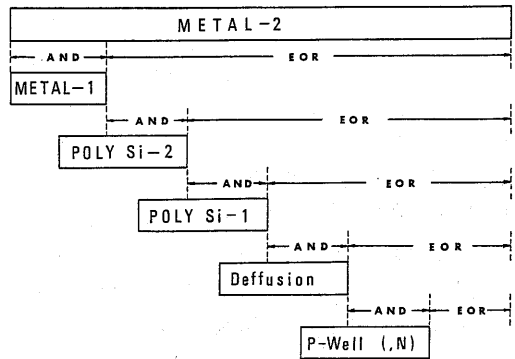
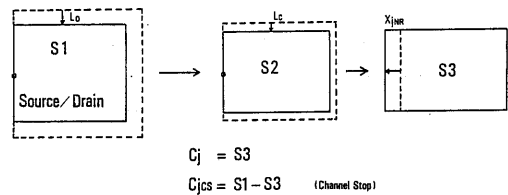


図8 配線間層間関係

4.6 接合容量計算

拡散層の配線部図形データを取り出し、選択縮小・拡大を行ない、各部の面積を算出し、接合容量を計算する。図9に演算例を示す。



$C_j = S3$
 $C_{jcs} = S1 - S3$ (Channel Stop)

図9 接合容量計算

また、CMOSの場合は、Pウェル、Nウェルの接合容量を求めることができる。この場合は、深さ方向と水平方向の2種の X_j を指定して、箱型の側面積を計算し、接合容量を得る。

[5] PANAMAP-Mの出力機能

基本機能の結果を用いて、検証のための出力、他アプリケーションに連結するためのデータ出力をする機能である。下記に代表的な機能とその例を示す。

①リスト出力の例を図10(a)~(c)

に示す。

②回路解析システムPANACA Pに連結するための言語出力結果を図11に示す。

③図形の素子部をシンボル化して配線部をライン化することで、マスクに対応した回路図を作成・出力する。図12に、パターン図と回路図を共に示す。

④セルを外形のみとして、ピンと配線のブロック回路図を出力することができる。図13に例を示す。

ブロック間接続情報は、ブロックレベルの接続検査の入力となる。

⑤参考までに、回路論理変換システムPANAMAP-Lに連結した結果の論理図を図14に示す。

```

*** MASK-ANALYSIS ( CELL : AADPRJ.M.C ) ***          ( 07/28/82 - 15:05:12 )
*
* OPT LIMITS = 1000                                14
* ITERM1 CELL                                       2
* ITERM1 VDD                                        2
* ITERM1 VSS1                                       1
*
* ELEMENT CARD ( TRANSISTOR )
*
* N0000001 3 11 5 1 N0000 L= 3.40U W= 19.0U AS=200P AD=200P
* N0000003 8 20 2 1 N0000 L= 7.40U W= 5.40U AS=200P AD=200P
* N0000009 2 19 22 1 N0000 L= 7.40U W= 5.40U AS=200P AD=200P
*
* MODEL CARD ( TRANSISTOR )
*
* .MODEL N0000 N000 ( CGB= 128.N,CBS= 12.4N,CSD= 12.4N
* .MODEL N0000 N000 ( CGB= 78.8N,CBS= 13.3N,CSD= 13.3N
*
* ELEMENT CARD ( CAPACITANCE )
*
* C0000028 1 2 79.003P
* C0000029 1 3 66.353P
* C0000030 1 4 7.6154P
*
* ELEMENT CARD ( DIODE )
*
* D0000028 1 2 D1000028
* D0000029 1 3 D1000029
* D0000030 1 4 D1000030
*
* MODEL CARD ( DIODE )
*
* .MODEL D1000028 D ( CJO= 77.650P
* .MODEL D1000029 D ( CJO= 114.61P
* .MODEL D1000030 D ( CJO= 156.67P
* .DIO
  
```

図11 PANACAPデータ

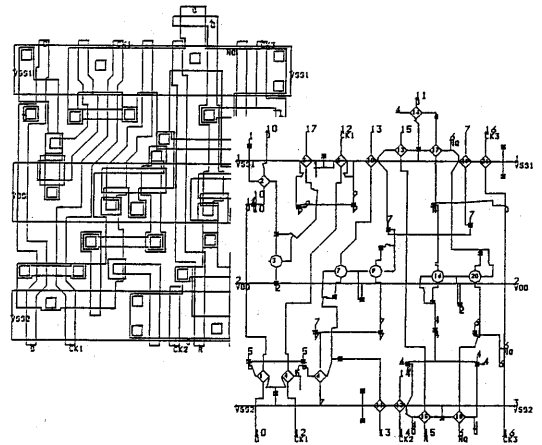


図12 回路図

```

*** AADPRJ.M.C (U.001) NET LIST ***
NODE
1 TR 000002E.S TR 000005E.D TR 000008E.S
  TR 000017C.S TR 000021E.D
2 TR 000003D.S TR 000007D.D TR 000009D.S
  TR 000001E.D TR 000004E.S TR 000011E.S
3 TR 000012E.D TR 000014E.S TR 000015E.S
4 TR 000017C.S TR 000019E.D
5 TR 00001E.S TR 000004E.D TR 000006E.S
6 TR 000017E.D TR 000018E.G TR 000019E.S
  
```

図10(a) ネットリスト

```

*** AADPRJ.M.C (U.001) TRANSISTOR LIST ***
T.NO G.N S.N D.N SUB.N L W G.C S.C D.C
(L) (UM) (UM) (PF) (PF) (PF)
C 1 10 5 3 2 3.4 19.1 0.72E+00 0.24E+00 0.24E+00
C 2 10 1 17 2 3.4 8.4 0.25E+00 0.11E+00 0.11E+00
C 3 17 2 17 2 7.4 5.4 0.52E+00 0.72E-01 0.72E-01
C 4 12 3 5 2 3.4 19.1 0.72E+00 0.24E+00 0.24E+00
C 5 17 9 1 2 3.4 18.2 0.69E+00 0.23E+00 0.23E+00
C 6 7 5 13 1 3.4 17.4 0.63E+00 0.22E+00 0.22E+00
C 7 13 11 2 2 7.4 5.4 0.52E+00 0.72E-01 0.72E-01
C 8 12 1 9 2 3.4 18.2 0.69E+00 0.23E+00 0.23E+00
C 9 7 7 7 2 7.4 5.4 0.52E+00 0.72E-01 0.72E-01
C 10 13 9 7 2 3.4 17.4 0.63E+00 0.22E+00 0.22E+00
  
```

図10(b) トランジスタリスト

```

*** AADPRJ.M.C (U.001) CAPACITANCE LIST ***
NODE NODE CAPACITANCE C.J. CAPACITANCE
(PF) (PF)
1 2 0.351E+02 0.188E+03
1 4 0.600E+01
1 6 0.655E+01
1 7 0.172E+02
1 9 0.475E+01
1 9 0.155E+02
1 10 0.840E+01
  
```

図10(c) キャパシタリスト

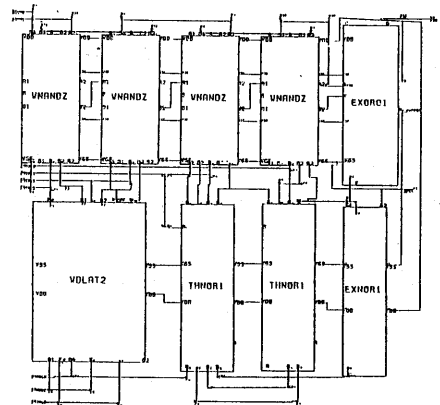


図13 ブロック回路図

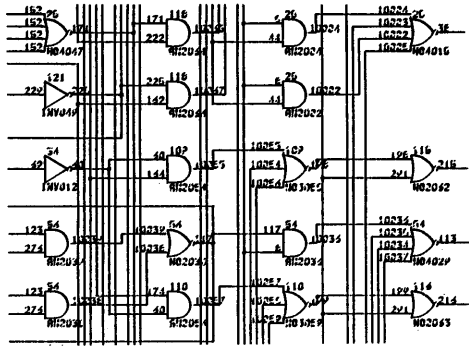


図14 論理図

が容易に実現できる。

現在、PANAMAP-MはPANAMAP-Lと連結して実用化しているが、今後さらにアプリケーションの拡張、および処理速度の向上を図っていきたい。

参考のため、現状での図形論理演算の処理時間を図15、マスク解析の処理時間を図16に示す。なお、計算機は約1.3MIPS相当である。

[6] まとめ

以上、マスク解析システムPANAMAP-Mの基本機能と出力機能について述べた。

システムの特徴をまとめると以下のようになる。

①階層セル設計と階層データのマスク解析の実現により、処理データ量の削減と処理時間の短縮を実現し、大規模LSIのマスク解析を可能にした。さらに、階層化していない大規模データに対しても処理可能なように考慮している。

②図形データは、任意の形状を許し、データ自身に解析結果を保持しているため、素子別やノード別の設計基準検査など、他アプリケーションへの拡張性が高い。

③マスク解析に適した高速・高機能の図形演算プログラム群を開発した。この結果、解析機能の実現が容易となり、処理効率も向上した。

④コントロールデータ形式で実行を制御するので、プロセス変更への対応が容易となった。

⑤データベースを共通インターフェイスとして、種々のアプリケーションに連結する。

⑥マスク解析の各機能は独立のサブルーチン群として構成しており、必要に応じて任意の機能の組み合わせ

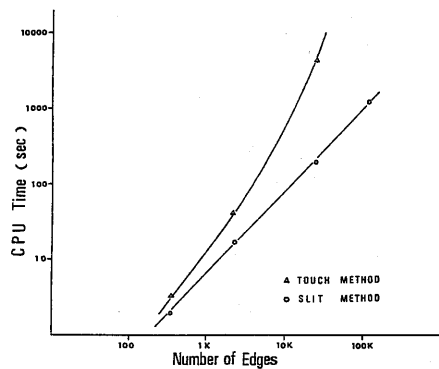


図15 図形論理演算の処理時間

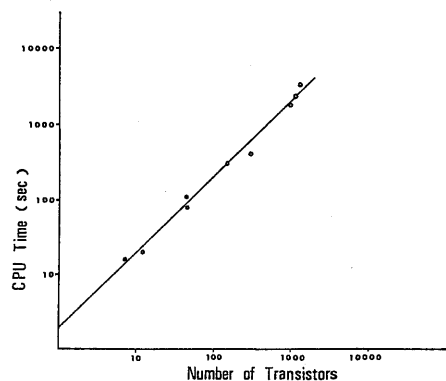


図16 マスク解析の処理時間

[7] 謝辞

本システムの開発にあたり、常日頃から御指導いただきました、中央研究所堀内副所長、半導体グループ一戸主任技師、藤田技師、並びに松下電子工業(株)と無線研究所のCADグループのメンバーに深く感謝いたします。

<参考文献>

- 1) 丹生, 他: LSI マスクパターン情報, 回路特性算出プログラム-M A I C A P -, 電気通信学会技術報告, SSD78-12, 1978
- 2) S. Yamada, et al: A Mask Pattern Analysis System for LSI (PAS-1), proc. 1979 ISCAS, PP 858-861
- 3) I. Dobes, et al: The Automatic Recognition of Silicon Gate Transistor Geometries: An LSI Design Aid Program, proc. 13th D. A. Conference, PP 327-335, June 1976
- 4) B. T. Preas, et al: Automatic Circuit Analysis Based on Mask Information, proc. 13th D. A. Conf., PP 309-317 June 1976
- 5) 羽山, 他: MOS マスク解析プログラム PANAMA P-L, 昭和57年度電子通信学会総合全国大会, 2-90