

組合せ回路合成システム - COMPO -

榎本清之 中島克人 村井真一 笹尾 勤
 (三菱電機(株) 情報電子研究所) (大阪大学 工学部)

1 はじめに

組合せ回路合成システムを開発したので、その合成手法、システム構成、及び実験結果について報告する。

普通よく行なわれる論理設計の手続きは以下に述べる2つのステップから成る。

i) 論理設計者は、回路を実現する上での制約条件 — 例えば、最大ファンイン数 — を考慮して回路を設計する。

ii) その回路を検証するために回路の動作を模倣する。

この手続きは十分な性能を持つ回路を導出できる一方、長期の設計期間を要し、設計された回路の正しさを必ずしも保障していない。このような弱点は半導体技術の進歩や回路の大規模化に伴って深刻な問題となる。

この問題に対する最終的な解は、設計検証の必要性を削除して、設計を完全に自動化することである。しかしながら、現時点ではそれは達成しがたい。COMPOの目的は、回路全体ではなく組合せ回路の部分のみを合成することによって設計の自動化を進めることにある。

COMPOの機能は、ファンイン数やファンアウト数の制限を満足するNAND系あるいはNOR系のランダムロジックを合成することである。合成すべき回路の仕様は、真理値表またはゴール式によって与えられる。

2 回路合成手法

COMPOにおける回路合成のフローを図1に示す。以下ではNOR系回

路の合成を例として、その詳細を述べる。

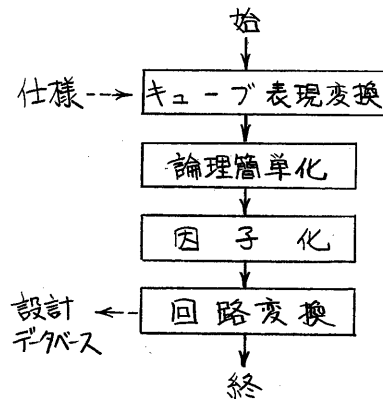


図1 COMPOの回路合成フロー

2.1 キューブ表現変換

真理値表やゴール式といった人間にとって理解容易な形式で記述された仕様を計算機内で処理容易なキューブ表現に変換する。真理値表からキューブへの変換例を図2に示す。真理値表はドント・ケアを許し、'x'で表現される。キューブは、出力が'1'となるFカバーと出力が'x'となるFBカバーから成る。

入力	出力
0 x	1 0
1 0	x 1

真理値表

10-11 - 10 } Fカバー

01-10 - 01 } FBカバー

キューブ表現

図2 真理値表からキューブへの変換例

2.2 論理簡単化

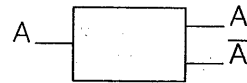
最小論理和形を導出する方法としてクワイン・マクラスキの方法²⁾が知られているが、変数が多い場合それらの手法は、実行時間、実行に要する計算機メモリとも急激に増大する³⁾。そのため、COMPOでは変数が多い場合(10変数以上)でも充分扱えることを理由に発見的手法を採用している。具体的には、MINIアルゴリズム³⁾を採用した。

PLAの設計において、入力側に2ビット・デコーダを使用すると積項数が減少することが一般に知られている⁴⁾。そこで、COMPOでは、簡単化の際、外部入力として図3に示すデコーダの使用を仮定している。OVFG (One Variable Function Generator) の場合は、入力の反転と非反転信号を利用でき、TVFG (Two Variable Function Generator) の場合は、2個の入力を一組にして、それから生成可能な14種の信号を利用できる。

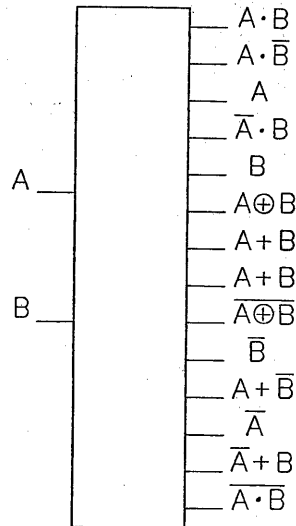
TVFGを使用する場合、入力の組合せ方によって簡単化の程度が異なる。一般には、TVFGの出力信号の多くを使用できるような組合せを見つけるのが望ましい。例えば、図4(a)に示す2ビット加算器に対してTVFGを適用する場合、(b)に示すように、 A_0 と B_0 、 A_1 と B_1 の組合せが最良である。

2ビット加算器のように、その入力の最良の組合せが自明の場合は問題ないが、そうでない場合、最良の組合せを手で見つけるのは煩わしい作業である。

論理簡単化のフェーズでは、最良の組合せを見つける作業を自動化⁵⁾している。すなわち、人手に頼ることなく入力の最良の組合せを求めることが可能である。



OVFG



TVFG

図3 デコーダ回路

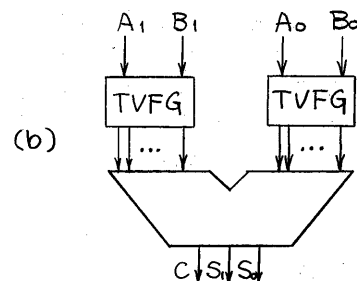
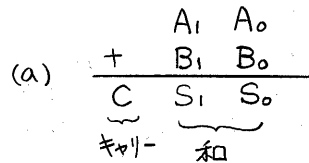


図4 2ビット加算器に対するTVFGの適用

2.3 因子化

論理簡単化の結果、合成される回路は、ファンイン制限を無視したAND-ORの2段回路である。但し、入カデコーダの部分では無視する。このような回路を最大入力以下のAND-OR多段回路に変形することを因子化のフェーズで行なう。最大は最大ファンイン数である。例を図5に示す。

2.4 回路変換

ファンイン制限を考慮したAND-OR回路に入カデコーダを接続し、以下の操作を加えることにより最終的にNOR/OR回路を合成する。

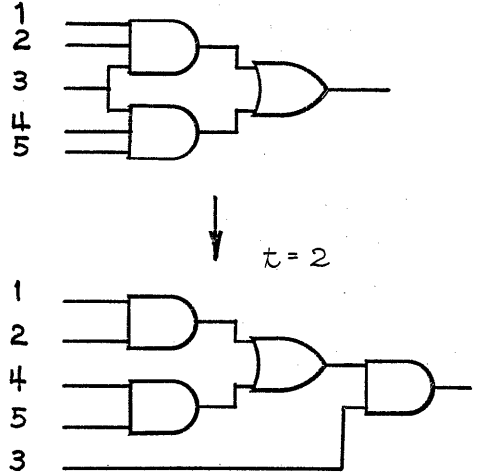


図5 因子化の例

1) ファンアウト調整

回路変換を行なう直前の回路のモデルを図6に示す。この図の中で、デコーダの出力と多段のAND-OR回路の最終出力においてファンアウト制限を越える可能性がある。

ファンアウト制限を越えた端子については、図7に示すようにインダクタを挿入して、ファンアウト数を緩和する。

2) 回路の展開

回路全体がNORまたはORゲートのみから構成されるように、ANDゲート、デコーダ回路をマクロ展開技術によって変換する。ANDゲート、OVFG、TVFGの展開例を各々、図8、図9、図10に示す。

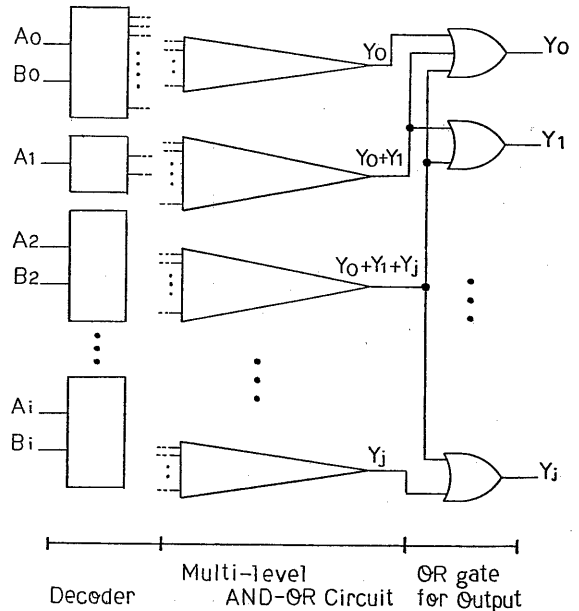


図6 回路変換直前の回路モデル

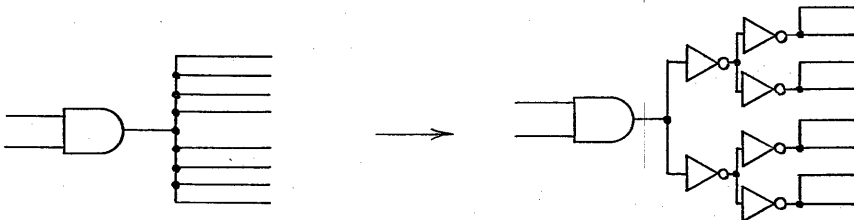


図7 ファンアウト調整

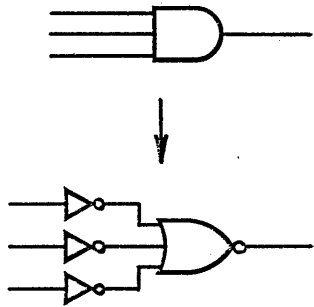


図8 ANDゲートの展開例

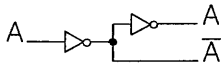


図9 OVF Gの展開例

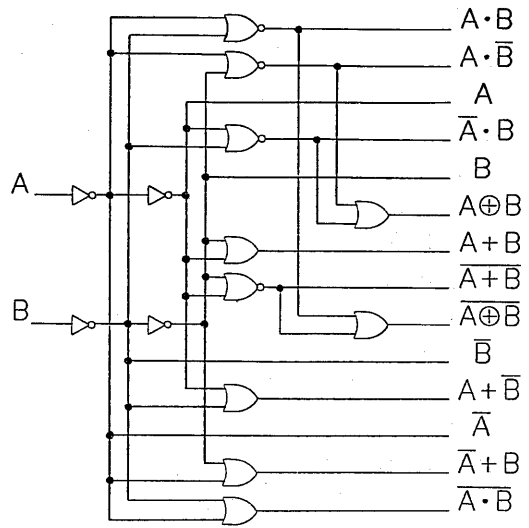


図10 TVFGの展開例

3) 不要素子の削除

冗長な素子を削除し、総ゲート数の削減を行なう。削除例を図11に示す。削除はデコーダに対しても実行される。その時は、未使用の出力端子に給電している素子で不要なものが取り除かれる。

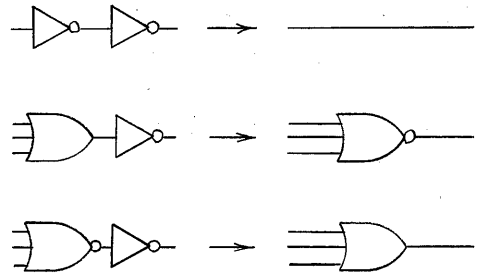


図11 不要素子の削除例

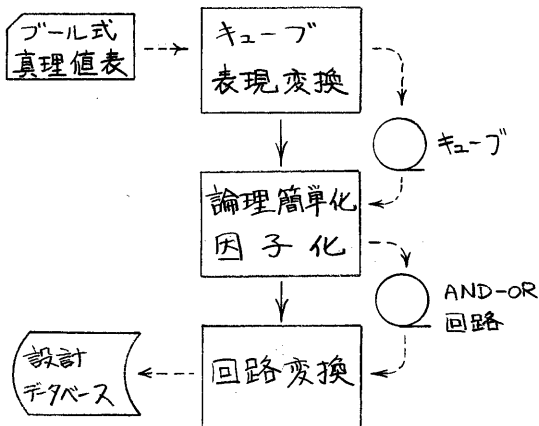


図12 COMPOのシステム構成

3 システム構成

COMPOのシステム構成を図12に示す。プログラムは総てFortranで記述されている。各々のプログラム・サイズも以下に示す。

キューブ表現変換	1Kステップ
論理簡単化・因子化	10Kステップ
回路変換 ⁶⁾	18Kステップ

4 実験結果

以下に記す回路について人手設計とCOMPOによる設計を試みた。COMPOによる設計においては、OVFG, TVFG各々を使用した場合について試みた。また、ゲートの最大ファンイン数は3、最大ファンアウト数は4として合成した。

<合成回路>

- # 1 2ビット加算器
- # 2 4組の2ビットペアから最小値を検出する回路
- # 3 8ビットのプライオリティ・エンコーダ
- # 4 256×4ビットのROMパターン
- # 5 4ビット加算器

4.1 ゲート数

表1にCOMPOにより合成した回路と人手設計による回路のゲート数を示す。また、LSIで実現した場合のチップ面積に比例すると考えられるファンイン総数⁷⁾を表2に示す。

OVFGを用いたCOMPOの合成結果は、回路の特徴に依存し、人手設計の1.2～5.7倍の回路規模となった。一方、TVFGを用いた場合は、すべての回路についてOVFGの場合より良好で、人手設計並から1.5倍程度というバラツキの少ない結果が得られた。

参考までに、2ビット加算器の人手設計とTVFGを用いたCOMPOによる設計のゲート構成を付録に示す。

表1 ゲート数の比較

# of circuits (# in / # out)	# 1 (5 / 5)	# 2 (8 / 2)	# 3 (8 / 4)	# 4 (8 / 4)	# 5 (9 / 7)
M. (manual)	3 1	3 3	3 5	1 8 4	7 1
A. (COMPO with OVFG)	7 6	7 1	4 7	2 2 6	3 7 7
B. (COMPO with TVFG)	4 1	4 5	4 4	1 9 5	1 0 4
A + M	2 . 4 5	2 . 1 5	1 . 3 4	1 . 2 3	5 . 3 1
B + M	1 . 3 2	1 . 3 6	1 . 2 6	1 . 0 6	1 . 4 6
B + A	0 . 5 3	0 . 6 3	0 . 9 4	0 . 8 6	0 . 2 8

表2 ファンイン総数の比較

# of circuits (# in / # out)	# 1 (5 / 5)	# 2 (8 / 2)	# 3 (8 / 4)	# 4 (8 / 4)	# 5 (9 / 7)
M. (manual)	5 4	5 5	5 8	3 6 8	1 2 4
A. (COMPO with OVFG)	1 4 3	1 2 3	9 1	4 2 8	7 0 4
B. (COMPO with TVFG)	7 2	7 1	7 3	3 6 1	1 9 2
A + M	2 . 6 5	2 . 2 4	1 . 5 7	1 . 1 6	5 . 6 8
B + M	1 . 3 3	1 . 2 9	1 . 2 6	0 . 9 8	1 . 5 5
B + A	0 . 5 0	0 . 5 8	0 . 8 0	0 . 8 4	0 . 2 7

4.2 ファンアウト制限

図13は、ファンアウト制限を変化させた場合のCOMPOの合成ゲート数を示している。この図はCOMPOで合成する二つの回路方式において、本来の論理を実現するだけの場合に対して、ファンアウト数の調整のために追加されるゲート数を表わす。ファンアウト制限がない場合もTVFGを用いた方式が冗長性で勝っている。

4.3 計算機時間

表3は回路合成に要したCPU時間である。計算機はMELCOM-COSMO 900IIである。因子化までの計算機時間は回路の特性に依存し、回路変換の計算機時間は回路規模にほぼ比例している。

5 考察

評価に用いた回路のうち、#1, 2, 5は特定の入力ビット間の関係が強いものであり、#3, 4は入力ビット間の関係が均等あるいは不明である。人手設計においては、一般に前者の回路に対しては非常に冗長性の少ないものが実現できるが、後者ではそれが難しい。

表3 合成に要した計算機CPU時間

# of circuits	# 1	# 2	# 3	# 4	# 5
gate counts	4 1	4 5	4 4	1 9 5	1 0 4
time 1 (因子化まで)	5.2	4.0	2.1	42.0	260.2
time 2 (回路変換)	31.2	37.9	39.7	132.5	73.2
total time	36.4	41.9	41.8	174.5	333.4

(unit:SEC)

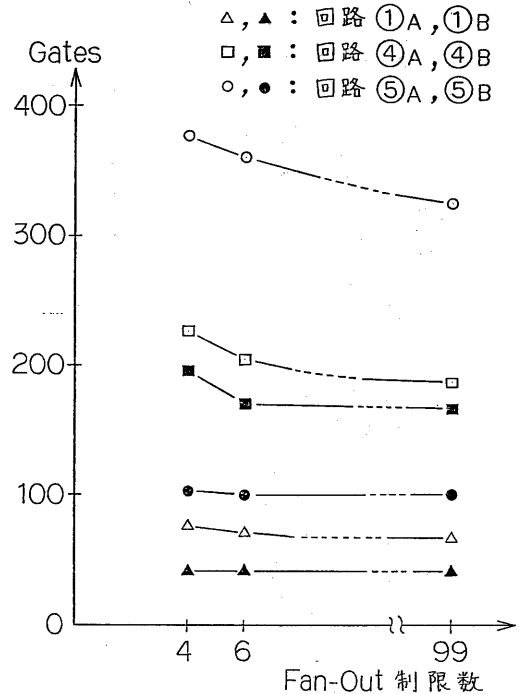


図13 ファンアウト制限数と合成ゲート数

TVFGを用いてCOMPOで合成する場合、この程度の回路規模の範囲では、回路特性にあまり影響されずに安定した品質のものが得られる。

入力ビット数が更に増えると、TVFGを用いる方式においても合成結果の冗長性が増大することは予想される。しかしながら、人手による非冗長設計

は、より困難となるため、設計工数の上でも、回路品質の上でもCOMPOの有用性が向上すると思われる。

計算機時間に関しては、入力ビット数が多い場合因子化までの処理時間が増加することが予想される。そこで、COMPOへ入力するデータとして、ドント・ケア表現を多用

した真理値表あるいは簡単化の達人だ
ブル式を入力することが望まれる。

6 おわりに

組合せ回路合成システム, COMPO
の概要と実験結果について報告した。
回路合成の手続きは以下のとおりであ
る。

- 1) キューブ表現変換
- 2) 論理簡単化
- 3) 因子化
- 4) 回路変換

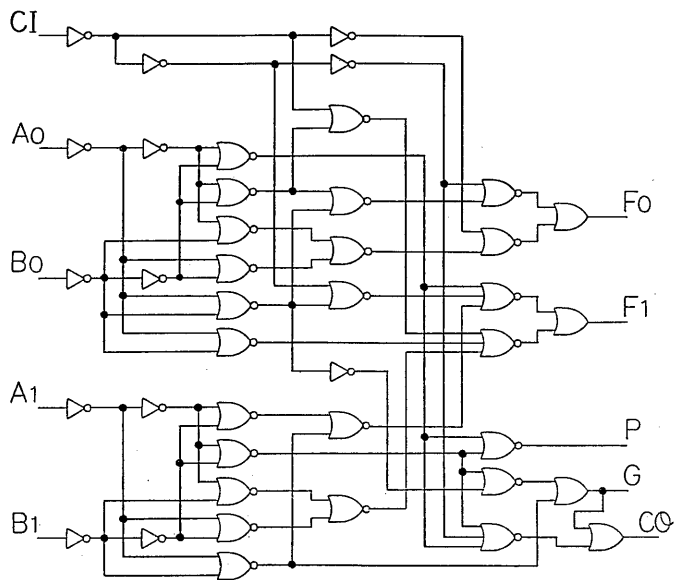
実験結果から得られたことを要約す
ると、

- 1) 合成すべき回路の入カビット間の
関係が均等あるいは不明の場合、
COMPOは有用なツールとなる。
- 2) TVFGを用いて合成された回路
は、OVFGを用いて合成された
回路より常にゲート数とファン
イン総数が少ない。

参考文献

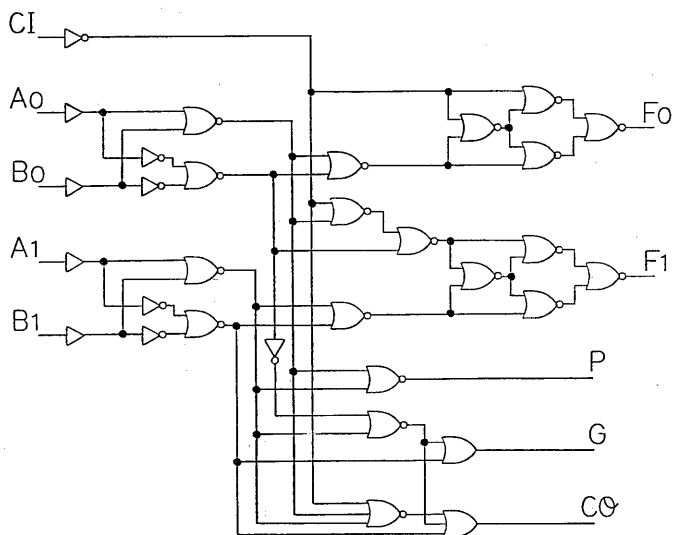
- 1) E.J. McCluskey Jr, "Minimization of Boolean Functions", Bell System Tech. J., vol. 35, NO. 6, pp. 1417-1444, Nov. 1956
- 2) 石川他, "プログラマブル・ロジックアレイの構成に関する基礎的考察(1)", 信学技法 EC79-12, 1980
- 3) S.J. Hong et al., "MINI: A heuristic approach for logic minimization", IBM J. Res. Develop., vol. 18, pp. 443-458, Sep. 1974
- 4) 南谷: "PLAの使い方", 産報出版, 1978
- 5) T. Sasao, "An application of multi-valued logic to a design of master-slice gate array LSI", 12th Int. Symp. on multi-valued logic, May 1982
- 6) C. Tanaka et al., "An Integrated Computer Aided Design System for Gate Array Masterslice: Part 1. Logic Reorganization System LORES-2", Proc. of 18th DAC, pp. 59-65, June 1981
- 7) 遠藤他, "ゲート自動合成プログラムの試作", 第25回(昭和57年後期) 情処全大, pp. 1335-1336
- 8) D.L. Dietmeyer, "Logic Design of Digital Systems", Allyn and Bacon, 1971
- 9) J.A. Darringer et al., "A New Look at Logic Synthesis", Proc. of 17th DAC, pp. 543-549, June 1980
- 10) 藤本, 嶋他, "組合せ回路合成システム - COMPO-(1)(2)", 第26回(昭和58年前期) 情処全大, pp. 1401-1404

付録 2ビット加算器のゲート構成



41 Gates

TVFGを用いたCOMPOによる合成



31 Gates

人手設計