

## 回路分割を前処理とするゲート割り付け手法

柿沼守男, 辻裕生, 村井真一

(三菱電機(株) 情報電子研究所)

### 1. はじめに

ゲートアレイ 配置設計問題におけるチップ構造モデルはゲートアレイの現実のチップ構造と自動配置アルゴリズムにより様々に異なる。ゲートとスロット(チップ上に定義されたゲートの配置場所)の関係に着目すると

- 1) 1ゲートが1スロットに配置されるモデル
- 2) 1ゲートが隣接する複数スロットにまたがって配置されるモデル

他に、配置処理の階層的实施(図1)を前提にした

3) 複数ゲートが1個のスロットに配置されるモデルも考えられている。3)のモデルにおいては同一スロットに配置されるゲート集合を求めることが必要になる。これは、ある割り付け規則の下でゲートを有限な部品に割り付ける問題であるが、ゲートアレイ配置設計問題の一部であるため、主に以下の難しさを含む。

- i) ゲート間の接続関係の考慮が不十分であると、以後の配置処理が高度なものであっても配線不能を引き起こすことがある。
- ii) ゲート間の接続関係を考慮しすぎると、部品に割り付けられないゲートが残って割り付け不能になることがある。
- iii) 与えられた部品の全てを使用しなくても割り付け可能である時、部品をどの程度使用すれば、良い割り付け結果を得られるかが明確でない。

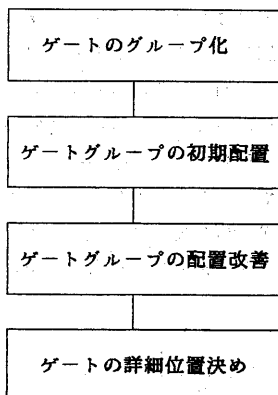


図1 階層的配置処理

割り付け手法として最大結合-最小非結合法<1>とクラスタ成長法<2>が代表的である<3>。しかし両者ともゲート間のローカルな接続関係を基準にして割り付け処理が実施される欠点を有する。さらに前者はゲートのグループ化処理が順次的に実施される欠点<3>と使用部品数の制御が不可能(常に部品数が最小)である問題を有し、後者には割り付けの核となる種の選択処理が最初に決められた種に依存する問題を有する。従ってゲートアレイのゲート割り付け手法として何れかをそのままの形で採用することには割り付け品質上問題があると思われたので、新しい手法を考案し、プログラムを作成し現実の問題に適用した。2節では当手法が仮定する割り付け規則を記し、3節で当手法を説明する。適用結果は4節に示される。

### 2. 割り付け規則

論理回路は複数種。複数個のゲートが信号により相互に接続されたものとして与えられる。一方、複数種。複数個の部品が準備される。ゲートの種類をゲートタイプ、部品の種類を部品タイプと呼ぶ。

ゲートタイプにはゲートサイズ、部品タイプには部品サイズと呼ぶ値が定義される。

個々の部品には残サイズ及び状態と呼ぶ値が定義される。ここで部品の残サイズはその部品タイプの部品サイズから、その部品に割り付けられている全てのゲートのサイズの和を引いた値である。部品の状態とは、その部品に、いかなるゲートタイプのゲートがどの様な順番で割り付けられたかにより決定される値である。部品の残サイズと状態は、新たにゲートが割り付けられる毎に更新される。

ゲートタイプと部品タイプには、ファミリーと呼ぶ属性が定義される。そのゲートタイプがAファミリーであるゲートは、その部品タイプが同じAファミリーである部品には割り付けられる可能性を有するがその部品タイプがAファミリーでない部品には決して割り付けられない。

あるゲートは以下の条件を全て満たす時に、ある部品に割り付け可能である。

- a) そのゲートタイプと部品タイプは同じファミリーである。
- b) そのゲートタイプは、その部品の部品タイプに割り付け可能であることが定義されている。
- c) そのゲートタイプは、その部品の現在の状態に割り付け可能であることが定義されている。
- d) そのゲートサイズは、その部品の残サイズより大きくない。

ファミリーは現実には次のごとく使用される。ある論理回路が内部ゲート集合およびチップ外界との入/出力バッファゲート集合から構成され、一方チップ構造も前者を配置できるスロット集合と後者を配置できるスロット集合から構成されている場合、ゲートタイプと部品タイプを2種のファミリーに分類する。

部品の状態は現実には次の様な場合に使用される。ある部品(サイズ=4)の内部は4区画に分かれているとする(図2.a)。一方、サイズが2である2種のゲートがあり各々上下2区画(図2.b)と左右2区画(図2.c)を使用するとする。この場合、前者2ゲートあるいは後者2ゲートならその部品に割り付けることを許し、前者と後者を1ゲートずつ割り付けることは許さない様な規則を処理するために部品に状態を定義する。

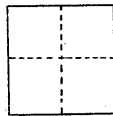


図2.a ある部品タイプ



図2.b ゲートタイプ1 図2.c ゲートタイプ2

### 3. 割り付け手法

当手法は前記手法に比較して次の特徴を持つ。

- i) ゲート間の接続関係はローカルではなくグローバルに把握される。
  - ii) ある割り付けアルゴリズムは与えられた論理回路全体に対して適用されるのではなく、ゲート間の接続関係を基準にして分割された各分割回路に対して互いに独立的に(並列的に)適用される。
- 当手法は4段階(図3)に分けられる。

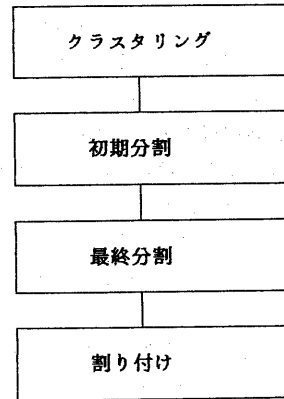


図3 割り付け処理

#### 3.1 クラスタリング

与えられた論理回路のゲートは、ゲート間の結合度を尺度にペア単位で結合(クラスタリング)される。以後ゲートやゲートが結合したものをクラスタと呼ぶ。この処理は文献<4>のクラスタリング処理と基本的には同じである。すなわち2個のゲート(クラスタ)  $i, j$  間の結合度  $CV_{ij}$  を(1)式のように定義し、この値が最大であるペアを結合する。但し結合度が最大で重複のない複数個のペアは同時に結合される。この様にして生成されたクラスタは、それ自身が次の結合処理の候補になる。クラスタリング過程はバイナリ木(クラスタリング木: 図4)として、表現できる。

$$CV_{ij} = F(S_i, L_i) \frac{CN_{ij}}{T_i - CN_{ij}} + F(S_j, L_j) \frac{CN_{ij}}{T_j - CN_{ij}} \quad \text{--- (式1)}$$

ここに  $C_{Nij}$  はクラスタ  $i, j$  間の接続度 (式2)、 $T_i$  と  $T_j$  は各々クラスタ  $i, j$  の全接続度であり、 $S_i$  と  $S_j$  は各々クラスタ  $i, j$  を構成するゲートの数、 $L_i$  と  $L_j$  は各々クラスタ  $i, j$  が生成された順番であり  $F(S_i, L_i)$  と  $F(S_j, L_j)$  はそれらのある関数である。接続度  $C_{Nij}$  は

$$C_{Nij} = \sum_{k \in I \cap J} W_k G(M) \quad \text{--- (式2)}$$

で与えられる。 $W_k$  は信号 (ネット)  $k$  の重み、 $I$  と  $J$  は各々クラスタ  $i, j$  を構成するゲートに接続されている信号の集合、 $G(M)$  はネット  $k$  を構成するゲート数  $M$  のある関数である。

また人手により割り付けを指定された場合には、同一部品への割り付け指定を受けているゲート集合はそれぞれ (式1) によるクラスタリングに先だって、強制的にクラスタリングされる。

クラスタリング木は結合度を基準とする論理回路の種々の分割を示している。もしクラスタリング木に対応してゲートの分割線を描くならば、その線は地図の等高線の様に見える (図5)。図4の木のL7レベル分割は図5の実線による分割に対応し、L3レベルの分割は図5の破線による分割に対応している。

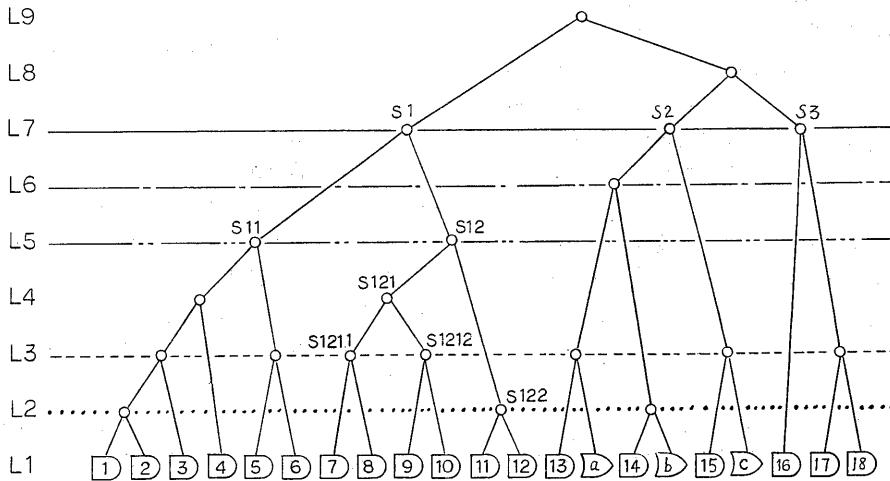


図4 クラスタリング木

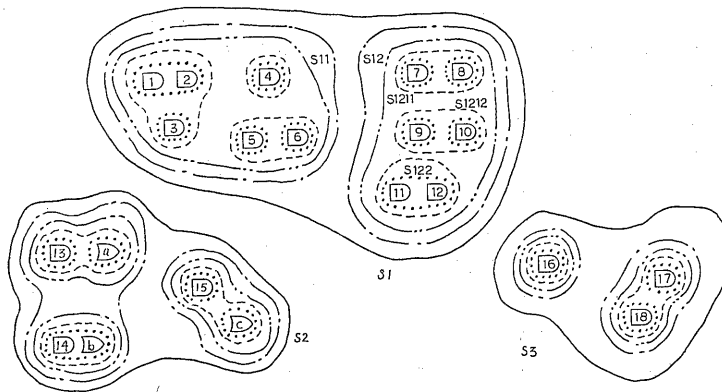


図5 結合度を基準とするゲート集合の分割

### 3.2 初期分割

各ファミリ毎に、クラスタリングにより得られた分割（図4では9通り）の内のひとつが初期分割として選ばれる。初期分割は、そのファミリの全てのゲートが割り付け可能である分割で、かつ、クラスタリング木におけるレベルが最低である分割である。

ある分割における割り付け処理は、その分割の各ゲート集合毎に、独立に実施される。またこの段階では、割り付け結果は重要ではなく、割り付け可能性のみが意味を持つ。そこで必要な部品数は最小になるがゲート間の接続関係は考慮されない割り付け処理が実施される。初期分割は各分割に対する割り付け試行により決定される。試行の順序はバイナリサーチ手法により決められる。図4の場合にはL9-L1-L5-L7又はL3-の順序になる。図4にて示されるゲートファミリ（□マーク）に関して3個以内のゲートを無条件に割り付けられる部品が7個準備されているとするならば、その初期分割は図5の実線による分割である。またバッファファミリ（○マーク）に関して3個以内のバッファゲートを無条件に割り付けられる部品が2個準備されているとするならば、その初期分割は図5の一点鎖線による分割である。

### 3.3 最終分割

各分割回路毎に独立に割り付け処理を実施しても割り付け不能にならない様な回路分割は、与えられた論理回路に対して、一般に非常に多数存在する。前節で得た初期分割は、その中のひとつである。この段階では初期分割を修正して最終分割を得る。修正法として、クラスタリング情報を利用したゲート集合の細分割化あるいは統合化を採用する。現実は何れを採るか、主に与えられた論理回路を割り付けるのに必要な最小部品数と準備されている部品数の比率（部品の最小使用率）に依存する。各ファミリ毎に、ゲート集合を細分割するか否か、統合化するか否か、がユーザーにより指定される。

#### (1) 細分割化

初期分割により得られたゲート集合の中には一般にさらに小集合に分割して割り付けても、必要な部品数が準備された部品数を越える程には増加しない様な（すなわち割り付け不能にならない様な）集合が存在する。そこで指定されたファミリ毎に細分割化がクラスタリング木の下方向に向けて、割り付け不能にならない範囲で繰り返し実施される。

前記例題において、ゲートファミリの細分割化が指定されていれば、図4のS1はS11とS12に、さらにS12はS121とS122に細分割されて、最後には図6に示される分割になる。

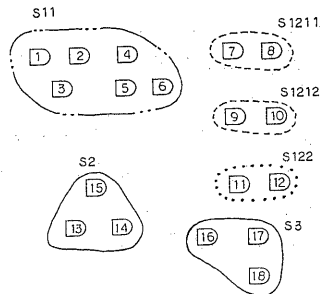


図6 最終分割

#### (2) 統合化

細分割化がクラスタリング木の下方向に向かう修正であるのに対し、統合化は上方に向かう修正である。ユーザーはクラスタリング木における高さの増分を指定する。前記例題において、バッファファミリの統合化が増分=1として指定されていれば、バッファファミリの最終分割は図5の実線による分割になる。

### 3.4 割り付け

各ファミリ毎に、最終分割により得られた各ゲート集合に対して、互いに独立に（並列的に）最大結合-最小非結合法に似た割り付け処理が実施される。この段階では必要な部品数を最小にするだけでなく、ゲート間の接続関係も考慮した割り付け処理が実施される。ゲート間の親密さを表す尺度には、クラスタリング木の上での2個のゲートを結ぶパス長が使用される。例題の割り付け結果は図7に示される。

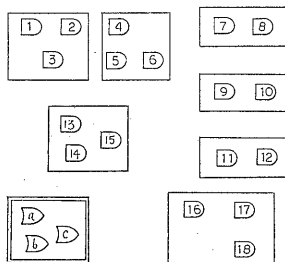


図7 割り付け結果

4. 問題への適用

4.1 適用問題

論理回路はOR系ゲート、ANDゲート、バッファゲートから構成される。OR系ゲートはm入力n出力 ( $m=1,2,3,4,5 / n=1,2$ ) であり、ANDゲートは2入力1出力である。問題は以下に定義される。

- (1) バッファゲートは割り付け対象外である。そこでバッファゲートを無条件に1個だけ割り付け得る部品が十分準備されていると考える。

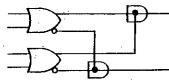


図8.a (3)の規則

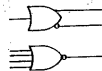


図8.b (4)の規則

- (2) OR系ゲートとANDゲートは同一ファミリであり、これらを割り付け得る部品が1種450個だけ準備されている。

- (3) 2個のOR系ゲートの出力信号が同一ANDゲートに入力している時、2個のOR系ゲートと1個または2個のANDゲートは同一部品に無条件に割り付けられねばならない(図8.a)。

- (4) (3)以外のOR系ゲートは、もし出力端子数の和が3以内で入力端子数の和が5以内であれば、最大2ゲートまで同一部品に割り付けることが可能である(図8.b)。

適用したゲートアレイの規模を表1に示す。表1の2行目は総ゲート数、3行目は上記(4)の規則により割り付けられるOR系ゲート数であり、そのために必要な最小の部品数が4行目に示されている。5行目は上記(3)の規則により割り付けが強制されるOR系ゲートとANDゲートの数であり、そのために必要な部品数が6行目に示されている。

表1 回路規模

回路名	A	B	C	D	E	F	G	H	I	J
総ゲート数	1195	1170	1119	1043	1012	1016	1170	1203	1073	1136
(4)のゲート数	512	621	533	601	673	681	632	581	697	626
必要な最小部品数	261	315	271	306	342	343	318	293	351	313
(3)のゲート数	568	438	484	337	227	219	438	519	282	405
必要な部品数	158	127	140	101	64	70	129	151	91	127

回路名	K	L	M	N	O	P	Q	R	S	T
総ゲート数	1033	1030	1240	1243	1063	1126	1104	1101	1136	1022
(4)のゲート数	638	708	503	575	700	667	657	659	577	729
必要な最小部品数	322	354	253	288	353	342	336	337	289	370
(3)のゲート数	311	216	625	552	269	347	347	347	443	177
必要な部品数	101	72	179	156	86	105	105	105	128	59

#### 4.2 適用結果

当手法の主な特徴である回路分割の影響を評価する。そのために前記ゲートアレイに対して、当プログラムを次の2つのモードで実行し結果を比較する。

- a) 極端な統合化を指定して、回路分割されない状態を強制的に最終分割状態とする。(これは最大結合-最小非結合法にほぼ等価である。)
- b) 細分割化を指定して、可能な限り分割された状態を最終分割状態とする。

割り付け結果の良/否をここでは当プログラムに続いて実行される初期配置プログラム<4>の配置結果から予想される総配線長で計ることとする。表2にて、回路分割しない場合の予想総配線長を100とした時に対する、分割した場合の結果を示す。表2に示す如く、全てのゲートアレイにおいて、回路分割により予想総配線長が減少した。その程度は8-33% (平均21%)であった。

また当プログラムの処理時間を表3に示す。計算機は MELCOM-COSMO モデル 900 II である。

#### 5. 結論

与えられた論理回路を、ゲート間のグローバルな接続関係に基づいて分割し、得られた各分割回路に対して独立に(並列的に)割り付け操作を施すことにより、全体の割り付けを実施するゲート割り付け手法を提案した。現実のゲートアレイの割り付け問題に適用した結果、回路を分割することの割り付け品質に対する有効性が確認された。また、その処理時間は十分実用的であった。

#### 6. 課題

当手法の割り付け品質は、与えられた論理回路が良く分割されるか否かに大きく依存する。分割されるか否かは、部品の最小使用率および割り付け規則に大きく依存する。従って、今後、分割不可能あるいは可能であってもひとつの分割回路に含まれるゲート数が非常に大きくなる問題を提示された時には、最大結合-最小非結合法の代わりにクラスタリング法を組み込むこと、あるいは回路分割法を改良すること、さらには、回路分割に頼らなくても十分な品質を期待できる新しい割り付け手法が必要になる。

表2 回路分割した場合の予想配線長

回路名	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T
予想総配線長	84	84	79	67	75	92	75	78	70	90	88	76	75	87	85	75	77	72	81	74

(回路分割しない場合の予想総配線長を100としている。)

表3 処理時間

回路名	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T
CPU Time (sec.)	98	95	93	114	124	92	113	107	96	92	81	78	105	107	102	164	121	119	99	100

(計算機 : MELCOM-COSMO モデル 900 II )

## 謝辞

さいごに、当手法開発の機会を与えて下さった情報電子研究所。情報処理開発部。首藤勝部長に感謝いたします。

## 参考文献

- < 1 > C.H.Haspel : The Automatic Packaging of Computer Circuitry , IEEE International Conv. , Vol.13 , pt.3 , pp.4-20 , 1965.
- < 2 > M.N. Weindling : A Method for Best Placement of Units on a Plane , Proc. of DA Workshop , 1964.
- < 3 > 樹下行三編: 論理装置のCAD 3.2 節  
(社) 情報処理学会
- < 4 > S. Murai et. al. : A Hierarchical Placement Procedure with a Simple Blocking Scheme , Proc. of DA Conference , 1979.