

## イン・サーキット・テストをサポートするCADシステム

室井克信 荻原拓治 橘田光弘 村井真一

(三菱電機株式会社)

## 1. はじめに

論理LSIの大規模化・高集積化はLSI単体の試験のみならず、これを実装した基板の試験をも困難にしつつある。このため、基板の試験には従来のテスト手法とは別に、部品の故障診断の容易なイン・サーキット・テスト手法を採用することが多くなってきている。

さて、今日の大規模論理回路(例えば電子計算機本体)の基板上にはSSI, MSI, 汎用LSI, カスタムLSI, RAM, ディスクリット部品(抵抗etc)など多種類の部品が搭載されている。基板のイン・サーキット・テストを行う上で一番問題となるのは、カスタムLSIやこれらを搭載したマルチ・チップ・モジュールである。以下に問題点を示す。

- (1) カスタムLSIやこれらを搭載したマルチ・チップ・モジュール(以下、試験対象モジュールと記述する)に対して任意のテストパターンを印加できることを保証するため、他のモジュール・部品の影響を受けない様にならなければならない。(=isolation)

これは、試験対象モジュールの回路規模の大ききからくるテスト時間の増大(バックドライブ時間の増大)による素子破壊・劣化を防ぐために必要となる条件である。

- (2) イン・サーキット・テストは基板上のMSI, マイクロ・プロセッサ等の標準部品についてはその部品情報・接続情報をテスト言語に自動変換し、ライブラリをもとにテスト可能性を判断してからテストする機能を持っている。しかし、カスタムLSIやマルチ・チップ・モジュールに対してはテストはこのような機能を用意しておらず、部品情報、テストパターンを全て人手で作成しなければならない。

本稿では、上記問題点を解決する、基板上に搭載されたカスタムLSIや複数LSIから構成されるマルチ・チップ・モジュールのテスト支援システムについて紹介する。このシステムでは以下の特徴的な手法を用いている。

問題点(1)については、論理設計段階で部品の出力を確実に抑止(disable)する手段を設けておき、イン・サーキット・テスト時に試験対象外部部品・モジュールの出力が抑止されていることをシミュレーション手法によって自動的に確認する方法を採用することで解決した。問題点(2)については試験対象モジュールが基板上に搭載された場合のテスト可能性を確認し、もし必要ならば回路ネットの論理を変更する手法と、試験対象モジュールの入出力ピンの故障(コンタクト不良、ブリッジ故障)を対象としたテスト・パターンを生成する手法を使用することにより解決した。

以下、第2章でカスタムLSIやマルチ・チップ・モジュールのテスト支援システムの概要を、第3章でこれらに対するイン・サーキット・テスト用チェックプログラムの処理内容を示すことにする。最後に第4章でイン・サーキット・テストに対応したテスト生成プログラムについて簡単に紹介する。

## 2. テスト支援システムの概要

先ず始めに基板のテストの概略について説明する。

基板に搭載されている個々の部品は、搭載前に全て試験されている。これは、カスタムLSIやマルチ・チップ・モジュールにとっても同様であり、既に存在するテスト生成システムによりテスト・パターンを作成し、試験されている。

基板のイン・サーキット・テストの処理は概ね以下の手順で行われる。

- 1) 部品間接続テスト
- 2) ディスクリット部品の計測
- 3) 市販LSI, MSI, SSIのテスト
- 4) カスタムLSIやマルチ・チップ・モジュールのテスト

本稿で説明するテスト支援システムは、上記4)のためのシステムである。ここで採用されているテスト生成法は基板搭載前のそれと同じであるが、搭載後の接続状態が考慮されている。

次に、基板に搭載されたカスタムLSIやマルチ・チップ・モジュールに対するテスト生成システムについて説明する。

このテスト生成システムは、既存のテスト生成システムにイン・サーキット・テスト用チェックプログラムを付加した構造になっている。図1に、この構成を示す。

回路抽出プログラムは、設計データベースから必要な情報を抜き出してきて、テスト支援システム用のデータ・フォーマットに変換する。ここで、基板の回路ネットとイン・サーキット・テストされる試験対象モジュール(カスタムLSI、マルチ・チップ・モジュール)の回路ネットが生成される。

MOGAC (MOdule GUArding Check program) はイン・サーキット・テストを行うための条件が整っているかどうかを検証し、その結果必要ならばテスト条件に合致する様に試験対象モジュールの回路ネットに変更を加える。また、テスト生成プログラムおよびTPG (test program editor) にテスト生成上有効な情報を提供する。このプログラムについては次章で詳しく報告する。

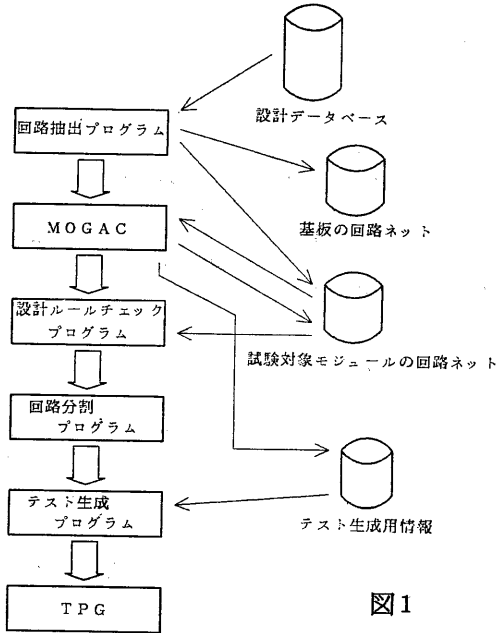


図1

設計ルールチェックプログラムは論理回路のテスト性を保証するために設定されている設計ルールに、対象モジュールが違反していないかどうかを検証する。このプログラムを通らなければ、以下の自動テスト生成プログラムを利用することができない。

回路分割プログラムは大規模な順序回路をテスト生成プログラムが扱える規模の組み合わせ回路に分割する。

テスト生成プログラムはテスト生成アルゴリズム

(三) (四) と故障シミュレータを組み合わせて、高品質なテストデータを自動生成する。モジュール試験のために、モジュールの入出力ピンの縮退故障、ブリッジ故障に対してもテスト生成を行う。このプログラムの処理については4章で簡単に説明する。

TPGはMOGACからの情報により、(1) 試験対象モジュールがテスト可能かどうかをテストするテストプログラムを作成する機能 (2) 試験対象モジュールの機能テストを行うテストプログラムを作成する機能を持っている。

以上、ここで取り上げたものは基板に搭載後のカスタムLSI、マルチチップ・モジュールのテスト生成を目的としたCADシステムである。イン・サーキット・テストをサポートするソフトウェアはこの他にも部品情報の抽出プログラム、フィクスチャ製造用データの自動発生プログラム等CAM/CAT関連のものが必要であるが本稿では触れないことにする。

### 3. MOGACの処理内容

#### 3.1 概要

前述した様に試験対象モジュールのイン・サーキット・テストを実行するためには、そのモジュールがisolationされていることを確認する必要がある。isolationとは試験対象モジュールの入力ピンに接続されている信号の値をlow(disable値とする)レベルに抑止することで、他の部品の影響全く受けない状態にすることである。MOGACはモジュールを搭載している基板の回路ネット上で信号値をトレースすることにより、試験対象モジュールがisolationされていることを確認する。

また、MOGACはイン・サーキット・テストをするために試験対象モジュールの回路ネットに変更を加える機能を持つ。これは基板上の配線状態が原因で、試験対象モジュール単体の時と同様なテストパターン生成を行うと、実際の回路のふるまいと不一致が生じてしまう可能性があることから必要となる機能である。

基板のテスト時には、試験対象モジュールのテストは完了している。つまり、試験対象モジュールのテストパターンは作成済みである。もし、このテストパターンが基板上に搭載されている試験対象モジュールのイン・サーキット・テスト時にも流用可能ならば、新たなテスト生成を行う必要がない。MOGACはこのような可能性の有無についても判断している。

#### 3.2 isolation検証

試験対象モジュールの入力に至る信号の値がlowレベルであることをシミュレーション手法により確認する。(図2 参照)

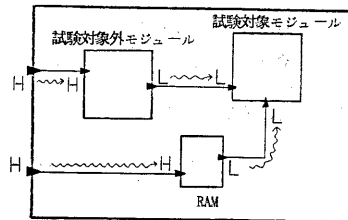


図2

イン・サーキット・テスト時に基板の一次入力をhigh/lowレベルに固定することを考慮する。これは、試験対象モジュールのisolationのために試験対象外モジュールとその他の部品の出力を抑止するためである。

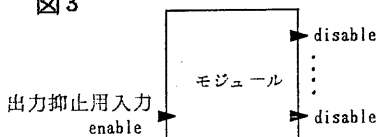
シミュレーションにおいては、通過する種々のタイプの素子・部品によってそれ特有の検証を行う。以下にその様子を示す。

### ①カスタムLSI、マルチ・チップ・モジュール

全てのカスタムLSI、マルチ・チップ・モジュールはその出力値をlowに抑止する手段を持つとする。その一つの方法として、モジュール内部に出力抑止用の論理を持つものが考えられる。本稿ではこれを例に選ぶ。

出力抑止用の論理は一次入力からコントロールできることが保証されているとする。この一次入力を出力抑止用入力と呼ぶことにする。(図3 参照)

図3



試験対象モジュールの場合は 出力抑止用入力で出力を抑止しない制御信号値が至っていることを検証する。

試験対象外モジュールの場合は 出力抑止入力で抑止用信号値が至っていることを確認する。さらに、そのモジュールからlowレベルの信号値を前方へ伝搬させる。

なお、出力抑止用信号が基板の一次入力からコントロールされるのではなく、図4の様に基板上のGND、VCCラインに接続されている場合がある。

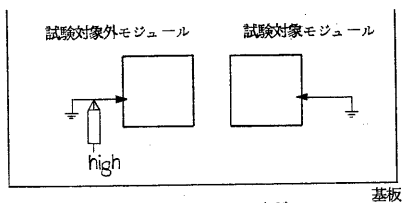


図4

この場合はモジュールがテスト対象であるかどうかによらず、出力抑止用信号レベルと逆のレベルを持つラインに接続されていることを確認する(出力enable状態になっていることを確認する)。そして 試験対象外モジュールについては、イン・サーキット・テスト時のプローブピンによって出力を抑止することを指示する情報をTPGへ渡す。

### ②MSI

MOGACがライブラリとして、MSIの真値表を持っており これを用いてシミュレーションする。

### ③RAM/ROM

チップセレクト端子 など 出力をdisable状態にすることのできる端子に抑止用信号値が伝搬していることを確認する。正しく抑止信号が伝わっていたら RAM/ROMの出力からlowレベルの信号を伝搬させる。

### 3.3 試験対象モジュールのテスト性検証

試験対象モジュールのイン・サーキット・テストを保証するために入出力ピンに接続されている信号のレベルをチェックする。

#### (1)入力ピンの検証

試験対象モジュールの全入力ピンにlowレベルの信号が伝搬していることを確認する。もし、一部の入力ピンにhighレベルの信号が伝搬していたら、このピンに対してバックドライブすることはできないのでエラーとする。

入力ピンに不定値が伝搬している場合は、その原因が同一試験対象モジュールからのフィードバックループである場合を除いて isolationの失敗であると判断する。

以上の様子を 図5 に示す。

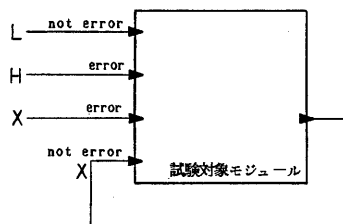


図5

さらに 図6 の様に同一信号が試験対象モジュールの複数の入力ピンをドライブする回路ネットについてもチェックする。

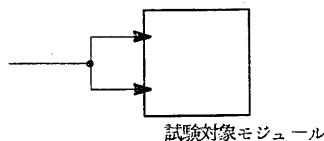


図6

図6 の回路構造を考慮しないで 試験対象モジュールについてテスト生成すると、該当2ピンに異なるテスト信号値 (<0, 1>, <1, 0>) を割付ける可能性がある。このパターンは 実際のテスト時には、両ピンが接続されていることから どちらも<1, 1>となってしまう。したがって テスト出力と期待出力に不一致が生じる。MOGACは、後述する様に、試験対象モジュールの回路ネットに変更を加えることによって この問題を解決している。

②出力ピンの検証

試験対象モジュールの出力ピンから前方を観測し、テスト生成上問題となる回路構造を発見する。

- ①同一試験対象モジュールの出力がWORされている。

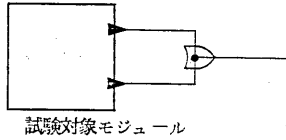


図7

図7の回路では、出力ピンに別々の期待出力を仮定しても、実際のテスト時には同一の信号値になってしまうので、両ピンとも同じ信号値を出力する様に試験対象モジュールの回路ネットに変更を加えた。

- ②試験対象モジュールの出力と試験対象モジュール以外の出力がWORされている。

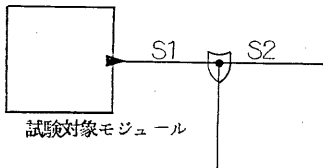


図8

図8において、S2の信号レベルがhighもしくは不定値であると、イン・サーキット・テスト時に試験対象モジュールの出力を正しく観測することができない可能性がある。このような場合にはS2をlowにする手段を選択することを利用者に知らせる。

- ③同一試験対象モジュールでフィードバックループがある場合。

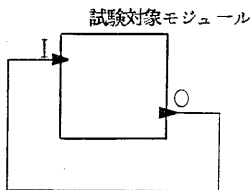


図9

図9の回路で、入力ピンIにテスト信号を与えて、出力ピンOで回路の出力を観測することはできない。入力ピンIは自らのモジュールの影響を受けるので、テスト生成の際にはこのことを考慮して、回路ネットの構造を変更しなければならない。

3.4 テスト生成のための回路変更

前節で述べた様に、基板上に搭載された試験対象モジュールのイン・サーキット・テスト用のテストパターンを発生させるために、試験対象モジュールの回路ネットを変更する場合があります。

- (1)入力ピンがショートしている場合

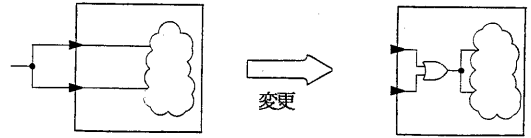


図10

図10の様に回路変更を行うことにより、試験対象モジュールの回路ネットについては同一信号値が伝搬することが保証される。しかし、入力ピンについては0縮退故障を発見するパターン生成において、該当両入力ピンのテスト信号値が異なってしまう。しかし、テストは両入力ピンに異なる信号値を印加することができない。そこでMOGACはこの様な入力ピンの情報をテスト生成プログラムへ送り、テスト生成プログラムはこの情報を元にパターン生成を行う。

- (2)試験対象モジュールの出力がWORされている場合

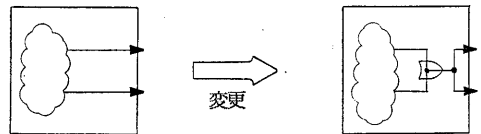


図11

図11の様に回路変更を行うことにより、該当出力ピンには必ず同一の出力値が現れることが保証される。しかし、出力ピンの故障に関しては(1)と同様な問題が発生するため、この情報をテスト生成プログラムに渡す必要がある。

- (3)試験対象モジュールでフィードバックループがある場合

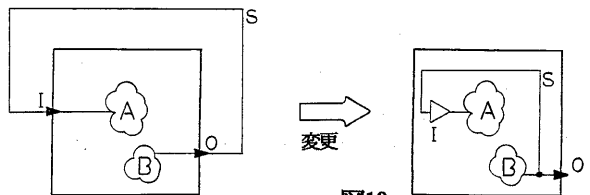
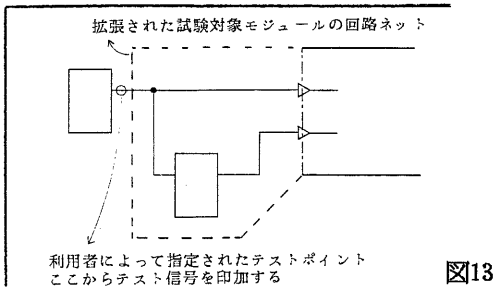
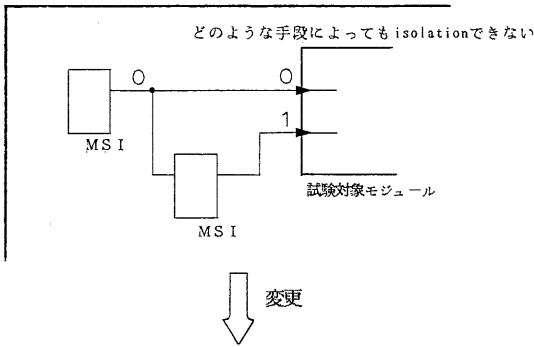


図12

図12 の様に入力ピンIはバッファに変換され、フィードバックループは試験対象モジュールの内部に取り込まれる。信号Sは出力ピンOの観測用に使われる。入力ピンIに対するテスト信号は回路B, 信号Sを通して供給されることになる。

(4)試験対象モジュール単体でのisolationが不可能であるが、テストポイントをずらせばテスト可能な場合。

この種の回路をプログラムで自動的に認識することは困難である。(ただし、isolationできないことは判明する) 解決法は設計者の指定によって、基板上の回路を試験対象モジュールの回路ネット内に取り込むことである。図13 に例を示す。



#### 4. 自動テスト生成システム

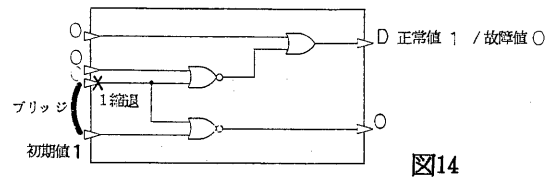
自動テスト生成システムは いかなる実装レベルであっても高品質のテストパターンを生成するプログラムである。試験対象モジュールのテスト生成においては、内部論理はもちろん 搭載モジュールのバウンダリー (入出力ピン) の縮退故障 (コンタクト不良を示す) とブリッジ故障を検出する機能テストパターンを発生させる。テストには 配線間ショート, ピン間ブリッジ故障を検出する機能を持つものがあるが、後述する (2) の様にブリッジ故障を検出するパターンをアルゴリズムに求めておく必要がある場合もある。

試験対象モジュールと基板とのコンタクト不良はモジュールの入出力ピンに縮退故障を仮定すればよい。したがって、以下ではブリッジ故障に対するテスト生成法について記述する。ブリッジはカスタムLSIやマルチ・チップ・モジュールの隣接2ピン間に存在し、この故障によりworが形成されるとする。また、テスト生成の簡単さから、ブリッジ故障により回路が順序回路化されることはないを仮定する。

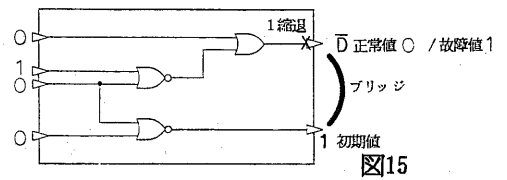
(1)試験対象モジュールの一次入出力ピンのブリッジ故障

隣接ピン的一方に1縮退故障を仮定し、他方のピンの初期状態を1としてテスト生成することにより隣接ピン間のブリッジ故障を検出することができる。次に三個の場合について例を示す。

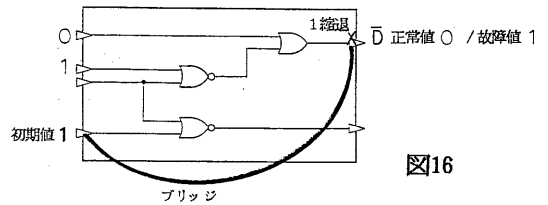
①隣接ピンが入力ピン同志の場合



②隣接ピンが出力ピン同志の場合



③隣接ピンが出力ピンと入力ピンの場合



## (2) マルチ・チップ・モジュール中のLSIのピン間ブリッジ故障

マルチ・チップ・モジュール内部のLSIピン間ブリッジを検出するパターンを生成する。検出法は(1)と同様である。

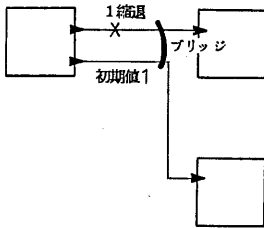


図17

## 5. まとめ

本稿では基板のテストをサポートするテストシステムのうち、基板に搭載されたカスタムLSIやマルチチップ・モジュールに対するテスト支援システムについて報告した。

このシステムの特徴は以下の点である。

- (1) 基板に搭載されているモジュールのイン・サーキット・テストが素子破壊の危険性無しに実行できるかどうかを検証する。そして、この情報はTPGへ渡され、TPGではテスト性をチェックするテストプログラムを生成する。実際のテスト時には、テスト性チェックテストの完了後、問題がなければ、試験対象モジュールに対する機能テストを行う。
- (2) 自動テスト生成プログラムで発生したテストパターンと現実の回路の振る舞いとの間で矛盾が起きる可能性のある基板上の回路構造を認識する。そして、このような矛盾が発生しない様に試験対象モジュールの回路ネットに変更を加えてテスト生成する。
- (3) テスト生成プログラムはモジュール内部論理の故障のみならず、入出力ピンに対してもテスト生成する。

現在のプログラムはECL回路を前提に作成されているが、今後は他デバイスへの適用、別の実装方式への対応等も図っていくつもりである。

## 6. 謝辞

最後に、本研究開発の機会を頂いた首藤勝博士と有益な御助言・御指導を頂いた清尾克彦氏、高瀬和彦氏に感謝します。

## 7. 参考文献

- (一) M. Correia and F. B. Petrini, "Introduction to an LSI Test System", 14th DAC, p460-461, June, 1977.
- (二) E. B. Eichelberger and T. W. Wileams, "A Logic Design Structure for LSI Testability", 14th DAC, p462-468, June, 1977.
- (三) 荻原 村井 高松 樹下 藤原, "トリステート, 双方向性バス回路を含むスキャン方式適用回路のテスト生成", 第58年前期情報処理学会全国大会
- (四) T. Ogihara et al., "Test Generation for Scan Design Circuit with Tri-State Modules and Bidirectional Terminals", 20th dac, p71-78, June, 1983.