

ビルディングブロック型スタンダードセル方式LSIの一配置手法

神戸尚志、藤原紳一、小嶋格、西岡郁夫

シャープ株式会社 コンピュータシステム研究所

1. はじめに

LSIの大規模化、多機能化に対処するため、階層的レイアウト手法による設計自動化技術が多く研究されている。これらは自動レイアウト方法によって次の2つに大別される。

(1) 機能ブロック方式

図1に示すように、自動もしくは人手によりレイアウトされた機能ブロックを配置・配線する事により、チップを実現する手法[1,2,3]。

(2) ビルディングブロック型スタンダードセル方式

図2に示すように、機能ブロックレベルで配置を行い、スタンダードセルで構成された機能ブロックをすべて展開し、人手設計等の機能ブロックと一括配線する手法[4]。

これらは共に機能ブロックの配置を階層的に行なう点で共通しており、文献[3,4]では機能ブロック配置に関して発見的手法を提案している。しかし、これらの解法の良さはチップから機能ブロックへの分割結果に強く依存しており、これを含めた最適化が問題となる。ビルディングブロック型スタンダードセル方式において、スタンダードセルで構成された機能ブロックをすべて展開し、人手設計等の機能ブロックと一括配置する手法を用いれば、分割処理は不用となり、チップレイアウトの最適化が容易となると考えられる。

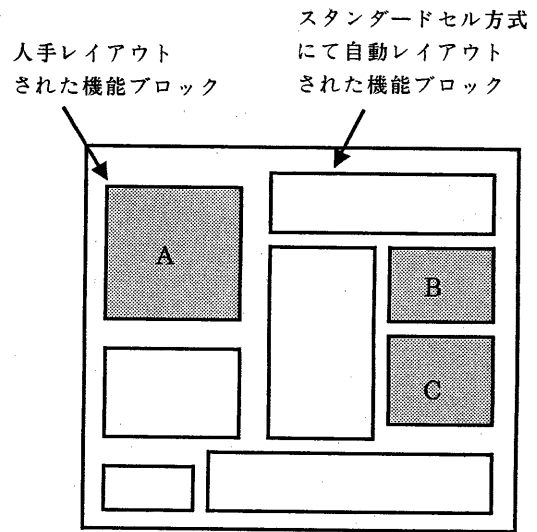


図1 機能ブロック方式の例

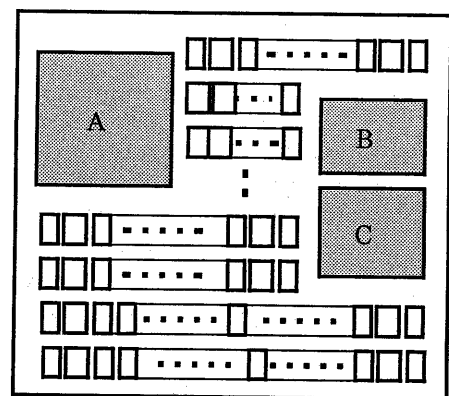


図2 ビルディングブロック型スタンダードセル方式の例

そこで、本文ではこの配置手法を機能ブロックの配置と、残された多角形領域中でのスタンダードセルの配置の2段階に分けて行う方法を提案し、特に多角形領域中でのスタンダードセルの初期配置及び配置改善の発見的手法について述べる。

本手法は次のような特徴を持つ。

- (1) チップ上の局所的に配線混雑が予想される箇所に対し、それを含む一定の大きさの部分領域を動的に抽出し、その中のスタンダードセルを対象としてシャフリング手法[5]による配置改善を行う。シャフリング手法は同時に複数のスタンダードセルを対象として配置改善を行うため、初期配置に依存せず、最適化を進める事が出来る。また、局所的な配線混雑箇所のみ注目して配置改善を行うため、不用な配置改善処理が行われず、高速である。
- (2) 配置改善において注目している部分領域とそれ以外の領域との間の結線要求を評価する為に、概略配線による径路予測を用いている。これにより、配線径路を考慮した配置改善を進める事が出来る。

2. 問題の定義

ビルディングブロック型スタンダードセル方式の配置問題を考えるために、本文では次のようなレイアウトモデル(図3)を導入する。

- (1) チップは機能ブロック(以下、スーパーセル)とスタンダードセル(以下、セル)で構成され、その外形は矩形であり4辺上に外部入出力端子を持つ。
- (2) スーパーセルは任意の大きさの矩形で、端子はその4辺上の任意の位置に存在してよい。

また、配線はスーパーセル及びセル上の配線禁止領域以外を貫通してよい。

(3) セルはほぼ同じ高さであるが、その幅は任意である。また、セルはその上下辺には電氣的等価な信号の入出力端子を持つ事が出来る。

(4) セルはスーパーセルの配置された領域を除いて、何行かのアレイ状に配置される。

(5) 隣接する行及びスーパーセル間の水平領域と、(スーパー)セルと(スーパー)セルの間の垂直領域はチャンネルと呼ばれ、配線領域として用いられる。

以下ではネットとは同電位に接続すべき端子の集合を言う。行セグメントとは左右端をスーパーセルもしくはチップの辺で囲まれた一行のセルの集合を言う。

スーパーセルの配置は結線要求以外に幾つかの電氣的条件を満足する必要があるため、人手により与えられるとする。

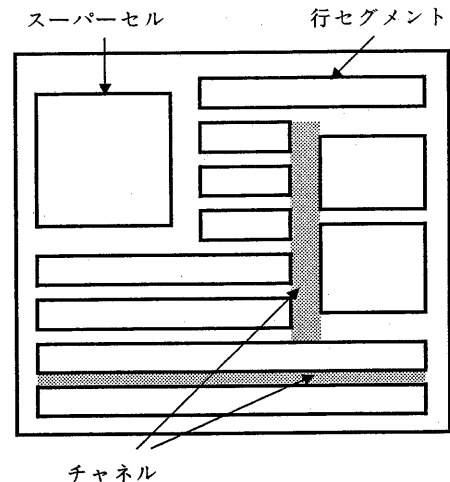


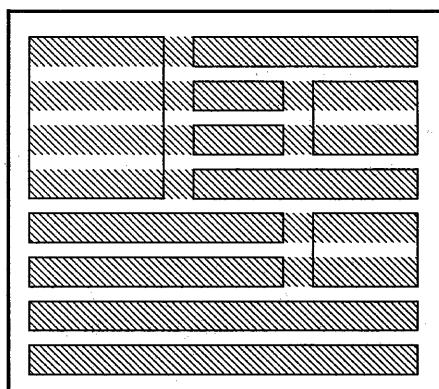
図3 レイアウトモデル

よって、このビルディングブロック型スタンダードセル方式について、スーパーセルの相対位置が与えられた時、残る領域にセルを配置する問題について考える。即ち、

[問題]『ビルディングブロック型スタンダードセル方式において、与えられたスーパーセルの相対位置を保存しながら、スーパーセルの絶対位置を求め、かつ面積最小となるようセルを配置せよ。』

ただし、この時セル集合の分割処理を避ける為、セルが配置される領域の外形は一つの多角形とする。

以下にこの問題に対する発見的手法を提案する。



疑似アレイ (スーパー)セル

図4 疑似アレイ

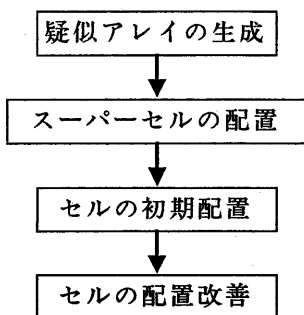


図5 概略処理手順

3. 配置手法

本手法ではまず、各スーパーセルはセルから構成されており、それらを展開してチップ全体をセルのみでレイアウトを行うと仮定し、疑似的なアレイ(以下、疑似アレイ、図4)を生成し、そのアレイ上にセルとスーパーセルを割り付ける。次に多角形領域中にアレイ状にセルを初期配置する。最後に動的に部分領域を抽出し、それに対してセルの配置改善を行う。提案する手法は図5に示す処理手順よりなる。以下にその具体的内容について述べる。

3.1 疑似アレイの生成

まず、各スーパーセル中に想定されるセルの段数およびその総面積の算出を行う。次にこの値をもとに、チップの形状が正方形に近くなるように行の段数 Ncl を式(1)を用いて求め、疑似アレイを生成する。ここでセル間の配線領域の大きさは経験的データに基づいて設定する。

$$Ncl = \lambda * (Sstn + Ssp)^{1/2} / (R^{1/2} * Y) \quad (1)$$

ここで

Sstn : セルの合計面積

Ssp : スーパーセル中の疑似アレイにおけるセルの合計面積

Y : セルの平均高さ

R : チップの縦横比

λ : 配線面積に関係した定数

ただし、ここで求めたセル行の段数は、セルの配置の後のネットの分布やスーパーセルの相対的位置関係により変更する場合もある。

3.2 スーパーセルの配置

与えられたスーパーセルの相対的位置は以下の条件を満足するものとする。

(a)配線処理においてチャンネル配線の順序制約にループが発生しない。

(b)すべてのスーパーセルの間で重なりが無い。

(c)セルが配置される領域の外形は一つの多角形からなる。

スーパーセルの絶対位置は、上記の条件を保持しながら、疑似アレイ上のセル行にスーパーセルの下端を一致させて得る。この手続きが適用された後にセルの配置すべき実際のアレイの形状が確定する。

3.3 セルの初期配置

セルの各行への割付はクラスタ成長法を用いて行う。クラスタの種類は、相対的に幅の広いセルの中から相互に接続関係の弱いものを選ぶ。種の個数は、行セグメントの数である。最小の幅を持つ行セグメントに対し、その行セグメントとその周辺に存在するスーパーセル及び外部端子に最も結合度の高いセルを割付ける方法により、各行セグメント幅が満足されるまでクラスタ成長を行い、初期配置を完了する。

3.4 セルの配置改善

チャンネル内の無効領域を増加させ、チップ面積が増大する主な原因の一つとして、チャンネル内での配線の局所的な混雑が挙げられる。そして、図6の例のように、局所的な混雑はその近傍に存在するセルによる接続要求以外にそこを単に通過する配線が存在する事に起因すると考えられる。そこで本文では、多角形領域中にアレイ状に初期配置されたセルに対し、局所的混雑箇所を通過する配線の削減を目的として部分領域を動的に設定し、それに対し配置改善手法を適用する。

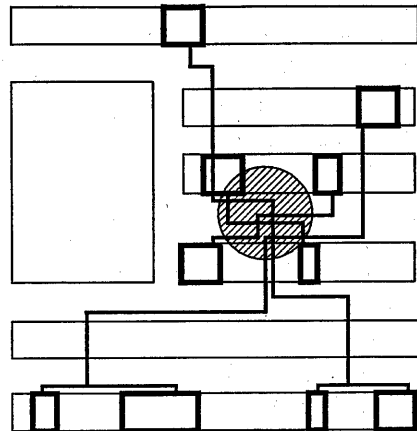


図6 局所的な混雑の原因

ここでは、混雑度評価及び注目した部分領域と他の領域との間の接続要求評価法、シャフリング法、及び部分領域に含まれるセルに対する配置改善法について述べる。

3.4.1 配線要求評価法

セルの初期配置が完了した時点で、各チャンネルの配線の混雑度マップの作成を行う。そして、全てのネットについてこのマップの領域単位での概略配線を行い、カットラインの通過毎に重みを与える。このマップを参照する事によりチャンネル内での最大混雑領域の決定及び混雑に寄与しているネットを抽出することが可能となる。

[混雑度マップの作成法]

図7で示すように、モデルを点線で囲まれた矩形領域に分割する。これを混雑度マップと呼び、点線、矩形領域をそれぞれグリッド線、ウィンドウと呼ぶ。混雑度マップの水平グリッド線はセル行の中心を通り、垂直グリッド線は任意の間隔をもってセル行上を通るように引かれる。

概略配線はこの混雑度マップ上で、配線径路を決定する。即ち、各々のウィンドウに含まれる端子はすべてそのウィンドウの中心に置かれているものとし、ウィンドウの各辺には、配線混雑度を、実際に各辺に直交して配線されたネットの本数で定義して与える。

3.4.2 部分領域に対するシャフリング法

シャフリング法とは、行(または列)にあるセルの集合単位で配置改善を行うものであり、本文でこれを部分領域中の行に対してまず適用し、次に行への割り付けを保存しながら列に対して適用する(図8)。各セルはその中心が含まれる箇所をそのセルの列とする。また、他の領域との結線要求は混雑度マップ上の概略配線により得られた結果に基づき、部分領域の4辺に仮想的な外部端子を生成する事で考慮される。

[シャフリング法の概要](図9)

- i) セルのクラスタ C_1, C_2 を一時的に一つのクラスタ C_{12} に併合する。
 - ii) C_{12} 以外のクラスタをそのままにしてクラスタ C_1, C_2 を貫通するネットの総数が最小となるように、 C_{12} を C_1', C_2' に再分割する。
 - iii) 同様の操作をクラスタ C_2', C_3 に行い、以降 C_{m-1}, C_m まで繰り返す。
 - iv) 次にクラスタ C_{m-1}', C_{m-2}' から始めて、 C_2'', C_1' まで繰り返す。
- 以上の手続きをシャフリングの単位操作とする。

ここで、 m はクラスタ数(即ち、行または列の数)をいう。

3.4.3 シャフリング法を用いた配置改善法

配置改善は以下の手順で行う。

- (1) 最大混雑箇所内を通過する全て

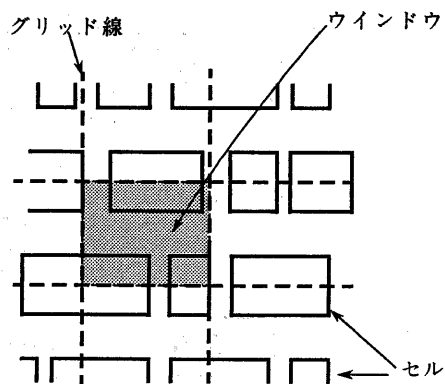


図7 混雑度マップ

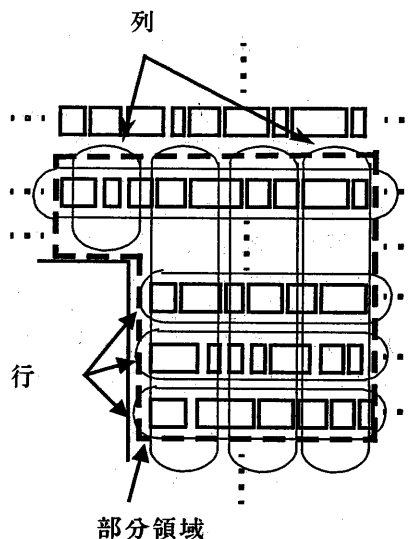


図8 部分領域におけるシャフリング法

のネットについてその端子が分布する最小矩形をマップのウィンドウの集合で抽出し、

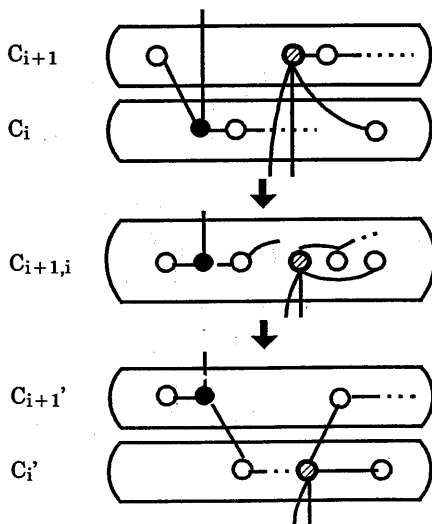


図9 シャッフリング法

(2) もしその最小矩形がある値以上に大きければ、

- i) この最小矩形を互いに一定幅の重複を持つ複数個の矩形へ分割し、
- ii) 各矩形について、混雑度マップ中の概略配線結果を用いて、仮想的外部端子を生成する。
- iii) 混雑の原因となる配線が混雑箇所からそうでない領域へ移動するよう、その分割された矩形を順序付けて、
- iv) 各々の分割された矩形に対し順次、シャッフリング法を適用する。

そうでなければその領域全体に対して、混雑度マップ中の概略配線結果を用いて仮想的外部端子を生成した後、シャッフリング法を適用する。

(3) 概略配線を再び行う。

(4) (1)、(2)、(3)を反復し、混雑度マップ全体についてグリッド線上のカットライン数の平均値及び分散値がある値以下になることを終了条件とする。

ただし、注目した部分領域にスーパーセルの一部が含まれていた時、その入出力端子は部分領域の仮想的外部端子として扱い、配置は変化させない。

4. 結び

本論文ではスーパーセルを含むスタンダードセルLSI自動配置手法を提案した。現在性能の評価・検討を行っており発表時に若干の報告を行う予定である。

今後、局所的混雑緩和処理における配置改善領域の最適化、及び改善適用順序の最適化についての研究や、配線混雑評価の結果を反映してセル段数も変更するような再配置処理等の検討を進めている。また、現在開発中のチッププランニングシステムにも統合し、論理の分割・併合からレイアウトセルの割り付け、チップフロアプランニング、配置・配線処理まで一貫して一台のワークステーション上で実行できる環境を実現すべく開発を進めている。

5. 参考文献

- [1]K. Kani, H. Kawanishi, and A.Kishimoto, "ROBIN:A building block LSI routing program," Proc. IEEE International Symposium on Circuits and systems, 1976 pp.658-661.
- [2]T. Chiba, N. Okuda, T. Kambe, I.Nishioka, T.Inufushi, and S.Kimura, "SHARPS: A hierarchical layout system for VLSI," Proc.ACM IEEE 18th Design Automation Conference, pp.820-826, July 1981
- [3]北沢、安達、上田、“大規模高密度レイアウトプログラム:ALPHA-II”、情報処理学会 設計自動化 83-19-4
- [4]三浦、茂垣、小沢、“VLSIブロック自動配置手法”、情報処理学会 設計自動化 84-24-3
- [5]T. Kambe, T. Chiba, S.Kimura, T.Inufushi, N. Okuda, and I.Nishioka, "A placement algorithm for polycell LSI and its evaluation," Proc.ACM IEEE 19th Design Automation Conference, pp.655-662, June 1982.