

ハードウェアルータの一考察

緑川博子^{#1} 能登山裕樹^{#1} 阿左美真一^{#1} 小山直和^{#1} 河本達也^{#2} 石塚昭夫^{#2} 岩下正雄^{#2}

日本電気㈱, ^{#1}日本電気技術情報システム開発㈱, ^{#2}日本電気テレコムシステム㈱

1. はじめに

LSI、プリント板の規模が拡大するにつれ、配線処理時間が増大している。最近では大型計算機におけるアルゴリズム研究だけでなく、並列処理による処理高速化を目指したシステム(1)~(6)の開発研究も盛んになりつつある。

このような並列処理方式をとるシステムの多くは、二次元アレイプロセッサ構成で、配線アルゴリズムとして迷路法を主に用いている。処理並列性を抽出する手法としては、各プロセッサが配線領域の1セルまたは複数セルの情報を持ち、迷路法の拡散処理(2)~(5)(マーキング)におけるウェーブフロント上のセルの経路探索を並列に行う方法や、各プロセッサが配線領域全体の情報をそれぞれ持ち、異なったピンペアを担当してピンペア間の競合を避けながら並列に処理する方法などが提案されている。前者では配線領域サイズに比例した数のプロセッサ、後者ではピンペア数に比例した数のプロセッサと各々のプロセッサに配線領域を蓄えるためのメモリを用意することにより、処理の高速化を図っている。(6)

筆者らはパイプライン制御によるVLSIプロセッサチップ(7),(8)(ImPP, μ PD7281)8個をリング状に構成し、パソコンをホストプロセッサにすることにより、ハードウェア規模を抑え、小型かつ高速なハードウェアルータとしてPOEM (Pipeline Oriented Engineering Machine)(9),(10)を構築した。POEMはTIP-3をベースにハードウェアルータ用のソフトウェアを新たに開発し加えたシステムである。

以下ではPOEMのハードウェア上の特徴、POEMにおける並列性の抽出方法、さらにこれらの方法を用いて実プリント板データについて行った迷路法による配線処理実験を述べ、処理結果を考察する。

2. POEMシステム

図1にPOEMシステム全体の構成を、写真1にPOEMの外観を示す。

POEMではホストプロセッサとしてPC9800を用いている。ホストプロセッサはコンソールとして利用者とのインタフェースをとるほか、プログラムファイル、画像データファイル等の管理を行う。またImPPアセンブラ等の各種ソフトウェア開発ツール(11)もホストプロセッサ上にインプリメントされている。

処理部は、ホストプロセッサとのインタフェースや処理部全体の制御を行うProcess

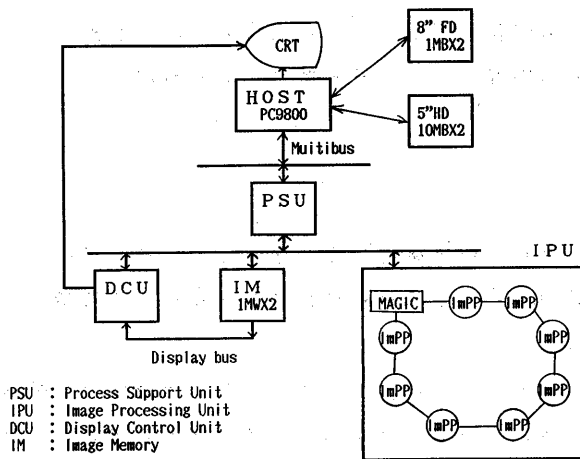


図1 POEMハードウェア構成

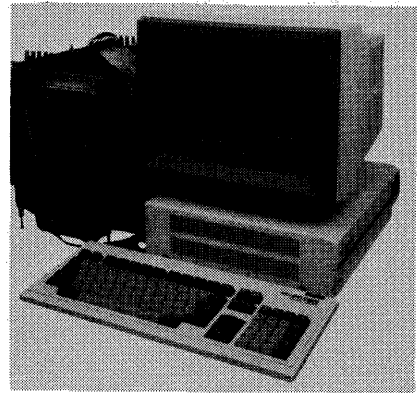


写真1 POEM外観

Support Unit (PSU)、IMをアクセスして処理を行うImage Processing Unit(IPU)セルマップデータ、ピンベアアドレスデータ、プログラムなどを格納するためのImage Memory(IM)、ディスプレイの表示を制御するDisplay Control Unit(DCU)の4つの機能ユニットから成る。

POEMにおけるプログラムの実行は、処理に必要なデータやプログラムをあらかじめIMにロードし、実行したいプログラム名とプログラム実行に必要なパラメタを入力することにより開始される。PSUにはプログラム実行制御のためのモニタがあり、これがホストプロセッサから指定されたプログラムをIMからIPUへロードし、入力パラメタをIPUに送り、プログラムの実行を開始させる。IPUでの処理が終了するとモニタはホストプロセッサに終了を知らせる。

配線処理を行うIPUはImPP(μ P07281)8個とその周辺インタフェース用LSIであるMAGIC(μ P09305)1個から成る。ImPPは、あらかじめPSUのモニタによりロードされたプログラムに従い、MAGICを介してIMをアクセスしつつ処理を進める。

POEMの特徴はこのIPUにおけるImPPのリング構造である。このようなアーキテクチャを採るシステムにおいてどのように並列性を引き出し配線処理を行うかについて検討した。

3. 配線処理における並列性の抽出

迷路法配線処理は一般に、始点から終点に波状に経路探索しマーキングする拡散処理、マーキングが終点に到達したら終点から始点へマークを逆にたどり経路を決定するバック

トレース処理、拡散処理で付けたマークをクリアするクリア処理の3つから成る。なかでも、拡散処理は1セルあたりの経路チェックに処理時間がかかるうえ、ピンペアの配線長の2乗のオーダーに比例して処理量が増加するため、全体の処理時間に占める割合が大きい。このため迷路法における高速化は、この拡散処理の処理時間短縮化に依存する。

本報告では、拡散処理を高速化するため2つの方法を併用することにした。

1) 層並列処理方式

2) 始点終点並列探索方式

層並列処理方式は、ピンペアをピンペア番号順にA、Bの2グループに等分し、信号層4層のうち1,2層にAグループピンペア、3,4層にBグループピンペアを割り当て、それぞれのペア層で並列に配線を行う方法である。

始点終点並列探索方式は、ピンペアの始点終点のそれぞれから同時に経路探索してマーキングし、始点終点のマーキング処理が最初に衝突したところで、衝突したセルからそれぞれ始点終点へバックトレースを行って経路を決定する方法である。

始点終点並列探索方式は並列性が2 ($P1=2$) であり、障害物がない場合にはアルゴリズム上、経路探索するセル数が約 $1/2(Rn=1/2)$ になるため、4倍 ($P1/Rn$) に近い処理高速化が期待できる。また層並列処理方式は、信号層4層の場合2層ペアに分けて並列処理するので並列性2である。したがって、この2方式を併用すると理想的には、拡散処理は層並列 ($P2=2$) と始点終点並列 ($P1=2$) で並列性4 ($P1 \times P2$)、クリア処理、バックトレース処理は層並列により並列性2で行える。

4. 配線処理実験

実際のプリント板データの配線を迷路法により行った。本実験で用いたプリント板データは、256X256セルサイズ、信号層4層、ピン間2本で、ピンペア数は1,2層ペア、3,4層ペア各512本ずつ、計1024本から成る。

IM上にはIMPプログラムやセルマップ (64KW \times 2)、ピンペアアドレス (2KW \times 2) 及び、ウェーブフロントアドレス領域 (32KW \times 2) を図2の様に配置した。1セルのデータ構造は図3に示す様に1Wのデータ部16bit中11bitを使用している。未使用5bitは拡張用としている。拡散時に衝突したセルから始点へ、また終点への距離が異なることが有るのでマーキングシーケンスは0,1,2,3,0,1,2,...とし、始点側終点側それぞれ2bitずつとした。さらにマーキングシーケンスのマーク0と未拡散セルのマーク初期値0が同じ為にマーク済みの確認ビットを各1bitずつ設けた。

すべての処理は図4のように8個のIMPに割り当て、PSUではOS処理のみを行った。

拡散処理プログラムは層ペア毎、さらに始点側と終点側の4つに分割され各々別のIM

PPにロードされる。これにより非同期並列に動作することが可能となった。 バックトレース処理プログラムは各層ペア毎に計2個のImPPにロードされる。しかしながら拡散時に衝突したセルから始点へトレースし、次に終点へトレースを行う為、層並列性のみとなる。 クリアプログラムは4層分を1個のImPPにロードされる。図5に配線処理の実行手順を示す。

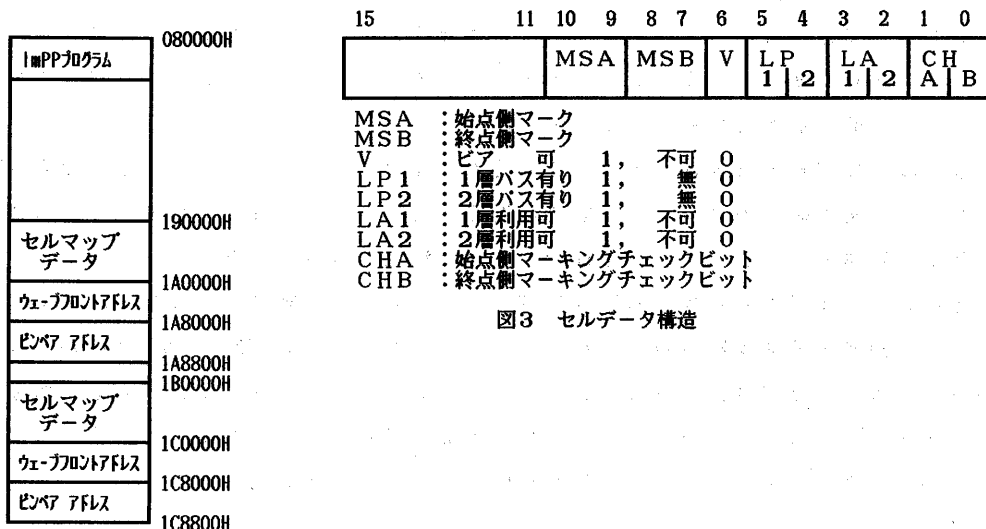


図3 セルデータ構造

図2 メモリマップ

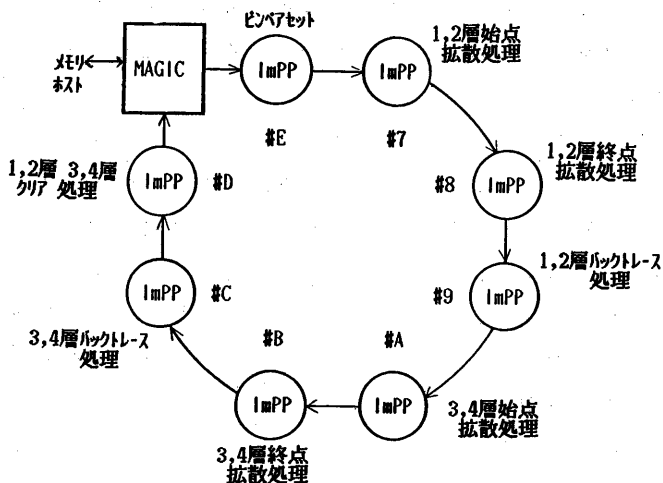


図4 ImPPへのプログラムの割り当て

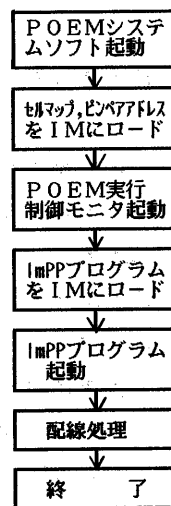


図5 配線処理実行手順

5. 処理結果及び考察

拡散処理途中の表示を写真2に、処理終了の表示を写真3に示す。同じ1024本の配線を行った層並列処理方式のみ(A方式)、および始点終点並列探索方式との併用の場合(B方式)の処理時間、拡散処理における探索セル数を表1に示す。

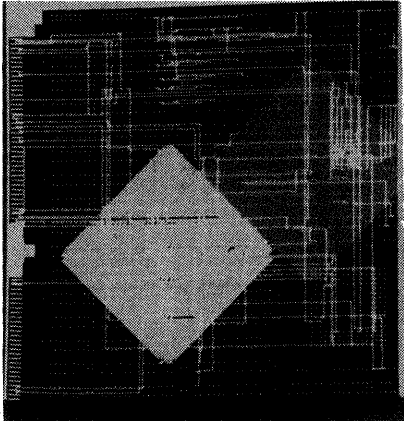


写真2 配線処理中の表示

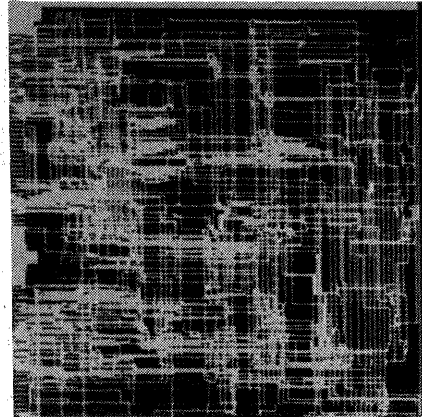


写真3 配線処理終了時の表示

探索セル数はA方式と比べB方式では約0.6倍($R_n=0.6$)に減少した。したがって、並列性 P_1 が2であれば、拡散処理の処理速度は $P_1/R_n=3.4$ 倍に高速化されるはずである。表1の処理時間は、拡散、バックトレース、クリアを含めた時間なので、拡散処理の性能比としては厳密ではないが、A方式で326sであった処理時間がB方式では111.8sの処理時間となりA方式とB方式の処理速度比 R_v は2.9であった。

この値が3.4に達しない原因の1つは、始点終点並列探索方式により拡散処理の処理並列性は向上するが、クリア処理やバックトレース処理の処理並列性は変化しないためである。また他の原因は拡散処理の並列化によりメモリアクセスが時間的に集中し、メモリアクセス待ち状態が起こる頻度が高くなるためである。

シミュレーションによりメモリ稼働率とImPP内部の稼働率の時間的変動を調べると図6のようになった。図6は1,2,3,4層クリア処理(a)、1,2,3,4層拡散処理(b)、1,2層拡散処理3,4層クリア処理(c)の場合の一部を示す。(b)より1,2層3,4層共に拡散処理の場合はメモリ稼働率は100%以下でメモリアクセス待ちはさほど多くないことがわかる。しかし(a),(c)よりどちらかの層がクリア処理を行っているとメモリ稼働率は100%となり、

		層並列処理のみ A方式 (メモリ1.2μs)	始点終点 並列探索 B方式 (メモリ0.6μs)
処理時間	1,2,3,4層 並列処理	326.0sec (1.00)	111.8sec (0.34)
探索セル数	1,2層	6054842 (1.00)	3420792 (0.56)
	3,4層	5114030 (1.00)	3073210 (0.60)

()内はA方式とのそれぞれの比

表1 処理時間と探索セル数

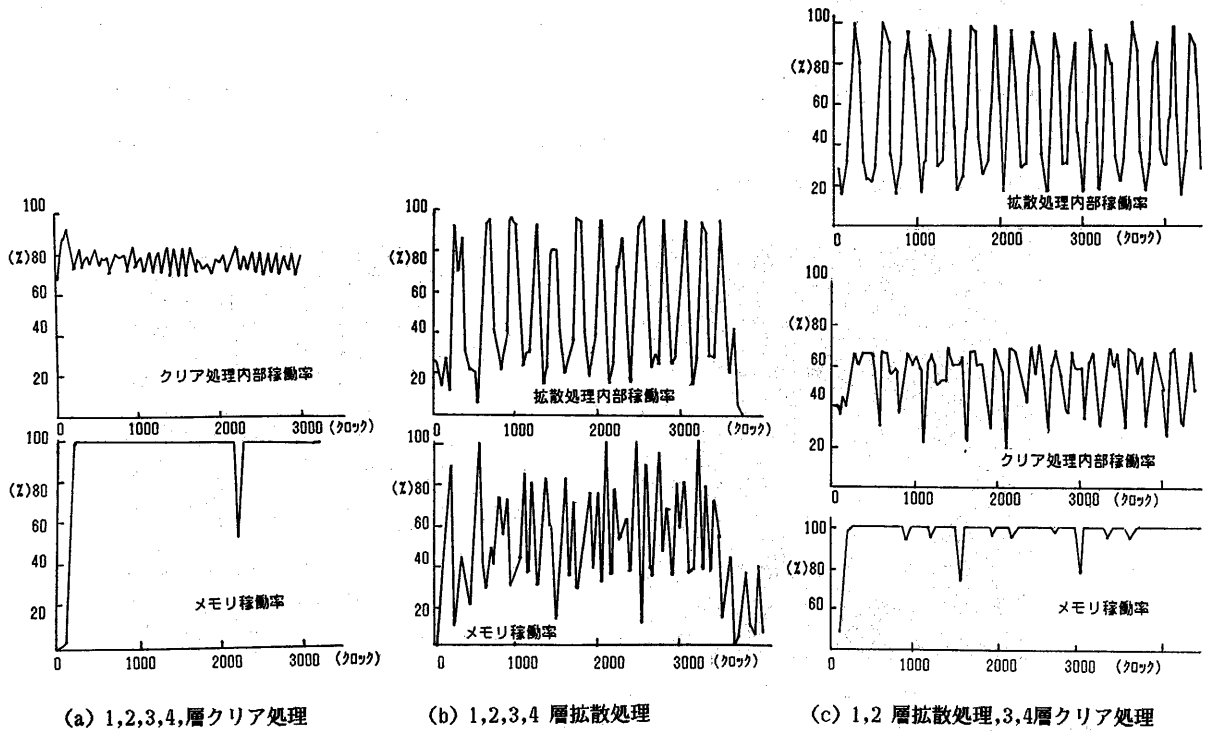


図6 メモリ稼働率とIMP内部稼働率

メモリアクセス待ちが多くなることがわかる。

またIMPの内部稼働率をみると、1,2,3,4層ともクリア処理の場合(a)は4層分のクリア処理を1つのIMPで行っているため(図4)、1,2層クリア処理のみ、または3,4層クリア処理のみの場合に比べ内部での処理量が増加し、この結果平均内部稼働率は約80%になっている。反面、3,4層クリア処理と1,2層拡散処理が同時に起こる場合(c)はクリア処理を行うIMPの内部稼働率は3,4層のクリアのみであるため約50%になっている。クリア処理はメモリの内容を読みだしマークをクリアしてメモリに書き込むだけの処理であるため、もともとメモリアクセス量に比較して内部処理量が少ない。拡散処理は(b),(c)のどちらにおいても内部稼働率が100%から20%の間を変動している。これはプログラム内部に処理逐次性があり、メモリからの読みだしデータが戻らないと次の処理が始められない部分があるためである。さらに高速化するためには、このような処理逐次性をできるかぎり排除し、高稼働率を平均的に保持できるようなアルゴリズムを開発することが課題である。

(13),(14)

しかしA方式を適用した場合の処理時間が、大型計算機の約2倍の性能であったことを考慮すると、B方式を適用した場合の処理時間は、探索セル減少の効果も加え、大型計算機において従来の方式(始点単一探索方式、層別逐次処理)を適用した場合の約5.8倍(2.9X2)の性能といえ、B方式が処理の並列性抽出に有効な方法であることは確かめられた。

6. おわりに

P O E M上で実プリント板データに対し、始点終点並列探索方式と層並列処理方式の併用による迷路法配線処理を試行し、従来の方式(始点単一探索方式、層別逐次処理)に比べ、約0.6倍に探索セル数を減少させ、約5.8倍に処理速度を高速化した。これらの点で、始点終点並列探索方式と層並列処理方式の併用が、処理の並列性抽出に十分有効な方法であることが確かめられた。

最後にP O E M構築に関し、ご協力頂いた応用エレクトロニクス開発本部加藤主任、本研究に対しご指導頂いたC & Cシステム研究所天満課長に感謝します。

参考文献

- (1) S.J.Hong, R.Nair "Wire-Routing Machine—New Tools for VLSI Physical Design" Proc. of the IEEE, vol.71, no.1, pp.57-65, Jan.1983
- (2) T.Blank, M.Stefick, W.vanCleemput "A Parallel Bit Map Processor Architecture for DA Algorithms" 18th DA Conf.1981, pp.837-845.
- (3) R.Nair, S.J.Hong, S.Liles, R.Villani "Global Wiring on a Wire Routing Machine" 19th DA Conf. 1982, pp.224-231
- (4) 渡辺, 北沢, 杉山 "多端子ネット接続に有効な配線並列処理手法" S60春情処学会全国大会 P.1871
- (5) 橋, 中島, 鈴木, 大附 "並列ルーティングプロセッサ" S59秋情処学会全国大会 P.1651
- (6) 進藤, 川戸, 石井 "並列配線処理" S60秋信学会全国大会 P.1289
- (7) H.Kurokawa, K.Matsumoto, T.Temma, M.Iwashita, T.Nukiyama "The Architecture and Performance of Image Pipeline Processor" Proc.of VLSI'83, pp.275-284, 1983
- (8) T.Temma, M.Iwashita, K.Matsumoto, H.Kurokawa, T.Nukiyama "Data Flow Processor Chip for Image Processing" IEEE Trans.Electron Devices, vol.ED-23, No.9, Sep. 1985
- (9) 天満, 溝口, 森下, 首藤 "Chip-Oriented Data-Flow Image Processor :TIP-3" Proc. of COMPCON'84 Fall pp.245-254, 1984
- (10) 森下, 天満, 首藤 "画像処理プロセッサTIP-3ハードウェア構成" 情処学会コンピュータビジョン研資32-1, Sep., 1984
- (11) 緑川, 天満 "画像処理プロセッサTIP-3言語及び実行制御モニタ" 情処学会コンピュータビジョン研資32-2, Sep., 1984.
- (12) F.Rubin "The Lee Path Connection Algorithm" IEEE Trans.Computer, vol.c-23, no.9, Sep.1974
- (13) 緑川, 岩下 "データ駆動型画像処理プロセッサの配線処理への応用" S60春情処学会全国大会 P.1873
- (14) 緑川, 能登山, 岩下 "画像処理システムTIP-3での配線処理" S60秋信学会全国大会 P.3-180