

バス構造に着目した 知識ベースフロアプランシステムの試作

梅田 政信 三渡 秀樹 河村 薫
(株)富士通研究所 システム研究部

適用可能な回路が限られている複数のフロアプラン・システムを統合し、その効果的な利用を促進する為の機構として、戦略生成系を提案する。戦略生成系の目的は、入力として与えられた回路に最適なフロアプラン手法を決定することである。戦略生成系を実現する上での課題は、最適なフロアプラン手法を決定する上で注目すべき回路の特徴を明らかにすることである。本論文では、知識ベースによるフロアプラン・システムの試作を通して、例として用いた回路の特徴を明らかにすると共に、戦略生成において注目すべき回路の特徴を示す。

An Experimental Knowledge-based Floorplanning System and Some Considerations on Strategy Generation

Masanobu UMEDA, Hideki MIWATARI, Kaoru KAWAMURA

Computer-based Systems Laboratory, Fujitsu Laboratories LTD. Kawasaki
1015, Kamikodanaka Nakahara-ku, Kawasaki 211, Japan

Strategy Generation System is proposed. It is intended to integrate conventional floorplan systems of which applicable circuits are practically limited to narrow range of VLSI types, and to promote their efficient use in a current design automation system. When a VLSI circuit is given, Strategy Generation System chooses the most appropriate floorplan system of them. In order to realize the system, characteristics of circuit should be cleared. In this paper we will show some characteristics of an example circuit to which an experimental knowledge-based floorplan system is applied, and show some characteristics of the circuit which must be considered by Strategy Generation System in the future.

1. はじめに

回路の大規模化とアプリケーション指向 VLSI (ASIC) の一般化に伴い、レイアウト設計の自動化への要求はより強いものとなっている。回路の大規模化に対しては、処理の複雑化を避けると共に、レイアウト設計全体に見通しの良い作業を行う方法として、階層化設計が有効と考えられている。フロアプランは、この階層化設計手法において、チップの構造をトップダウンに決定する技術として重要であり、これまでに数多くの手法が提案されている。

従来提案されてきた手法は、かなり限定された問題に対しては有効であるものの、それ一つで全ての VLSI に適用できるほど汎用的であるとは言えない。実用的には、VLSI の用途や回路の構造等に応じて、幾つかの手法の中からこれに最も適した手法を選択し、適用する必要があると考えられる。

レイアウト設計の自動化を推進する為には、このような従来手法の問題点を認識した上で、新しいシステム構成を取ることが必要である。

本論文では、従来手法の統合化を目的としたレイアウト設計支援機構として、戦略生成系を提案する。また、その実現の可能性を探る目的で今回試作した知識ベースによるフロアプラン・システムについて詳細を述べる。

2. 従来アプローチ

従来提案されてきた手法は、そのアプローチにより次の4つに分類することができる。

- (a) 会話型
- (b) 固定フロアプラン方式
- (c) アルゴリズム的手法
- (d) 知識ベースに基づく手法

この中で、(b)~(d)が一般的にフロアプランの自動化を狙ったものである。

固定フロアプラン方式(b)は、取り得るチップの構造を制限することにより、フロアプランの質を一定の範囲に保つことを狙ったもので、信号処理用プロセッサ等の特殊用途向けの VLSI では有効とされている⁽¹⁾。同様な考えに基づいた手法として、RAM やROM 等の大きなブロックの個数と配置位置に制限を加えることで、面積見積り等の質の向上を図ったシステムも知られている⁽²⁾

アルゴリズム的手法(c)としては、グラフ理論や力学系のアナログに基づいた手法等が提案されている^{(3)・(4)・(5)・(6)・(7)}。これらの多くは、形状可変な箱とその間の結合力といった形で、レイアウト・モデルを単純化して扱っている為、實際上適用可能な範囲はかなり限られている。

一方、ブロックを単なる箱としてとらえるのではなく、回路の規則性や信号の流れといった論理回路の特徴をレイアウトに反映させる必要があるとの考えから、知識ベースによる手法(d)も幾つか報告されている^{(8)・(9)・(10)・(11)}。レイアウト設計者の持つ経験的知識を用いることで、人手設計に近い結果を得ることを狙ったものであるが、知識の獲得と知識ベースの管理維持の困難さから、フロアプラン問題の広い範囲を対象とするには到っていない。

3. 戦略生成系

3.1 考え方

フロアプラン問題に対しては幾つかのアプローチが取られており、その有効性が報告されている。しかしながら、全ての種類の VLSI に適用できるような汎用性を持った手法は確立されておらず、レイアウト・モデル、VLSI の用途、回路の構造等によって、有効な範囲が限定されているのが現状である。例えば、レイアウト・モデル一つをとって見ても、ブロックの形状を可変とするか固定とするかによって、それに適用可能な手法は異なってくる。実用的には、これらの手法の中から、その問題に最も適した手法を選択し、適用する必要がある。

レイアウト設計の自動化を推進する為には、このような従来手法の問題点を認識した上で、新しいシステム構成を取ることが必要である。本論文では、このような考えに基づいたレイアウト設計支援機構として、戦略生成系を提案する。

戦略生成系を含むレイアウト・システムの構成図を図1に示す。戦略生成系は、従来のフロアプラン・システムの上位に位置し、次のような処理を行うことを目的としている。

- (a) 入力として与えられた回路に最も適したフロアプラン手法を選択する。
- (b) フロアプランの動作を外部から与えるパラメータによって制御可能な場合、回路に最も適したパラメータを決

定する。

実際のところ、戦略生成系が行うべきこの種の作業は、現状の CADシステムを利用した VLSI 開発では、人手によって行われている。

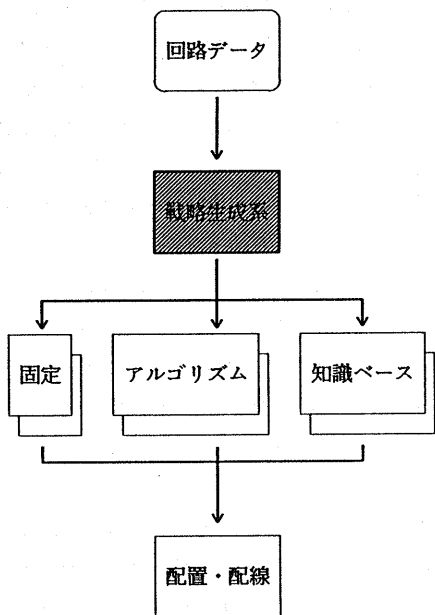


図 1. 戦略生成系の位置づけ

3.2 実現上の課題

回路に最適なフロアプラン手法を決定する為には、判断を行う為の基準を明確にしておく必要がある。すなわち、回路のどのような特徴に注目してフロアプラン手法を決定するかを明らかにしておく必要がある。

回路の注目すべき機能的、構造的な情報としては、少なくとも次に挙げるものを考えることができる。

- (a) ブロックの機能
- (b) ネットワークの構造
- (c) 回路の規則性
- (d) 信号の流れ

この他にも、最適なフロアプラン手法の決定に必要な回路の特徴は幾つか考えられるが、予め全てを予想することは非常に困難である。したがって、現実的には、各フロアプラン手法がどのような回路の特徴に注目しているかを明

らかにし、新たに必要となった回路の特徴を随時追加していくが必要である。

以下では、実際のフロアプラン・システムの試作を通して、フロアプラン決定に用いられている回路の特徴を明らかにする為の実験を行ったので、これについて説明する。

4. 知識ベース・フロアプラン

4.1 アプローチ

先にも述べたように、回路に最適なフロアプラン手法を決定するには、実際のフロアプラン・システムがどのような回路の特徴に注目し、それをどのように利用しているかを知る必要がある。本システムの開発目的は、実際のフロアプラン・システムの試作を通して、注目すべき回路の特徴とその利用方法を明らかにすることである。この目的に最も適した手法として、我々は知識ベースによるアプローチを用いた。

人手によるフロアプランでは、信号の流れやブロックの機能といった回路の特徴に注目し、これをレイアウトに反映させていると考えられる⁽⁹⁾。知識ベースによるフロアプランは、このような回路設計者の経験的知識を用いることで、人手設計に近い結果を得ることを目指したものである。したがって、知識ベースによるアプローチを用いることで、そのフロアプラン・システムが回路のどのような特徴に注目して、それをどのように利用しているかを明確にすることができる。

4.2 対象回路

今回試作したフロアプラン・システムは、実際に開発された一つの VLSI を例にとり、この開発に用いられた設計者の経験的知識を知識ベース化したものである。

例として用いた回路は、セルラアレイ・プロセッサの周辺回路として開発されたもので、以下ではこれを CAP-VLSI⁽¹²⁾と呼ぶことにする。CAP-VLSIは、周辺回路であることから、マイクロプロセッサ等と異なり、制御系の回路が殆どを占めていて、全体として不規則な回路構成となっている。使用されたテクノロジーは、敷き詰め型 CMOS マスタスライスで、回路規模は約 24 K ゲート相当である。

敷き詰め型のレイアウト・モデルは、スタンダードセルに比較的近く、以下ようになる。

(a) ブロック形状

ブロックは、レイアウトの最小単位であるセルから構成されている。セルには、通常の論理セルの他に、特殊用途向きに最適化した特殊セルがある。特殊セルは論理セルに比べて大きく、これを含むブロックの形状は、論理セルのみで構成されているブロックよりも強い制約を受ける。試作システムでは、ブロックの形状は全て可変として扱い、大きな特殊セルを含むブロックについては、アスペクト比に強い制約条件を与えている。

(b) ブロック端子位置

RAMブロックやROMブロック等の既設計のブロックは、CAP-VLSIには含まれていない。したがって、ブロックの端子位置は全て未定義であり、フロアプランによって決定するものとする。

(c) ブロック間配線領域

人手設計では、ブロックの面積の中に約30%を配線領域として予め設けておき、フロアプランを行っている。ここでも、これと同様の方法を採用する。

(d) 外部端子位置

チップの外部端子の位置は、ブロックの端子同様フロアプランによって決定するものとする。

4.3 人手設計

ここでは、人手設計によるCAP-VLSIのフロアプランの概要を説明する。

CAP-VLSIの論理設計は、機能的なまとまりであるブロックを単位に行われた。ブロック数は、全部で42個である。フロアプランは、これらのブロックとその間を結ぶバスを記述したブロック図(図2)を基に、以下の手順で行われている。

- (1) 機能的に強いつながりを持つブロックの中で、他と比較して小さいブロックをまとめて、一つ上位のクラスタとする。この結果、23個のブロックがまとめられて、4個のクラスタが生成された。
- (2) (1)で生成されたクラスタと残りのブロックを、機能的な結合の度合によって更にまとめて、最上位のクラスタとする。これによって、チップは最終的に4つのクラスタに分割された。
- (3) (1)~(2)で生成されたクラスタ階層をトップダウンに詳

細化し、ブロックの概略位置を決定する。

このように、回路を階層的なクラスタに分割して、段階的に詳細化を行う手法では、最終的に得られるフロアプランの質がクラスタの構成方法に大きく依存する。仮に、詳細化の段階でクラスタ構成を動的に変更しないとすると、ネットの配線長を大きく改善できるような自由度は、ほとんど残されていないとする報告もある⁽⁵⁾。したがって、クラスタの構成手法については、十分な検討が必要である。

我々は、このクラスタの構成には、論理回路の特徴が強く関係していると考え、この点に関して回路設計者にヒアリングを行った。この結果、次のようなことが明らかとなった。

- (a) 回路は大きく4つのクラスタに分割することができる。
- (b) クラスタ間はバスによって結ばれている。
- (c) 各クラスタ内には、クラスタ間のデータ授受、及びクラスタ内のブロックへのデータの分配を中心的に行っているブロックが存在する(以下ではこれを核ブロックと呼ぶことにする)。
- (d) クラスタ内が更に幾つかのクラスタに分割可能な場合は、(2)~(3)と同様な構成が再帰的に繰り返されている。したがって、バスは階層的な構造となっている。

以上のことから、第一に核ブロックが階層的なバス構造と密接な関係にある事と、第二に核ブロックによって回路を分割することができる事の2点が特に重要であることが分かった。

4.4 システム構成

4.3で明らかとなった事実に基づき、CommonLISP上のESHELL⁽¹³⁾を用いて知識ベースによるフロアプラン・システムを試作した。

フロアプランへの入力は、ブロックとその間を結ぶ主要なバスを記述したブロック図、バス以外のネットリスト情報、ブロックの面積やアスペクト比である。

フロアプランは、次の4つの処理過程から構成されている。

(1) 核ブロックの抽出

核ブロックを自動的に抽出する。核ブロックの抽出方法については、4.5で説明する。

(2) クラスタリング

核ブロックを手掛かりにして、回路を階層的なクラスタに分割する。クラスタリング手続きの概要は、4.6 で説明する。

(3) 概略配置

クラスタリングの結果を基にトップダウンに詳細化を行い、クラスタの配置を決定する。この段階では、クラスタの取り得る形状や面積を荒く見積もることで、処理の高速化を図っている。

(4) 詳細配置

概略配置の結果を基に、より詳細なレイアウト規則に従って、ブロックの位置、形状、端子位置を決定する。概略配置の結果は、ブロックの形状や面積についての制約条件を完全に満たしてはいないので、ブロック間に重なりがある場合がある。この場合、ブロックの移動や形状の変更で、重なりを取り除く。

4.5 核ブロックの抽出

核ブロックを抽出するための評価関数として、ブロックのピン数と、我々が仮想使用頻度と呼んでいるものを使用した。

(a) ブロックのピン数

核ブロックの機能は、クラスタ間でのデータの授受と、クラスタ内のブロックへのデータの分配である。したがって、核ブロックには、必然的に多くのネットが接続されていると考えられる。即ち、ピン数の多いものは、核ブロックである可能性が高い。

(b) ブロックの仮想使用頻度

ブロック図において、任意の2ブロック間を結ぶ最短経路を仮想バス経路と呼ぶ。全ての仮想バス経路に対して、各ブロック毎に仮想バス経路上に存在する回数を計算し、これをブロックの仮想使用頻度と呼ぶことにする。任意の2ブロック間の通信が、主に核ブロックを経由して行われることから、仮想使用頻度の高いものは核ブロックである可能性が高い。

二つの評価関数について、CAP-VLSIを用いて実験を行ったので、その結果を表1と表2に示す。表1はピン数の多い上位6ブロックを、表2は仮想使用頻度の高い上位6ブロックを示したものである。

設計者によって指摘された核ブロックは、BUS、VBT、ICR、HIOの4ブロックである。この実験結果から、(a)、(b)が非常に良い評価関数となっていることが分かる。

表1. ブロックのピン数

ブロック	<u>HIO</u>	<u>ICR</u>	<u>BUS</u>	<u>VBT</u>	F1	F2
ピン数	156	86	81	58	45	45

(下線は核ブロック)

表2. ブロックの仮想使用頻度

ブロック	<u>BUS</u>	<u>VBT</u>	CCC	<u>ICR</u>	<u>HIO</u>	MS2
使用頻度	310	288	288	114	78	23

(下線は核ブロック)

4.6 クラスタリング手法

クラスタリングは、ピン数と仮想使用頻度を用いて抽出した核ブロックを手掛かりにして行う。この手続きの概略を以下に示す。

- (1) 核ブロック間のバスを境にして、回路を分割する。核ブロック間にブロックが存在する場合は、クラスタとの結合の度合いによって、何れかのクラスタに含める。
- (2) 核ブロックにつながるバスによって、各クラスタを再分割する。
- (3) 分割されたクラスタ間で面積比が極端に異なる場合は、クラスタの併合や分割を行い、面積比の調節を行う。これと同時に、クラスタの配置結果がスライシング構造となるように、クラスタの分割数を2~4とする。
- (4) 分割に使用されたバス上にあるブロックを、再分割によってできた下位クラスタの核ブロックとする。
- (5) (1)~(4)を再帰的に繰り返す。

4.7 実験結果

概略配置結果を図3に示す。ハッチングのあるブロックは、核ブロックを表している。太線で表されたブロック間の境界線は、設計者によって示された回路の機能分割を表

している。

この実験の結果から、核ブロックと階層的なバス構造を利用したクラスタリング手法が有効であることを、確認することができた。

5. 考察

CAP-VLSIを例にとり、この開発に用いられた設計者の経験的知識を基に、知識ベースによるフロアプラン・システムを試作した。その目的は、知識ベースによるフロアプラン・システムの開発を通して、注目すべき回路の特徴と、そのフロアプランへの利用方法を明らかにすることである。

実験によって明らかになったことは、少なくとも CAP-VLSI においては、核ブロックと階層的なバス構造に着目してクラスタリングを行うことが有効なことである。したがって、本システムは、CAP-VLSIと同様に、制御系の回路が非常に多く、階層的なバス構造を持つ回路に対して有効と考えられる。

6. おわりに

知識ベースによるフロアプラン・システムの試作を通して、レイアウトに反映させることが有効と思われる回路の特徴の幾つかを明らかにした。これによって、今回試作したシステムに適用して有効と思われる回路を、その特徴から予測することができた。

今後は、CAP-VLSIと同じような特徴を有する回路に対して、実際に本システムを適用し、その有効性を確認する必要がある。更に、データバス系の VLSI やマイクロプロセッサ等の CAP-VLSI とは異なる特徴を有すると考えられる回路に対しても、注目すべき回路の特徴を明らかにしていく必要がある。

[謝辞]

本研究を進める上で熱心な議論を頂いた石井システム研究部長、同研究部白石室長に感謝いたします。

[参考文献]

(1) Neil, B. : A Case Study of the F. I. R. S. T Silicon Compiler, 3rd Caltech Conference on Very Large Scale Integration, pp. 413-430, 1983.

- (2) Kawauchi, K., Sumi, S., Hatano, Y., Ishii, J. : A FULL-AUTOMATED VLSI LAYOUT SYSTEM INCLUDING THE CUSTOM CELL COMPILER, CUSTOM INTEGRATED CIRCUITS CONFERENCE, pp. 339-342, 1986.
- (3) Maling, K., Mueller, S., Heller, W. : ON FINDING MOST OPTIMAL RECTANGULAR PACKAGE PLANS, 19th Design Automation Conference, pp. 663-670, 1982.
- (4) Ueda, K., Kitazawa, H., Harada, I. : CHAMP: Chip Floor Plan for Hierarchical VLSI Layout Design, IEE TRANSACTIONS ON COMPUTER-AIDED DESIGN, Vol. CAD-4, No. 1, 1985.
- (5) Dai, W., Kuh, E. : Hierarchical Floor Planning for Building Block Layout, IEEE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, pp. 454-457, 1986.
- (6) 小川, 柳, 谷, 築山, 白川 : 矩形双対グラフを用いたチップフロアプランの一手法, CAS85-144, pp. 93-100, 1986.
- (7) Wong, D., Liu, C. : A NEW ALGORITHM FOR FLOORPLAN DESIGN, 23rd Design Automation Conference, pp. 101-107, 1986.
- (8) Birmingham, W., Kim, J., Joobbani, R., Siewiorek, D., York, G. : CLASS: A Chip Layout Assistant, IEEE INTERNATIONAL CONFERENCE ON COMPUTER-AIDED DESIGN, pp. 216-218, 1985.
- (9) 原田, 安達 : チップフロアプランエキスパートシステムの検討, 情報処理学会第33回全国大会, pp. 2235-2236, 1986.
- (10) Watanabe, H., Ackland, B. : Flute - A Floorplanning Agent for Full Custom VLSI Design, 23rd Design Automation Conference, pp. 601-607, 1986.
- (11) 高木, 仲林, 石川 : 論理構造情報に基づくトップダウン配置手法, 電子通信学会論文誌, Vol. J70-C, No. 1, pp. 11-20, 1987.
- (12) 石畑, 柿本, 井上, 石井, 後藤, 波多野 : セルラアレイプロセッサ組織化チップのアーキテクチャ, CAS86-210, pp. 51-58, 1986.
- (13) 門前, 宇佐見 : 黒板モデルを採用した商用 AI ツール「ESHELL」, 日経コンピュータ, pp. 157-167, 1985.

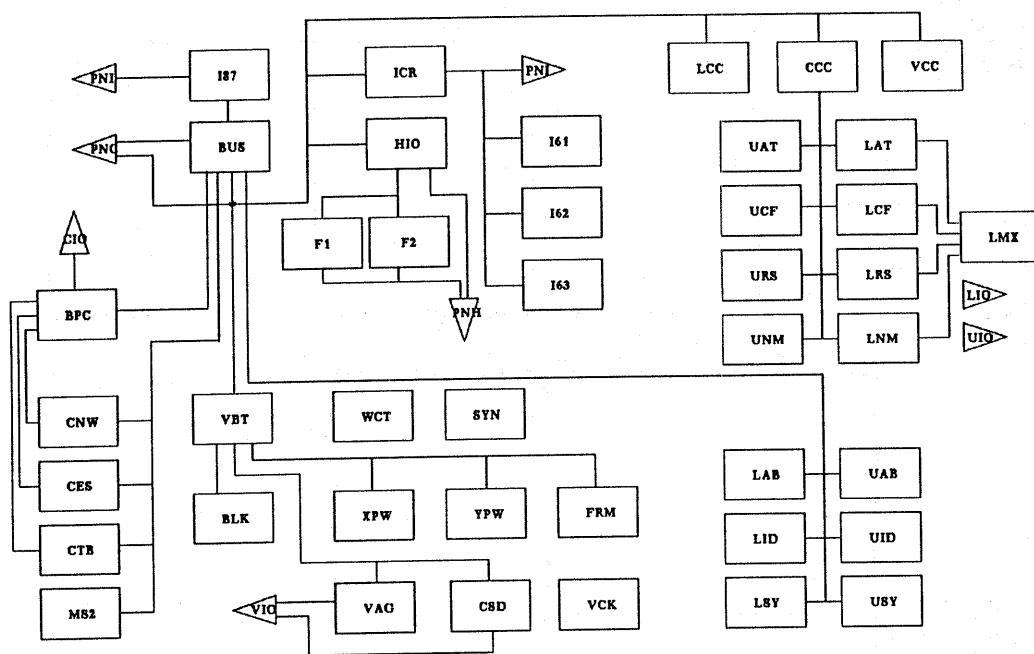


図 2. CAP-VLSI のブロック図

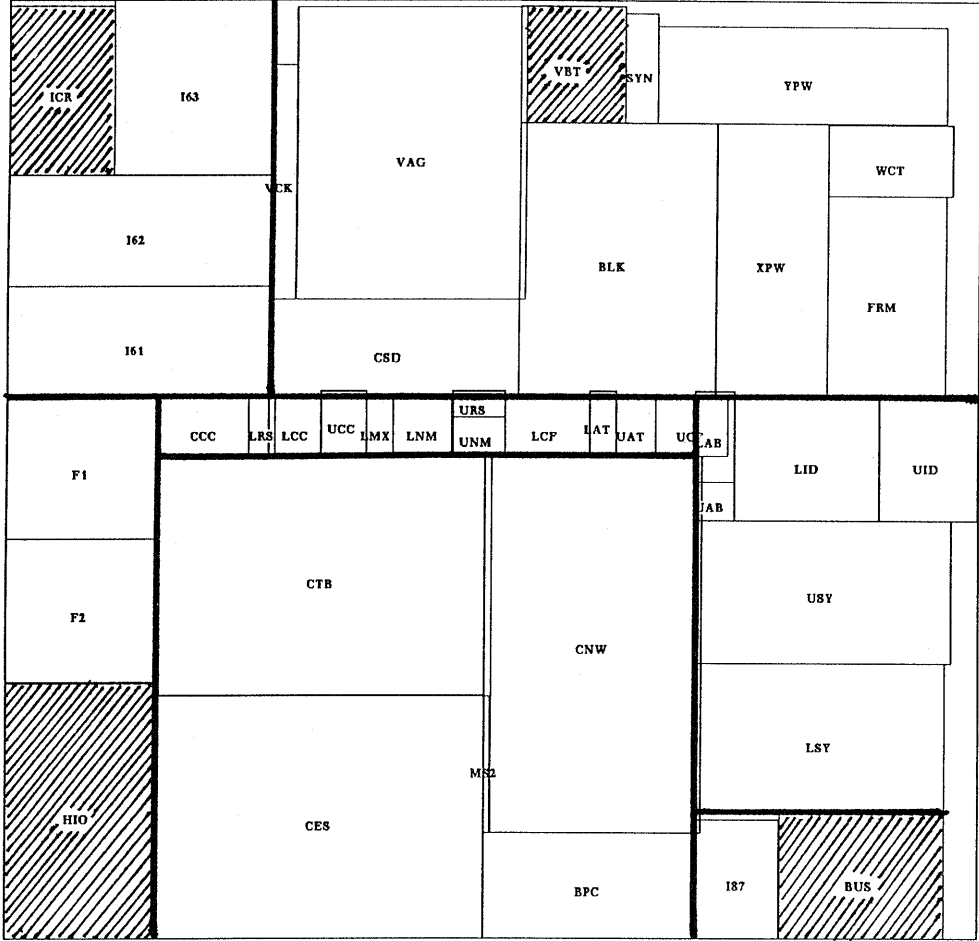


圖 3 . 概略配置結果