

## MOSFET論路回路の短絡・断線故障シミュレーション

### Stuck-short and stuck-open fault simulation for MOSFET logical circuits

岩田 忠久 古賀 義亮

Tadahisa IWATA Yoshiaki KOGA

防衛大学校 電気工学教室

Department of Electrical Engineering, National Defense Academy

あらまし 現在実用化されているファンクションレベルやゲートレベルのシミュレーションにおいては、通常0と1の論理値のみを使用し、論理回路の故障を縮退故障又はブリッジ故障として取り扱っている。しかし、このようなシミュレーションでは、回路内部のMOSFETの短絡故障及び断線故障についてシミュレーションすることは困難である。本報告では、MOSFET論理回路のスイッチレベルのシミュレーションをタスクとして取扱い、その中に短絡、断線故障を仮定して、テスト生成を行う方法を提案し具体的な実現方法について述べる。

Abstract Various logical simulations have been developed. They are usually handle 0 and 1 logical values, and can not simulate stuck-short and stuck-open faults. In this paper, we present a switch level simulation method by task modeling for MOSFET logical circuits with stuck-short and stuck-open fault, and a test generation method for injected faults.

#### 1. はじめに

現在実用化されているデジタル回路シミュレーションには、ファンクションレベル、ゲートレベル、スイッチレベルがあり、故障シミュレーションとして、縮退故障を取り扱うものがあるが、MOS論理回路ではさらに断線故障、短絡故障のシミュレーションが必要となっている。

従来のゲートレベルシミュレーションにおいては、短絡故障を取り扱うとき、ある特定の条件の下でのシミュレーションにとどまっております、実際に短絡故障のある回路を測定した結果とその回路をシミュレーションした結果が一致しないこともある。これは、従来のシミュレーション

においては、取り扱う論理値が0と1だけにとどまり、信号の強さを設定していなかったためである。さらに断線故障についてはCMOS回路の性質のために組合せ論理回路が順序回路のようになり、ゲートレベルではシミュレーションすることは難しい面がある。MOSFET論理回路のスイッチレベルシミュレータとして、タスクモデル<sup>1)</sup>を用いてシミュレーションを行うMOSPLUS-C<sup>2)</sup>を提案しており、本報告においては、従来のMOSPLUS-Cのシミュレーションを拡張したスイッチレベルの短絡故障と断線故障のシミュレーションの方法と、各故障のための検出入力の生成の一方法について提案する。

## 2. 従来の短絡故障シミュレーション

短絡故障は、本来独立している線路がホイスカとかマイグレーションによって接続する故障である。従来は、短絡故障を取り扱う場合、下記に示すような方法でシミュレーションを行っている。

(1) 従来の短絡故障シミュレーションの方法  
シミュレーションを行う際、短絡された信号線の各々に異なる信号が入力されているときには、ゲートレベル・シミュレーションにおいては、回路の性質によっては、短絡部分が AND ゲートと等価になるか、または OR ゲートと等価なブリッジ故障(bridge fault)<sup>1)</sup>として取り扱っている。

しかし、CMOS 論理回路の場合には、このブリッジ故障によるシミュレーションでは、取り扱うことのできない場合がある。

(2) 従来のシミュレーションの問題点

例として、図1のような2入力 NAND 回路の短絡故障を考える。

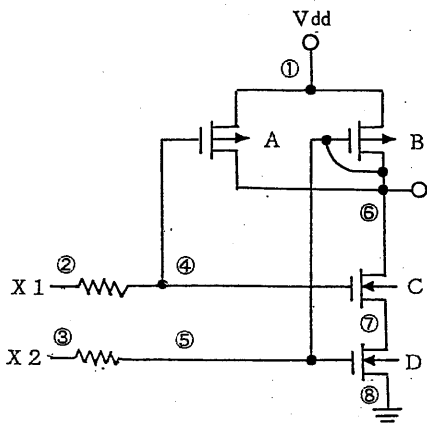


図1 2入力 NAND 回路の短絡故障

表1 シミュレーション結果

Vin		Vout
X 1	X 2	⑥
1	0	0

表2 測定結果

Vin		Vout
X 1	X 2	⑥
5.0 V	0.4 V	2.32 V

(例1) ANDブリッジ故障として考えた場合  
入力信号 (X1, X2) を各々 X1 = 1 (high voltage), X2 = 0 (low voltage) とすると、MOSFET は、A、D が OFF の状態、B、C が ON の状態になる。ここで、MOSFET の B が ON であるため、⑥は5V (1: high voltage) となる。

また、⑤の論理値は0となる。ここで⑤と⑥が短絡しているため0と1が衝突してしまう。そこで AND ブリッジ故障であると仮定すると、⑤ = 0、⑥ = 0 となり、このときの出力値 (Vout(⑥)) は、表1のようになる。

(例2) ORブリッジ故障として考えた場合  
(例1)と同様に X1 = 1, X2 = 0 とするとき、⑤-⑥の短絡により0と1の信号が衝突する。そこでORブリッジ故障であると仮定すると、⑤ = 1、⑥ = 1 となる。ここで、④ = 1、⑤ = 1 より A、B は OFF の状態で、かつ③ = 0 なので⑥ = 1 とはなりえない。

実際の測定結果は表2のように与えられる。これとシミュレーションの結果と比較すると矛盾があることがわかる。

## 3. MOSFET の電気的特性

従来のスイッチレベルシミュレータでは MOSFET の動作を pMOSFET の場合、ゲートが L (low voltage) ならば ON (ソース、ドレインが導通)、H (high voltage) ならば OFF (ソース、ドレインが非導通) として取扱い、nMOSFET の場合はその逆として取り扱っている。そこで pMOSFET、nMOSFET の特性について、実測結果をもとに次に示す。

使用する pMOSFET と nMOSFET は、互いにコンプリメンタリ動作を行う、エンハンスメント形の MOSFET である。

(1) エンハンスメント形 MOSFET

MOS トランジスタにはデプレッション形とエンハンスメント形があり、エンハンスメント形は、ゲート電圧が加えられていないとき、チャネルが形成されず、ソース、ドレイン間が電氣的に切断される。

(2) pMOSFET の特性

図2. 1(a)に示す回路においてゲート電圧を変化させたときのドレイン電圧を図2. 1(b)に示す。ゲート電圧が0~4.2VではONの状態であり、4.7V以上でOFFの状態とな

る。4.2 ~ 4.7 Vでは、ソース、ドレイン間は電圧増幅となる。

また、ドレイン電圧がソース電圧よりも高いときには、ソース、ドレイン間が導通した状態となる。

### (3) nMOSFET の特性

図2. 2 (a)に示す回路においてゲート電圧を変化させたときの、ソース電圧を図2. 2

(b)に示す。ゲート電圧が0.4 V以下ではONの状態であり、0.7 V以上ではOFFの状態となる。0.4~0.7 Vでは、ソース、ドレイン間は電圧増幅となる。

また、ソース電圧がドレイン電圧よりも高いときには、ドレイン、ソース間が導通した状態となる。

以上のことから、CMOS形式に構成されているときには、ゲート電圧によっては、pMOSFET、nMOSFETがともにONの状態になることがあることがわかる。

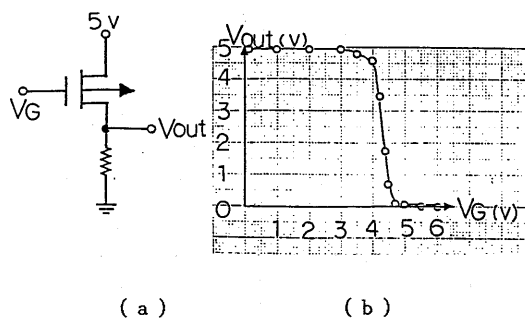


図2. 1 pMOSFET

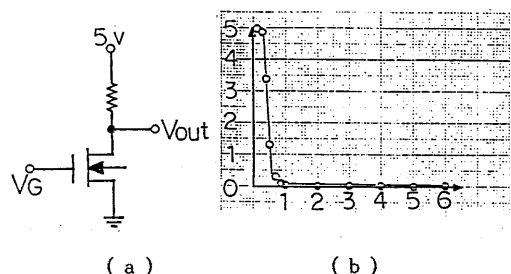


図2. 2 nMOSFET

図2 MOSFET の特性

## 4. 従来のシミュレーションの改良

### (1) 論理値の改良

従来のMOSPLUS-Cでは、論理値として0 (low voltage), 1 (high voltage), 2 (unknown) を使用してきた。しかし、測定結果より、この0、1以外にも論理値を設定する必要があることがわかる。即ち pMOSFET を ON かつ nMOSFET を OFF にする値、pMOSFET を OFF かつ nMOSFET を ON にする値、pMOSFET、nMOSFET 両方を ON にする値、pMOSFET を ON かつ nMOSFET は ON, OFF 不定にする値、nMOSFET を ON かつ pMOSFET は ON, OFF 不定にする値である。そこで、これまでの論理値の他に下記のように定義する  $\tilde{0}$ 、 $\tilde{1}$  を付加する。

#### ア. 論理値 $\tilde{0}$ の定義

論理値  $\tilde{0}$  は 0 に近い値ではあるが、0 とは異なる。そしてゲートの信号として  $\tilde{0}$  を取り扱うとき、pMOSFET は ON 状態となるが、nMOSFET の状態については、ON, OFF 不定とする。

#### イ. 論理値 $\tilde{1}$ の定義

論理値  $\tilde{1}$  は 1 に近い値ではあるが、1 とは異なる。そしてゲートの信号として  $\tilde{1}$  を取り扱うとき、nMOSFET は ON 状態となるが、pMOSFET の状態については、ON, OFF 不定とする。

また、0、1の信号がMOSFETを通過する際には、MOSFETの内部抵抗により信号値は僅かに変化する。そこで、MOSFETを1つ通過するごとに、それぞれの信号を  $0^1, 0^2, \dots, 0^k$  及び  $1^1, 1^2, \dots, 1^k$  とする。

それぞれの信号値の定義を次に示す。

#### ウ. $0^1, 0^2, \dots, 0^k$ についての定義

(ア)  $0^1, 0^2, \dots, 0^k$  は、 $\tilde{0}$  に属す。

(イ) その電位は  $0 < 0^1 < 0^2 < \dots < 0^k$

と MOSFET を通過するごとに高くなる。

(ウ) 信号の強さは、0 が最も強く、 $0 > 0^1 > 0^2 > \dots > 0^k$  と MOSFET を通過するごとに弱くなる。

#### エ. $1^1, 1^2, \dots, 1^k$ についての定義

(ア)  $1^1, 1^2, \dots, 1^k$  は、 $\tilde{1}$  に属す。

(イ) その電位は  $1 > 1^1 > 1^2 > \dots > 1^k$

と MOSFET を通過するごとに低くなる。

(ウ) 信号の強さは、1 が最も強く、 $1 > 1^1 > 1^2 > \dots > 1^k$  と MOSFET を通過するごとに弱くなる。

(2) MOSFET のスイッチ動作シミュレーションについての改良

MOSFET 特性の測定結果および前述の論理値により各スイッチ動作を次のように定義する。

ア. pMOSFET のスイッチ動作シミュレーション

(ア) ゲート信号が0のとき、ソース、ドレイン間は導通した状態になり、ソースとドレインの信号は等しくなる。

(イ) ゲート信号が $\tilde{0}$ のとき、ソース、ドレイン間は導通するが、その導通の度合いは(ア)の場合よりも弱い。

(ウ) ゲート信号が1又は $\tilde{1}$ のとき、ソース、ドレイン間は非導通又は導通、非導通が不定であるので、ソース(ドレイン)に如何なる信号が入力されても、ドレイン(ソース)は未定とする。

(エ) 但し、上記(ウ)においてドレインの電圧がソースの電圧よりも高いときには、ゲートの信号が1又は $\tilde{1}$ であっても、ドレイン、ソース間は僅かに導通するのでドレイン信号が1又は $\tilde{1}$ ならば、ソース信号は $\tilde{1}$ とする。

(条件-1)

イ. nMOSFET のスイッチ動作シミュレーション

(ア) ゲート信号が1のとき、ソース、ドレイン間は導通した状態になり、ドレインとソースの信号は等しくなる。

(イ) ゲート信号が $\tilde{1}$ のとき、ドレイン、ソース間は導通するが、その導通の度合いは(ア)の場合よりも弱い。

(ウ) ゲート信号が0又は $\tilde{0}$ のとき、ドレイン、ソース間は非導通又は導通、非導通が不定であるので、ドレイン(ソース)に如何なる信号が入力されても、ソース(ドレイン)は未定とする。

(エ) 但し、上記(ウ)においてソースの電圧がドレインの電圧よりも高いときには、ゲート信号が0又は $\tilde{0}$ であっても、ソース、ドレイン間は僅かに導通するのでソース信号が1又は $\tilde{1}$ ならば、ドレイン信号は $\tilde{1}$ とする。

(条件-2)

(3) 抵抗の動作シミュレーションの改良

従来のシミュレーションと同様に、2つの端子のうち一方の端子の値が未定の場合のみ、他の一方の端子の値を与える。但し、一方の端子の値が外部の論理値0、1ならば、もう一方の

端子の値は下記に示す0”、1”とする。

0”の定義

(ア) 電位は、0と等しい。

(イ) 強さは、X(未定)よりも強く、0<sup>k</sup>よりも弱い。

1”の定義

(ア) 電位は、1と等しい。

(イ) 強さは、X(未定)よりも強く、1<sup>k</sup>よりも弱い。

## 5. 故障シミュレーション

### 5.1 短絡故障

短絡故障シミュレーションは与えられた入力信号に対してシミュレーションを行う。その際、異なる論理値の衝突した場合の処理が重要である。そこで本シミュレーションでは、論理値に強さを付加し、異なる論理値が衝突する場合は最も強い論理値をとるものとする。その全てのパターンを表3に示す。論理値の強弱が判定できない場合には、下記に示す不定(U: unknown)として表す。

表3 異なる論理値の短絡

	0	0 <sup>k</sup>	0 <sup>k+1</sup>	1	1 <sup>k</sup>	1 <sup>k+1</sup>	X	0”	1”
0	0	0	0	U	U	U	0	0	0
0 <sup>k</sup>	0	0 <sup>k</sup>	0 <sup>k</sup>	U	U	U	0 <sup>k</sup>	0 <sup>k</sup>	0 <sup>k</sup>
0 <sup>k+1</sup>	0	0 <sup>k</sup>	0 <sup>k+1</sup>	U	U	U	0 <sup>k+1</sup>	0 <sup>k+1</sup>	0 <sup>k+1</sup>
1	U	U	U	1	1	1	1	1	1
1 <sup>k</sup>	U	U	U	1	1 <sup>k</sup>	1 <sup>k</sup>	1 <sup>k</sup>	1 <sup>k</sup>	1 <sup>k</sup>
1 <sup>k+1</sup>	U	U	U	1	1 <sup>k</sup>	1 <sup>k+1</sup>	1 <sup>k+1</sup>	1 <sup>k+1</sup>	1 <sup>k+1</sup>
X	0	0 <sup>k</sup>	0 <sup>k+1</sup>	1	1 <sup>k</sup>	1 <sup>k+1</sup>	X	0”	1”
0”	0	0 <sup>k</sup>	0 <sup>k+1</sup>	1	1 <sup>k</sup>	1 <sup>k</sup>	0”	0”	U
1”	0	0 <sup>k</sup>	0 <sup>k+1</sup>	1	1 <sup>k</sup>	1 <sup>k</sup>	1”	U	1”

Uは不定を示す  
Xは未定を示す

### 論理値Uの定義

(ア) 電位は、0と1の中間に位置する。但し、 $\tilde{0}$ 、 $\tilde{1}$ のいずれともしない。ゲートの論理値をUとすると、pMOSFET nMOSFETは共にONの状態になる。

(イ) 強さは、0、1よりは弱く、0<sup>1</sup>、1<sup>1</sup>よりも強い。

例として、図1の短絡故障の回路についてシミュレーションにおける論理値の決定手順を図3に示し、下記にその決定方法を示す。

- (1) 入力信号 (X1, X2) 及び Vdd(5V:1)、Vcc(0V:0) より、①、②、③、④の論理値をそれぞれ①=1、②=1、③=0、④=0と決定する。
- (2) ②=1、③=0より、④=1”、⑤=0”となる。
- (3) ①=1、④=1”より⑥=Xとなり、⑤=0”、①=1より⑥=1<sup>1</sup>となるので、⑥=1<sup>1</sup>を決定する。  
また、⑤=0”、④=0より⑦=Xとする。
- (4) ここで、⑤と⑥とが短絡しているのので、0”と1<sup>1</sup>の異なる論理値が衝突する。表3により⑤と⑥の論理値は1<sup>1</sup>となる。
- (5) ⑤=1<sup>1</sup>、④=0より⑦=0<sup>1</sup>を決定する。
- (6) ④=1”、⑦=0<sup>1</sup>より⑥=0<sup>2</sup>を決定する。
- (7) (4)(6)より⑥において、1<sup>1</sup>と0<sup>2</sup>の異なる論理値が衝突するので、表3より⑤=⑥=Uとする。

①	②	③	④	⑤	⑥	⑦	⑧
1	1	0	X	X	X	X	0
	1		1”				
		0		0”			
1	1	0	1”	0”	X	X	0
1			1”		X		
1				0”	1 <sup>1</sup>		
				0”	0”		
			1”			X	
				0”		X	0
1	1	0	1”	0”	1 <sup>1</sup>	X	0
1				1 <sup>1</sup>	1 <sup>1</sup>		
			1”			0 <sup>1</sup>	0
1	1	0	1”	1 <sup>1</sup>	1 <sup>1</sup>	0 <sup>1</sup>	0
			1”		0 <sup>2</sup>	0 <sup>1</sup>	
1	1	0	1”	1 <sup>1</sup>	U	0 <sup>1</sup>	0
1	1	0	1”	U	U	0 <sup>1</sup>	0

図3 短絡故障のシミュレーション手順

上述のシミュレーションの結果より⑥の論理値は、⑥=Uとなる。実際に⑥の電圧は表2のように与えられるので、このシミュレーションがより正確であることがわかる。

### 5. 2断線故障<sup>5)</sup>

断線故障は、CMOS論理回路においては、線路等のキャパシタが無視できないことからメモリのような動作を起こすことがある。正常なCMOS論理回路においては、MOS回路等のキャパシタはMOSFETの内部抵抗が十分に低いために充放電は充分に行われる。そのCMOS論理回路において、断線故障が生じると、故障のあるMOS-FETが充電または、放電の動作をしないので、その論理回路はメモリ素子のような動作となる。断線故障についても、このような現象のシミュレーションを行わなければならないので簡単に縮退故障として置き換えることはできない。

例として、2入力 NAND 回路について、断線故障を考える。断線故障を仮定できる箇所は図4のようになり、各断線故障を全ての入力信号に対してシミュレーションした結果を表4に示す。表4において、Qは1つ前の状態を示している。ここで、1つのMOSFETに対し、ゲート、ソース、ドレインと3つの断線箇所が仮定される。通常の論理回路に用いられるMOSFETはエンハンスメント型であるので、その3つの故障は等価な故障となる。このことは、シミュレーション結果(表4)からも確認される。

また、この2入力 NAND 回路に故障が仮定されないときの各入力に対するシミュレーション結果は表4のFFで表されるようになる。これと他の値を比較することにより、例えば、eに断線故障が挿入されたとき、(X1, X2) = (1, 1) (1, 0)の連続する入力信号を与えたときに故障が検出できることがわかる。

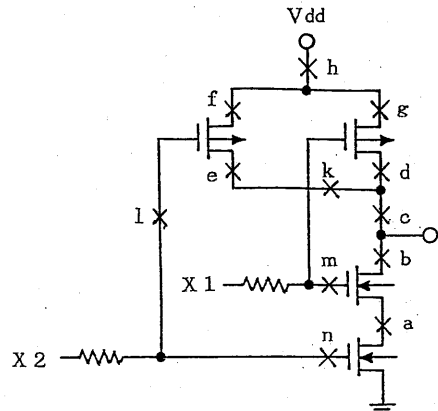


図4 2入力 NAND 回路の断線故障

表4 断線故障シミュレーション結果

X1	X2	FF	a	b	c	d	e	f	g	h	k	l	m	n
0	0	1	1	1	Q	1	1	1	1	Q	1	1	1	1
0	1	1	1	1	Q	Q	1	1	Q	Q	Q	1	1	1
1	0	1	1	1	Q	1	Q	Q	1	Q	1	Q	1	1
1	1	0	Q	Q	0	0	0	0	0	0	0	0	0	Q

6. 故障検出入力の生成

故障検出入力は、仮定した故障を検出するための入力信号とする。

故障検出入力の生成方法としては、Dアルゴリズムに似た方法を用いる。Dアルゴリズムとの違いは、論理値としてd ( $\bar{d}$ )を用いないことである。これは、このシミュレーションでは論理値に強弱が与えられており、特に短絡故障においては、例に示したようにシミュレーション結果がUという0にも1にも属さない値をとることがあるため、Dアルゴリズムで求めた出力がそのままシミュレーション結果に対応しないためである。

故障検出入力生成アルゴリズムにおいては、Dアルゴリズムと同様に、基本故障キューブと伝搬キューブを用いるが、各キューブの決定にあたって、次のような事項について考慮しなければならない。

(1) 故障が仮定されているMOSFETと並列に存在するMOSFETが導通状態にあると故障が被覆されてしまうことがある。

(2) 基本故障キューブより伝搬する論理値が並列な回路を伝搬するときは故障検出入力生成シミュレーションにおいて、基本故障キューブの論理値が出力端子に伝搬すればよい。例えば基本故障キューブと出力端子の間に再取れんのある回路が存在するときには、その回路の内、少なくとも1つの回路に値を伝搬すればよい。

6.1 基本故障キューブ

(1) 短絡故障

本シミュレーションにおいては、MOSFETの(a)ソース、ドレイン間、(b)ゲート、ソース間、(c)ゲート、ドレイン間の3種類の故障を取り扱う。前述の考慮事項(1)により各MOSFETの各々の短絡故障に対する基本

故障キューブは表5のように与えられる。

(2) 断線故障

本シミュレーションにおいては、MOSFETのゲート、ソース、ドレインの各端子の断線と接続点と接続点、抵抗と接続点の間の断線を取り扱っている。前述のように、断線故障を検出するためには連続する少なくとも2つのテスト入力が必要である。2つのテスト入力のうち最初の入力を初期化テスト入力と呼び、二番目のテスト入力を検出テスト入力と呼ぶ。前述の事項(1)より、各々の断線故障に対するMOSFETの基本故障キューブは表6のようになる。

MOSFETの端子以外の断線故障については、基本故障キューブはなく、断線故障の挿入された結線に論理値0と1を交互に連続して挿入し後述する伝搬キューブを用いて故障検出入力を生成する。

表5 短絡故障の基本故障キューブ  
pMOSFET [nMOSFET]

短絡	G	S	D
a	1	1	0
	[0	0	1]
b	1	1	0
	[0	0	1]
c	0	1	0
	[1	0	1]

表6 断線故障の基本故障キューブ

	pMOSFET			nMOSFET		
	G	S	D	G	S	D
初期化	1	1	0	0	0	1
検出	0	1	0	1	0	1

6.2 伝搬キューブ

前述の事項(2)より、pMOSFET、nMOSFET、抵抗、接続点の各伝搬キューブを次のように決める。

(1) pMOSFET [nMOSFET]

ソース、ドレインの内一方に0又は1の値が伝搬され、他方の値がX(未定)ならば、ゲートの値を0 [1]にして、その値を伝搬

させる。

ソース、ドレインの両方に値が伝搬され、その値が異なるときには、ゲートの値を1 [0]にする。

(2) 抵抗

両端子のうち、どちらか一方の端子に論理値が伝搬され、他の一方の端子の論理値が未定(X)ならば、その論理値を与える。

(4) 接続点

1つの端子に0又は1の値が伝搬され、他の端子の値がX(未定)ならば、それらの端子の一方又は両方にその値を伝搬させる。

7. 短絡故障検出の一方方法

ここで、図5.1のような短絡故障について考えてみる。この故障に対する故障検出入力は、 $(X1, X2, X3) = (0, 1, 1)$ となり、この検出入力によりシミュレーションを行うと、出力の論理値はUとなる。実際の回路について考えても、その出力値は、各MOSFETの特性によるもので、不定(U)となる。

そこで、図5.2のようにゲートを1つ付加することを考える。このときX4を1、0と連続して与えることにより、故障がない場合は表7のようになり、短絡故障が存在する場合、表8のようになるので故障が正確に検出できることがわかる。このことから、短絡故障を明らかにするためには、余分のゲートを付け加える必要があることが示される。

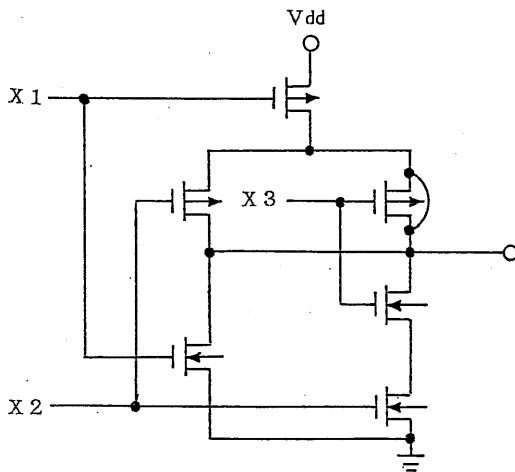


図5.1 MOSFET 論理回路

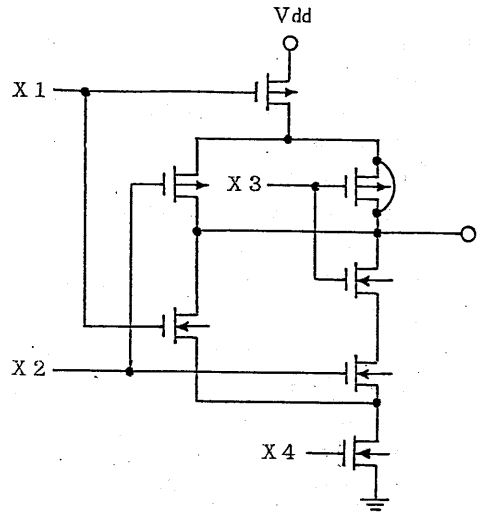


図5.2 短絡故障検出用 MOSFET 論理回路

表7 シミュレーション結果(故障なし)

X1	X2	X3	X4	F
0	1	1	1	0
0	1	1	0	0

表8 シミュレーション結果(故障あり)

X1	X2	X3	X4	F
0	1	1	1	U
0	1	1	0	1

8. まとめ

シミュレーションにおいて取り扱う論理値を従来のものから0、1のみならず、論理値の強弱を考慮して、0、1、0<sup>n</sup>、1<sup>n</sup>、0<sup>k</sup>、1<sup>k</sup>、U、Xに拡張することにより、MOSFET 論理回路の短絡故障及び縮退故障を、より正確にシミュレーションする方法を示した。

また、ゲートレベルでは取り扱うことのできないCMOS回路特有の断線故障シミュレーションの方法について示した。

さらに、各故障に対する故障検出テスト入力についても、Dアルゴリズムと同様な方法により、その生成が可能であることを示した。

以上の結果をもとに、MOSFET 論理回路の故障に対する故障検出検査入力の生成シミュレー

ションを実際に作成している。

「参考文献」

- 1) 樹下, 藤原:  
デジタル回路の故障診断(上)  
(工学図書)
- 2) JOHN P. HAYES:  
Fault Modeling for Digital MOS  
Integrated Circuits,  
IEEE TRANSACTIONS ON COMPUTER-AIDED  
DESIGN,  
VOL. CAD-3, NO3, pp200-207, JULY 1984
- 3) 竹之上, 古賀:  
MOS論理回路のスイッチレベルシミュレ  
ータの開発,  
情報処理学会, 設計自動化研究会資料  
DA31-1 (1986)
- 4) 竹之上, 川端, 古賀:  
MOS論理回路のフォルトシミュレーショ  
ンの一方式,  
情報処理学会, 第34回全国大会, 3f-6  
(1987)
- 5) R. Chandramouli:  
ON TESTING STUCK-OPEN FAULTS,  
FTCS 13th Annual International  
Symposium, pp258-265, 1983
- 6) 岩田, 古賀:  
MOSFET論理回路のスイッチレベル故障シ  
ミュレーションの一方式,  
情報処理学会, 設計自動化研究会資料  
DA42-3 (1988)