

## 機能図展開システムについて

来山 康治、 下出 隆文、横尾 宏、佐藤 貴彦、島田 章

沖電気工業(株)電子通信事業本部

論理機能図より、プリント基板回路図を生成するシステムを開発した。主な機能は、(1)冗長論理の削除、(2)部品割付け、(3)回路図の生成、(4)各種設計書の生成、である。

本システムでは、ネットリストベースの回路図生成手法とは異なり機能図のシンボル位置等のデータを最大限に利用して、論理的まとまりを重視した回路図を生成する。

数例に適用した結果、部品点数は、ほぼ人手並み、回路図枚数は、2割程度増加した。TATは人手にくらべ、約1/10に短縮した。

## A system for logic diagram expansion

Koji Kitayama, Takafumi Shimode, Hiroshi Yokoo, Takahiko Satoh and Akira Shimada  
Telecommunications Group, Oki Electric Industry Co., Ltd.  
10-16, Shibaura 4-chome, Minako-ku, Tokyo, 108 Japan

We have developed a system of generating printed circuit board diagrams. Main function are as follows. (1) Redundant logic reduction. (2) Parts assignment (3) Circuit diagram generation (4) Manufacturing document output.

Our method is different from conventional netlist-base circuit generation methods. Putting emphasis on logic functions, we make the best use of symbol location on logic diagram and generate circuit diagram.

We implemented this system to several PCBs, and have gotten following results in comparison with manual designs. (1) The number of parts are almost the same. (2) The number of circuit diagrams is larger by 20%. (3) Turn around time is about one tenth.

## 1.はじめに

論理回路設計ツールとして、EWSまたはパソコンによる回路図入力、論理シミュレータが定着しつつある。ハードウェア、ソフトウェアの進歩により、使い勝手、性能は向上してきたがデータの入力、検証作業は、大変な労力、期間を費やしているのが実情である。

1つの解決手段として、論理合成技術が研究され、実用化のレベルに達しつつあるが、本格的に普及するまでには、まだ時間が必要である。またプリント基板回路の設計には全面的な適用は困難である。我々は次のような目的で、本システムを開発した。

- 1.プリント基板、LSIの回路設計が同じ手法で設計できること。
- 2.現状の一般的設計方法と遊離しないこと。
- 3.論理シミュレーションが利用できること。
- 4.回路データの入力、編集の労力の軽減が期待されること。

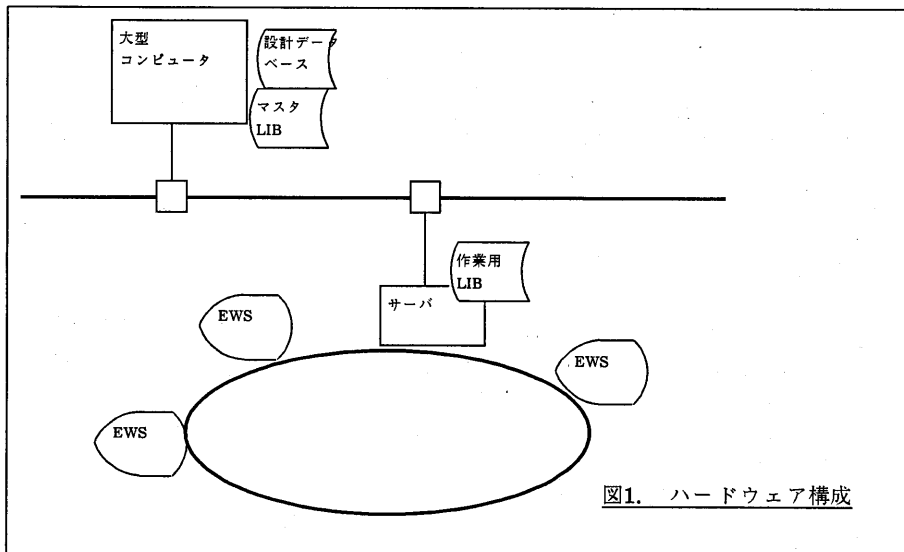
概要 本システムは論理機能図をEWSを用いて入力し、チェックプログラム、論理シミュレータをもちいてデバッグ後、LSI回路図、プリント基板回路図を生成する。全体的な流れは、図2に示す。

ハードウェアは32Bit EWSおよびサーバより構成される。構成を図1に示す。

運用はすべてEWSで行う。サーバの主な機能は

- 1.大型コンピュータとのコミュニケーション
- 2.作業用ライブラリの生成(マスタは大型コンピュータ)および管理
- 3.プリンタ、プロッタによる出図

である。



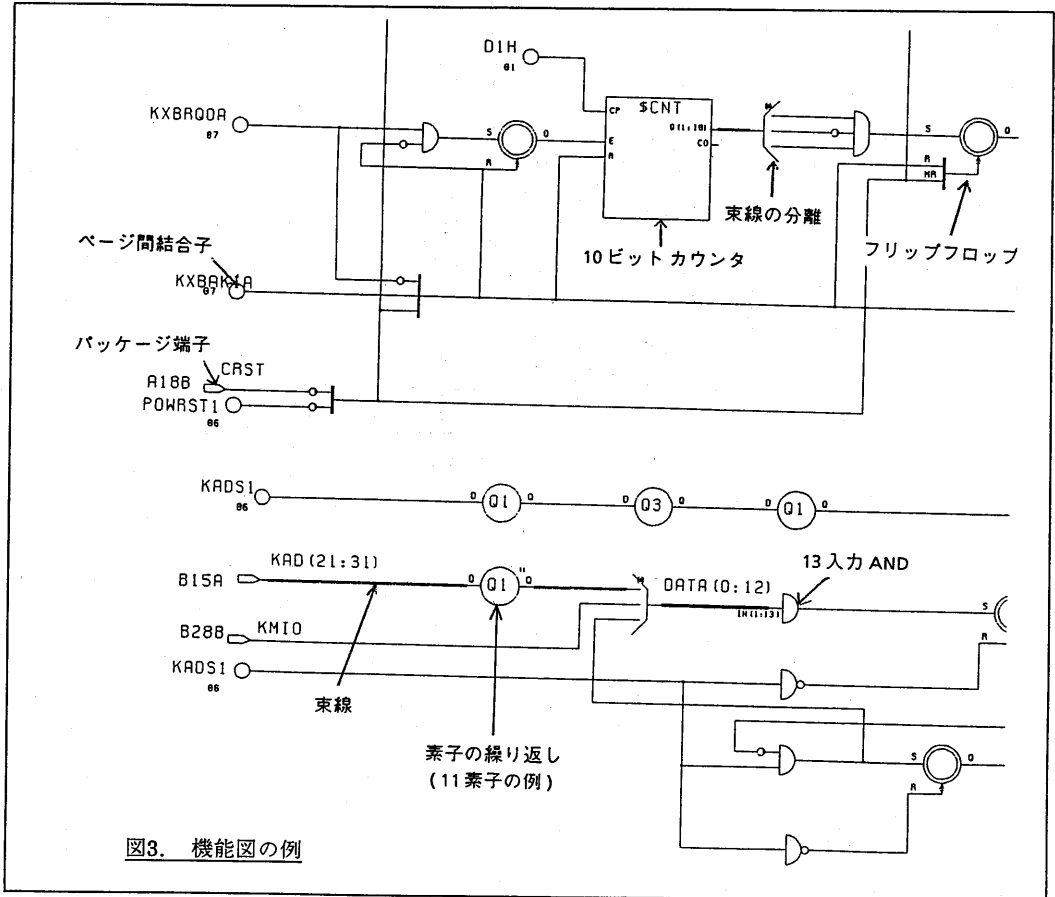
## 2.記法

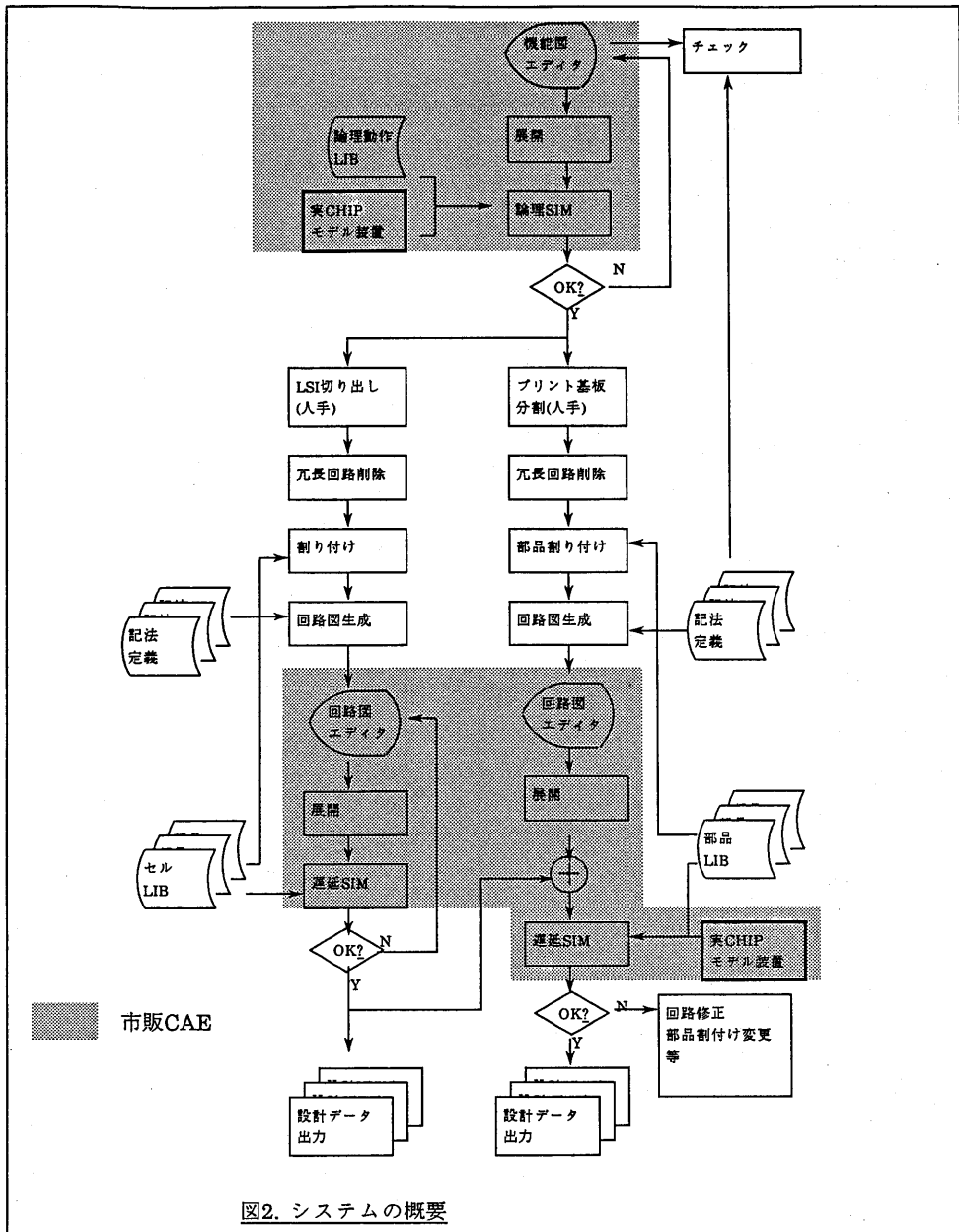
本システムが対象とする、機能図記法の特徴を述べる。

1. シンボルは必ずしも実際に存在する部品と対応する必要はない。  
例)7入力AND,6ビットDEC等
2. ビット数を記述することにより、シンボル、ブロックを束表現できる。
3. 信号線は任意に集束、分離できる。
4. シンボルの端子は束表記できる。
- 5.原則として正論理で表現する。
- 6.マクロシンボルを自由に定義できる。

以上のような記法で記述することにより、実際の回路の数十分の一の記述で論理を表現できる。記法の例を図3に示す。

しかし、詳細設計、実装設計、組立て、調整、調整等の後工程では、実際の部品、ピン、端子との対応を明記した図面が必要である。本システムは上記の様な機能図より、部品と対応付けられた、プリント基板回路図を生成することを目的とする。





### 3. 論理シミュレーション

機能図レベルでは、シミュレータは原則として、ユニットダイレイで計算する。  
論理シミュレーション後LSIの切り出しを行う。

機能シンボルに対応した論理モデルはすべて、HDL(Hardware Discription Language)で記述することができるが、汎用LSI、ASIC等を搭載する回路のシミュレーションでは、現実的ではない。現在は、次のようなモデルを用いている。

機能シンボル-----	基本素子の組合せ
	MSI,SSIの組合せ
特殊メモリ等-----	HDL
汎用LSI,ASIC,特殊メモリ--	実チップモデル
ASIC -----	既設計回路データ

実チップモデルはハイインピーダンス、不定値、初期化、ハードウェア上の制約等利用上の制限は、多々あるが、大規模なモデルを短期間に作成するには、現状では有効な手法である。ASICで内部の回路データが準備できる場合でも、ゲート規模によっては、実チップモデルを利用する場合もある。

部品割付け後、部品LIBに定義してある遅延情報で、遅延シミュレーションを行う。この段階で不都合が生じた場合は、回路の変更、使用部品の変更等により調整する。

### 4. 冗長回路の削減

展開後の論理は、主に次の理由により削除されるべきインバータが多数現れる。

- 1.機能図は、一般的に正論理で、記述する。
- 2.特に指定がない場合は、AND,NOR,ORはNAND回路に変換されて実現される。

図4に例示する処理を行うことにより、局所的には、人手と同等程度の回路を得ることができた。

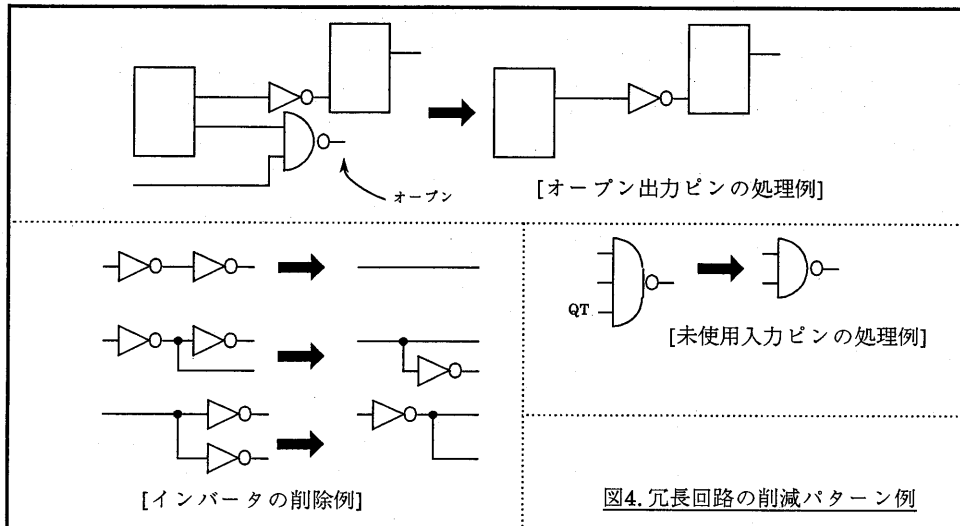


図4. 冗長回路の削減パターン例

## 5. 部品の割付け

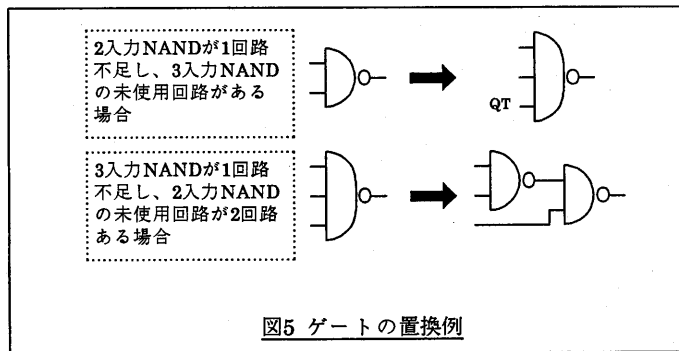
部品の割付けは、素子の機能と部品の対応リストをみておこなう。ただし、一般的に同一機能の部品が複数あるので、次の様な条件を与えることにより選択する。

- 1.部品を完全に指定する。
- 2.メーカーの指定
- 3.シリーズ名の指定(LS,S,CMOS等)

条件指定がない場合、または一意に定まらない場合は、優先順の高い部品より選定する。

以上の条件で、仮割付け後、ゲート、FFは部品点数を削減するための処理を行う。

- 1.入力数の異なるゲートに未使用があれば、代用する。
- 2.リセット、クロック端子を共用が可能であれば、割付けを変更する。



## 6. 回路図生成

ネットリストより回路図を生成する際、図面密度均一化や、分割ネット数最小化等の評価関数によるページ分割、レベルソートによるシンボル配置手法が主に用いられてきた。しかし、この手法では、論理的意味とは無関係な部分でページが分割されたり、フィードバック回路等のシンボル配置が設計者の意図とはかけはなれた図面が生成される。プリント基板回路図は、設計、製造、調整、検査、客先提出図等、最も重要なドキュメントであり、多くの人に意志を伝えるものである。

本システムでは回路の論理的意味の捕えやすさを、最重視することとし、機能図のシンボル位置関係を展開回路図のページ分割、シンボル配置に最大限に利用することにした処理方法を以下に述べる。

- 1.機能図のページの切れめでは回路図は必ず分割する。
- 2.マクロシンボルの展開回路は内部では、ページ分割しない。
- 3.ビット展開は縦方向に配置し、オーバフローは折返し、出来る限り同一ページにおさめる。
- 4.機能図のシンボル配置の相対位置関係を保持したまま、マクロシンボルの配置を行う。
- 5.マクロシンボルの展開回路はシンボルの配置の相対位置関係をあらかじめライブラリとして記述しておき、その情報を参照しながら、配置する。
- 6.以上の項目を考慮しながら、まず機能図のページ毎に架空の無限大ページ上に全シンボルを

配置し、その後、定められたページサイズに区切る。

7.全体のページ枚数を削減するために、シンボル密度の少ないページを統合する。

8.分割されたページ内で、端子、ページ端子、配線等を考慮して、配置を微調整する。

試行した結果、論理的には、まとまった回路が生成されるが、回路図枚数2割程度増加した。

## 7.おわりに

本システムは、現在プリント基板回路処理部は、開発を完了し、運用中である。LSI回路処理部は割付け機能の一部を除いて、評価段階である。

本システムの利点として、

- 1.プリント基板回路の設計の省力化。
- 2.プリント基板回路とLSI回路の設計を意識せずに同様の手法で可能
- 3.従来の設計ドキュメントとほとんど差異がない。
- 4.流用設計が容易
- 5.システムとしてシミュレーションを行うのでインタフェースミスが生じにくい。
- 6.テストデータが作成しやすい。

等があげられるが、しかし、実際の運用には、問題も少なくない。

1. プリント基板回路とLSI回路の設計が同時進行するが、実際の開発では、実装設計、製造等の期間が両者でアンバランスがあるので、適当な段階で、分離、先行設計が行われ、図2のようなフローは完全には適用できない。
2. 一度回路図を生成した後、変更が生じた場合、大幅な設計変更以外は、回路図を修正し、機能図にフィードバックがかからない。
3. システムの動作クロックが高速になると、単純なユニットダイレイシュミレーションでは論理の確認が困難となる。
4. LSI、ASIC、MEMORYの多用でシステムレベルのシミュレーションでは、さらにシミュレータのパワーが必要である。
5. 論理のまとめりとしては、見やすい回路図を生成することができたが、図面枚数は人手による記述より増加している。

今後、論理合成技術の研究成果、実装技術の変革等を取り込みながら、システム設計の一手法として、改良を加えていく予定である。

## 参考文献

- 1.横尾 外:"機能図展開システム",情報処理学会第37回全国大会,(1988)
- 2.下出 外:"機能図展開システムにおける回路図生成",情報処理学会第37回全国大会,(1988)