

スイッチレベルシミュレーションの一手法

吉田久人 村岡道明 秋濃俊郎
松下電器産業(株) 半導体研究センター

MOSトランジスタ回路を対象としたイベントドリブン方式に基づくスイッチレベルシミュレーションの一手法について述べる。回路モデルにはRCネットを用い、各節点に等価抵抗値を与えることにより、双方向トランジスタについても正しい伝搬を可能とした。また、回路状態決定フェイズと論理値伝搬フェイズの2フェイズに分離することにより不必要なイベントの発生を抑制した。いくつかのテスト回路に対しプロトタイプを用いて本アルゴリズムの評価を行い、その精度および速度について示した。

A Switch-Level Simulation Method
based on Event Driven Algorithm

Hisato Yoshida, Michiaki Muraoka
and Toshiro Akino

Semiconductor Research Center
Matsushita Electric Industrial Co., Ltd. Osaka 570, Japan

A switch level simulation method for MOS transistor circuits is proposed. This algorithm consists of two phase, the resistance calculating phase and the logic value updateing phase. The event driven algorithm is adopted into both phases. The events in the first phase are propagated without the delay and those in the second phase are propagated with their real delay. The experimantal results by the prototype simulator are shown for demonstrating the accuracy and the high speed of the proposed method.

1 はじめに

VLSIの論理検証においては、一チップ内に多く含まれる双方向素子をも含んだ全体回路を一度に検証できることが必要である。従来は、この双方向素子を単方向の等価回路に置き換えることにより論理シミュレータによる解析を行ったり、双方向部を一つの部分回路にまとめたスイッチレベルシミュレーション手法[1-3]が提案されていた。しかし、前者はループが存在する場合など、必ずしも正しい解析を行うことができず、また、後者は、トランジスタ毎の細かな遅延を扱うことができない等の問題点が存在した。そこで筆者らは、この双方向素子部を含む回路を単方向回路に等価変換せず、論理とスイッチのミックスレベルシミュレータを用いて解析することを検討してきた[4]。

本文では、MOSトランジスタ回路を対象とし、それぞれの双方向トランジスタをそのまま双方向素子と考えた上で、ミックスレベルへ組み込むことをふまえ、一つのトランジスタを伝搬単位としたイベントドリブン方式に基づくスイッチレベルのシミュレーションの一手法を提案し、そのアルゴリズムに基づいてSUN4上で作成されたプロトタイプによる評価結果を報告する。

2 モデリング

2.1 回路モデル

MOSトランジスタ回路をRCネットとしてモデル化する。すなわち、MOSトランジスタを可変抵抗および各節点と接地点間のキャパシ

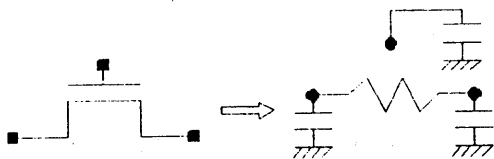
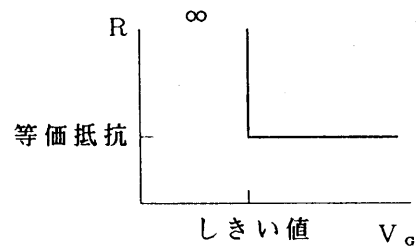
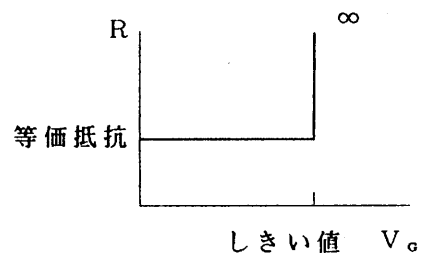


図1. MOSトランジスタのモデル
に等価変換する(図1)。可変抵抗の値はP

MOS、NMOSについてはそれぞれ図2に示すように、各トランジスタのしきい値を境として、導通時等価抵抗値(R_p)または不通時等価抵抗値(∞)をとる。デプレッション型は、常に導通状態にあると考え、導通時等価抵抗値を用いる。導通時等価抵抗値は、標準素子の導通時のドレイン電流値とソースドレイン端子間の電圧値から標準値を求め、それぞれの素子については標準素子とのサイズ比を用いてスケールすることにより求める。



(a) NMOS



(b) PMOS

図2. 等価抵抗値

2.2 遅延モデル

各トランジスタの伝搬遅延は、トランジスタの固有遅延 t_1 、等価抵抗値 R 、およびファンアウト容量 C を用いて次式のように求められる[5,6]。

$$\text{delay} = t_1 + R * C \quad (1)$$

ここで等価抵抗値は上述の等価抵抗値であり、ファンアウト容量は出力ネットの配線容量と出

力節点に接続するトランジスタの該当する節点における等価キャパシタンスとの和で求められる。

2. 3 節点の状態モデル

本手法では各節点の状態を等価抵抗値と疑似電圧レベルを用いて表す。

等価抵抗値は一般の論理シミュレーションにおけるストレングスに対応するもので、等価抵抗値は論理値1の電源に対する等価抵抗値（プルアップ抵抗）と論理値0の電源に対する等価抵抗値（プルダウン抵抗）とからなる。それぞれの値はあるMOSトランジスタのソース、ドレイン間に信号伝搬が起こるか否かを判定する指標となるほか、以下に述べる疑似電圧レベルを決定する。

疑似電圧レベルとは電源電圧を1とした場合の各節点の相対電圧値を示したもので、疑似電圧レベル（ p_v ）はプルアップ抵抗（ r_1 ）とプルダウン抵抗（ r_0 ）を用いて次式で定義される。

$$p_v = r_0 / (r_1 + r_0) \quad (2)$$

この疑似電圧レベルから出力する論理値（0, 1, X）への変換は論理しきい値を設定することにより行われる（例えば、0.6以上を1、0.4以下を0、その他をXとする等）。従って、その指定を変更するだけで容易に1/0の尺度を変更することが可能となる。また、各トランジスタのしきい値を同じく疑似電圧レベルで表現し節点の疑似電圧レベルと比較することにより、その節点に依存して動作するMOSトランジスタの導通状態決定が行われる。疑似電圧レベルを用いることにより論理しきい値とトランジスタのしきい値が分離可能となり、各トランジスタ毎に異なるしきい値を設定することも可能となる。

また、未定状態のトランジスタが存在する場合、トランジスタを導通状態とするか不通状態とするかでその両端の節点の状態が2状態存在

しうる。これに対応するために各節点は最大2状態まで存在することを可能とする。ただし、外部に対する出力（出力論理値など）には、その2論理値を結合した値を用いる。2論理値の結合においては、それぞれの論理値が共に1の時のみ1、共に0の時のみ0をとり、その他の場合にはすべてXとする。

3 シミュレーションアルゴリズム

本アルゴリズムでは、回路動作を以下のように考えている。

外部入力、あるいはMOSトランジスタの状態が決定した時点で、回路内のトランジスタの電流方向と各節点の最終的な状態が決定されるが、各節点においてその変化が現れるのはキャパシタに電荷が貯る時間後である。

そのため、ある信号変化に対して実行されるシミュレーションの手順（図3）は、大きく2つのフェイズから構成されている。

フェーズ1では信号変化の影響を受ける節点の等価抵抗値の計算が行われる。等価抵抗値は導通状態もしくは未定状態にあるトランジスタの一節点を基準とし、そのトランジスタの対点（ソースに対するドレイン、あるいはその逆）に対して抵抗値を逐次累積しながら伝搬して行くことにより求められる。抵抗値の伝搬には2種類あり、1つめは抵抗値の累積値を伝搬するもので一般伝搬と呼ぶ。2つめは抵抗値を強制的に無限大に変更するもので無限大伝搬と呼ぶ。それぞれの伝搬は各時刻毎に外部からの入力に変化した入力点および状態が変化したトランジスタのドレインおよびソースを起点として起こり、すべての節点において伝搬が行われなくなるまで繰り返される。

伝搬により設定される抵抗値および伝搬の種類はその伝搬の発生の仕方によって異なり、それぞれ以下に示すように行われる。

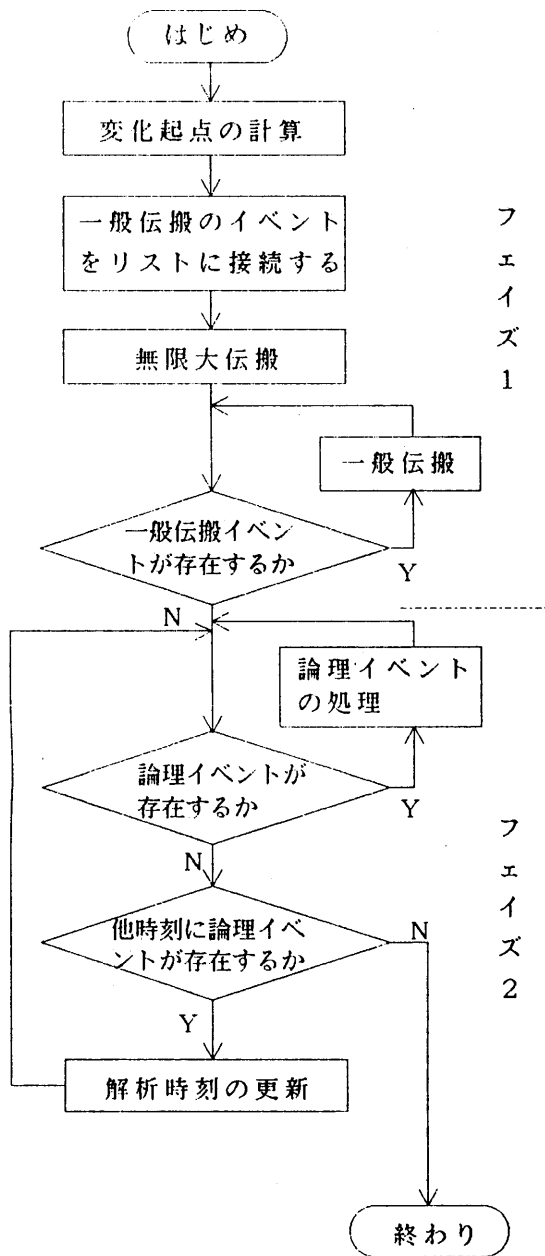


図 3. 解析フロー

a) トランジスタの状態が導通状態に変化したとき

まずソース、ドレインそれぞれを基準点とした伝搬の判定を行なう。伝搬が行われるか否かの判定は伝搬すべき抵抗値と被伝搬点の抵抗値

との比較により行われる。すなわち、基準点の抵抗値を R_a 、被伝搬点の抵抗値を R_b 、伝搬するトランジスタの等価抵抗値を R としたとき、

$$R_a + R_c < R_b \quad (3)$$

を満たすとき伝搬が行われる。このとき (3) 式の左辺の $R_a + R_c$ を伝搬値と呼ぶ。伝搬が行われるときには被伝搬点の抵抗値を伝搬値に更新し、変化した点を起点とした一般伝搬を行なう。

b) トランジスタの状態が不通状態に変化したとき

ソース、ドレインそれぞれを基準点として変化前の両節点の状態を比較する。このとき基準点の抵抗値を R_a 、被伝搬点の抵抗値を R_b 、伝搬するトランジスタの等価抵抗値を R_c としたとき、

$$R_a + R_c \leq R_b \quad (4)$$

が成立するならば、被伝搬点の抵抗値を無限大とし、以降その点を起点とした無限大の伝搬を行なう。

c) トランジスタの状態が未定状態に変化したとき

まず、トランジスタが不通状態に変化したものと考えて前述の b) の処理を行ない、その後、導通状態に変化したものと考えて前述の a) と同様の抵抗値の計算を行う。この際、被伝搬点には不通状態として考えた状態と導通状態として考えた状態の両方を持つものとする。

d) 外部入力に変化したとき

外部入力点においては、入力値が 0 のときプルアップ抵抗を無限大、プルダウン抵抗を 0 とする。また逆に、入力値が 1 のときにはプルアップ抵抗を 0、プルダウン抵抗を無限大とする。入力値が 0 から 1 に変化したときには各抵抗値を変更した後、プルアップ抵抗については一般伝搬を、プルダウン抵抗については無限大伝搬

フ
ェ
イ
ズ
1

フ
ェ
イ
ズ
2

を行う。入力が1から0に変化したときにはこの逆を行う。

次に起点から発した一般伝搬は導通あるいは未定状態のトランジスタを介して以下のように伝搬される。

e) 導通状態にあるトランジスタに対し一般伝搬が行われる場合

伝搬元節点を基準とした(3)式の判定を行い、伝搬が行われるときには被伝搬点の抵抗値を伝搬値に更新する。

f) 未定状態にあるトランジスタに対し一般伝搬が行われる場合

伝搬元節点を基準とした(3)式の判定を行い、伝搬が行われる場合には被伝搬点には不通状態として考えた状態と伝搬される状態の両方を持つものとする。

また、起点から発生した無限大伝搬は導通あるいは未定状態のトランジスタを介して以下のように伝搬される。

g) 導通状態にあるトランジスタに対し無限大の伝搬が行われた場合

無限大に設定される前の基準点の抵抗値と被伝搬点の抵抗値とを比較し、(4)式が成立するとき被伝搬点の抵抗値を無限大に更新する。

h) 未定状態にあるトランジスタに対し無限大の伝搬が行われた場合

無限大に設定される前の基準点の抵抗値と被伝搬点の抵抗値とを比較し、(4)式が成立する被伝搬点の抵抗値のみ無限大に更新する。すなわち、2状態が存在し、一方はこのトランジスタを介して伝搬されてはいるが他方は伝搬されたとは考えられない場合、伝搬されていると考えられるもののみ無限大に変更する。

上において無限大の伝搬が行われた場合にはその伝搬が停止した節点およびその伝搬の途中に含まれる外部入力点は、新たに一般伝搬の起点となる。

各節点において新しい抵抗値が求められる度に疑似電圧レベルが計算される。ただし、抵抗値が直ちに更新されるのに対し、疑似電圧レベ

ルは直ちに現在値を更新するのではなく各節点に次状態として保持される。

フェーズ1における一般伝搬は抵抗値の変化した点においてイベントとして記憶されるが、通常のタイムホイールには登録されず固有のヘッダーのイベントリストに接続される。このイベント伝搬においては遅延は考慮されず、すべての伝搬はゼロ遅延で行われる。一方、無限大伝搬は変化した節点から先の条件を満たすすべての接続点に縦型探索を用いて伝搬される。

フェイズ2ではフェイズ1で求められた疑似電圧レベルの次状態を適切な遅延時間後に現状態に書換える。各トランジスタの伝搬遅延は先の(1)式を用いて求められる。疑似電圧レベルはフェイズ1で求められた2つの等価抵抗に基づいて論理イベントにより伝搬される。ある節点に生じた論理イベントは以下に示す条件のすべてを満たすトランジスタを介して伝搬される。

1) 対象となるトランジスタが不通状態でないこと。

2) 伝搬すべき点の現状態と次状態が異なること(伝搬すべき節点が論理イベントの伝搬を必要としていること)。

3) 伝搬する信号の論理値が1のとき、プルアップ抵抗について(4)式の等号のみが成立すること。

4) 伝搬する信号の論理値が0のとき、プルダウン抵抗について(4)式の等号のみが成立すること。

フェイズ2の論理イベントのもととなるイベントは、フェイズ1の一般伝搬中に生成される。すなわち、一般伝搬の抵抗値計算が終了した時点で先の1)から4)のほかに

5) 伝搬元の節点の現状態と次状態が等しい、という条件を加えた5つの条件がすべて満たされるとき論理イベントが生成される。

4 評価結果

前章で示したアルゴリズムに基づいたスイッ

チレベルシミュレータのプロトタイプを sun 4 上で作成し、4つのテスト回路を用いてその論理の検証と遅延精度、解析速度について評価を行った。テスト回路としては、スイッチレベルで問題となる特徴的な2つの回路 (test 1, test 2)、インバータの100段回路 (test 4)、および約2000トランジスタ規模のパレルシフター (test 5) を用いた。

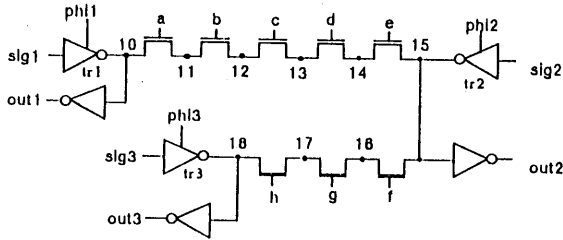
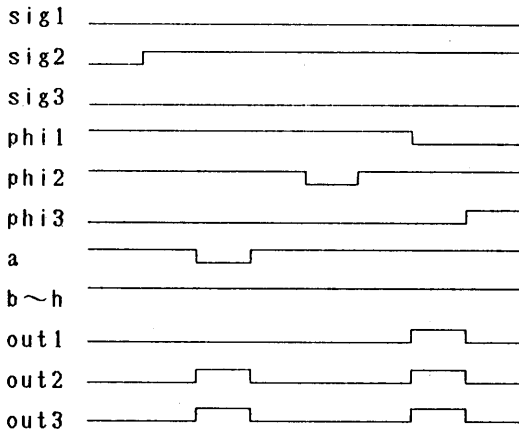
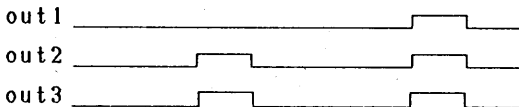


図4. test 1



(a) テストパターンと期待値



(b) テスト結果

図5. test 1の結果

test 1は図4に示すような回路であり、図中のトリステートインバータのサイズを構成するトランジスタが tr1、tr3、tr2

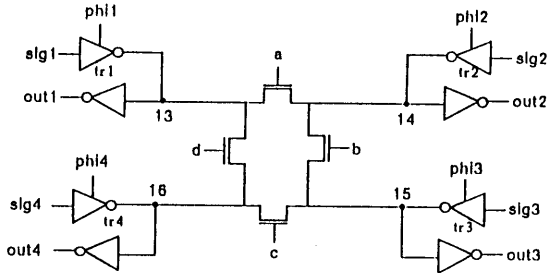
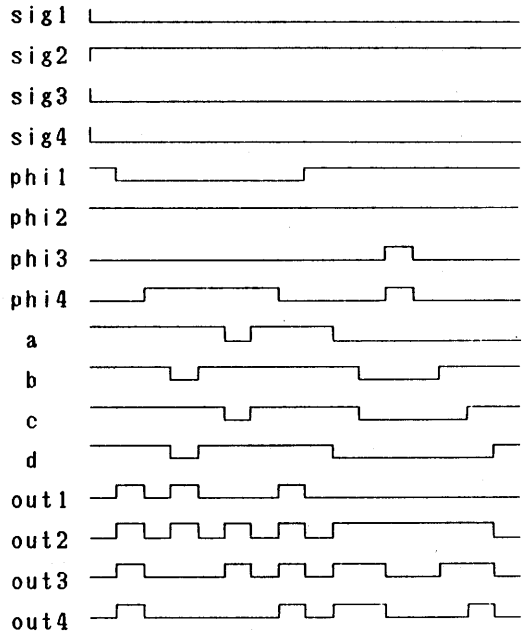
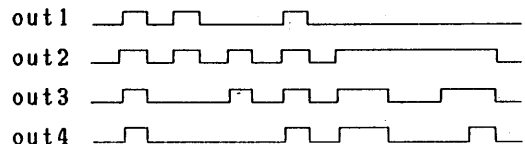


図6. test 2



(a) テストベクタと期待値



(b) テスト結果

図7. test 2の結果

の順で大きくしてある。このテスト回路に対し、図5 (a) に示すテストボタンを用いてシミュレーションした結果図5 (b) に示す結果が得られた。また、test 2 は図6 に示すバストランジスタのループを含む回路であり、このテスト回路においてもトライステートインバータを異なるサイズのトランジスタを用いて構成し、図7 (a) に示すテストボタンによりテストを行った。その結果図7 (b) に示すように期待値が得られた。この結果、本プロトタイプがループを含む双方向部に対して正しい論理検証を行うことが確認される。

遅延時間については test 1 における本プロトタイプの遅延時間と回路シミュレータ SPICE [7] による結果とを比較することによりその精度を検証した。sig1 のから入力された信号が節点 18 まで伝搬していく際の比較結果を表 1 に示す。表中第 1 列が図 4 中の節点番号、第 2、3 列がそれぞれのシミュレーションの結果得られた遅延時間、そして、第 4 列がその差を表示している。

表 1. SPICE との比較

(単位 ns)

node	プロトタイプ	SPICE	差 (割合)
10	0.84	1.16	0.32(28%)
11	1.02	1.33	0.31(23%)
12	1.21	1.52	0.31(20%)
13	1.39	1.79	0.40(22%)
14	1.58	1.97	0.39(20%)
15	1.82	2.14	0.32(15%)
16	2.31	2.01	0.29(13%)
17	2.19	2.43	0.24(10%)
18	2.43	2.56	0.13(5%)

表 1 より遅延の誤差が 20% 程度であることが分かる。特に節点 11 以降の各節点間の遅延時間の差が両手法においてほぼ差がなく、後段になるほど誤差の割合が減少していることからこ

の誤差が初期の誤差によるものであることが分かる。初期誤差の原因としては、プロトタイプが矩形入力を用いているのに対し、SPICE では入力に台形入力を用いていることによる立ち上がり時間の差が考えられる。

シミュレーション速度については test 4 および test 5 を用いて測定した (表 2)。

表 2. 速度評価

回路	unit(ns)	時間(s)	速度(eps)
test4	0.1	2.8	2168
	0.01	3.5	1702
test5	0.1	7.3	2077
	0.01	8.9	1736
	ZERO	6.4	2456

測定はシミュレーションの精度を変化させて行った。表中第 2 列はタイムホイールのステップ幅であり、ZERO はゼロ遅延を表している。また、cpu 時間は解析のみに要した時間であり、コンパイル時間は含まない。eps は論理イベント数のみを解析に要した cpu 時間で割ったものである。test 5 に対する市販のスイッチレベルシミュレータとの eps 比較では約 5 倍の速度であった。

5 結び

本文では、イベントドリブン方式を用いたスイッチレベルシミュレーションの手法を提案し、プロトタイプによる評価結果を示した。結果として本方式により MOS トランジスタの双方向素子を利用した回路に対しても正しい論理を計算し、かつその速度は論理レベルシミュレーションに対して一桁遅い程度の約 2 KEPS が実現された。遅延精度については SPICE に対して 20% 程度であるが、入力の遅延による影響が十分に考慮されていないことが課題として残った。

今後の課題としては、さきに述べた課題の他

に、本手法では抵抗値の計算において並列バスが存在する場合には累積抵抗値の小さい方を選択するが、その並列バスの抵抗値が近い値であるとき節点の等価抵抗値に誤差が生じるため疑似電圧レベルが必ずしも正確とはいえず、並列バスが多く存在するような回路に対しては誤動作する可能性があるため、並列バスに対する対処が必要である。

今回はミックスレベルへの一ステップとしてすべてをトランジスタとしてシミュレーションを行ったが、今後は双方向部のみの本手法を適用し、ゲートレベルで記述される部分についてはゲートレベルのシミュレーションを行なうミックスレベルシミュレータへと発展させる予定である。

参考文献

- [1] R. E. Bryant, "MOSSIM : A Switch-Level Simulator for MOS LSI, " Proc. 18th Design Automation Conference, pp.786-790, 1981.
- [2] P. E. Bryant, "A Switch-Level Model and Simulator for MOS Digital Systems," IEEE trans. Computer, vol.C-33, pp.160-177, 1984.
- [3] P. E. Bryant, D. Beatty, K. Brace, K. Choand and T. Sheffler, "COSMOS : A Compiled Simulator for MOS Circuit," Proc. 24th Design Automation Conference, pp.9-16, 1987.
- [4] 吉田、村岡、秋濃、" ミックスモードシミュレータにおけるスイッチレベル解析手法の考察" 第20回F T C研究会資料、1989.
- [5] H. N. Nham and A. K. Bose, "A Multiple Delay Simulator for MOS LSI Circuits," Proc. 17th Design Automation Conference, pp.610-617, 1980.
- [6] Z. L. Mo and M. R. Lightner, "A Two Parameter Delay Model for Switch Level Simulation," Proc. IEEE International Conferenceon Computer Dessgin, pp.481-486,

1984.

- [7] L. W. Nagel, "SPICE2 : A Computer Program to Simulate Semiconductor Circuit, " ERL MEMO ERL-M520, Univ. of California Berkeley, May, 1975.