

アナログセル自動配置手法

小池 恵一 原田 育生

NTT LSI 研究所

アナログ回路のマクロセル内等のトランジスタレベルの自動配置手法について述べる。まず、アナログ回路に特有な電気的特性要求を満たすためのレイアウト上の技法を分析し、レイアウト制約条件として定式化した。次に、制約条件の優先度に応じ、絶対的な制約条件に対しては前処理的配置を行なった。その他の条件は回路の接続度などとともに「力」として考え、力学モデルを用いて配置の最適化を行なった。異なった性質の条件を力の概念により一元化して最適化できるため、高品質な配置の生成が可能である。

An Automatic Placement Method for Analog Cells

Keiichi KOIKE Ikuo HARADA

NTT LSI Laboratories

An automatic transistor level placement method for analog cells is discussed. We first analyze manual layout techniques which implement electrical characteristics especially for analog circuits and formalize them as *Layout constraints*. Second, we place cells in regard to absolute constraints before placement optimization. Placement optimization places cells using the force-directed method by considering the remaining constraints and connectivities, etc., as force. It can produce good placements because various constraints are totally optimized using the force-directed idea.

1 まえがき

アナログ回路や超高速デジタル回路は、他の回路に比べ雑音低減などきびしい電氣的特性が要求される。この特性を決定する要因の一つにLSIチップ上の素子レイアウトがある。しかし、これまで与えられた電氣的特性要求を満たす自動化レイアウト手法は確立されておらず、人手による設計が行われてきた。近年のアナログLSIの高機能化、多品種化によりその設計機会は急増しており、トランジスタレベルの自動レイアウトシステム[1,2]の構築が望まれている。本稿では、レイアウトに電氣的特性を考慮した制約を加えることにより、高品質な解を得る一配置手法を提案する。

2 アナログレイアウト問題

2.1 従来手法

従来のレイアウト設計における配置方法の代表的な2例を示す。

1. 機能ブロック間の結線要求に対して本数に応じた強さのばねを設けて力学モデルを作り、平衡位置をシミュレーションにより求め、配置とする手法[3]。
2. 機能ブロックの集合を部分集合間の結線数が最小で、なおかつそれぞれの部分集合に属する機能ブロックの面積の和がほぼ等しくなるような2つの部分集合に分割する。この操作を各機能ブロック集合に再帰的に適用して配置を得る手法[4]。

1の手法は素子の集合である機能ブロックの配置手法であり、機能ブロックをその重心の座標で表している。すなわち、点と点の間に結線数に応じた強さのばねを設けて力の平衡点を求める手法であり、機能ブロックの大きさや向き等の考慮は行なわれておらず、ブロックの重なりやはみ出しを生じる欠点がある。この点を改良した手法[5]も報告されているが、機能ブロックを点と考え、ブロックの向きは初期配置が終わった後、配置改良の段階で回転を行なうという方法であり、局所的な情報しか活用できていない。また、両手法ともレイアウトに関する制約を受け付けていない。

2の手法に関してもレイアウトに関する制約を受け付けていない点は上記の手法と同様である。これを改善し、レイアウト上の制約を考慮したレイアウト結果を生む手法[1]の報告もある。しかし2の手法に準じているために、分割された部分回路にまたがった素子間の制約を配置領域全体をみて最適化するのには困難である。

2.2 レイアウト制約条件

アナログレイアウトでは回路に電氣的な特性要求が課せられる。設計者はこれをレイアウト上の制約として置き換えて考え、レイアウトを行なっている。ここではこれをレイアウト制約条件と呼ぶ。これまで、レイアウト制約条件は各設計者の知識・経験としてのみ蓄えられていたため、定式化が困難であった。したがって計算機による処理が難しく、また、制約条件どおりにレイアウトを行なう手法も確立されていないため、レイアウト自動化の障害となっていた。筆者らはレイアウト制約条件の分析を行ない、これらを次の2種類に大別してそれぞれに適した配置手法を考案した。

- 回路特性の保証に必要な絶対条件
- 回路特性を向上させるのに有効な目標条件

表1に代表的なレイアウト制約条件の例をあげた。例えば、表中のトランジスタの近接対称配置は、差動入力トランジスタの素子パラメータのばらつきを抑止を、入出力回路の分離配置は回路間相互の信号の混入の防止を目的としている。これらの条件は電氣的特性を満足するための絶対的な条件であり、配線交差数の最小化などの目標条件に先だって実現されなければならない。

次章ではそれぞれの条件を最適化できる自動配置手法について述べる。

表1: レイアウト制約条件の例

	配置関係	配線関係
絶対条件	Tr. の近接対称配置	入出力配線の交差禁止
	入出力回路の分離	差動入力用の対称配線
	電源線の位置指定	
目標条件	近接配置	配線層の指定
	対称配置	配線交差の禁止
	分離配置	スルーホール数最小化

3 配置概要

3.1 配置モデル

設計の対象をマクロセル等の内部のトランジスタレベルの配置設計とした。扱う素子は、より高性能で、規格化が容易なバイポーラデバイスに限定した。入力には素子の大きさと端子位置、回路のネットリスト、配置領域の大きさ、外部端子や電源線の位置、レイアウト制約条件等が与えられる。配置の順序は、まず絶対条件を満

足し、その後目標条件の最適化を行なう。目標条件は結線要求や素子モデルとともに全て条件の重みに応じた強さのばねに置き換え、[3]の力学モデルを用いて一元的に取り扱って最適化する。このとき、素子を剛体と仮定し、力を実際の結線要求のある端子にかけることで素子を回転させ、その位置と方向を同時に最適化できる。なお、素子は実際の大きさを各々必要なだけ拡大し、素子どうしが重なり合わない限りデザインルールのスペーシングは保証されるものとする。

3.2 配置手法

種類分けしたレイアウト制約条件それぞれに対して次の方法で配置する。

絶対条件: Tr. の近接・対称配置については相対位置を固定して配置する(図1)。また、主要な電源線の主幹部分を指定位置に固定して、素子に垂直または水平な引力を加えることで配置段階で電源線を考慮する(図2)。

目標条件: 結線要求とともに、力として素子の端子や重心に加え、運動方程式を解くことで配置を求める。

運動方程式は並進、回転のそれぞれについて次のように立て、数値積分により素子の位置、角度の更新を繰り返し、配置を求める。

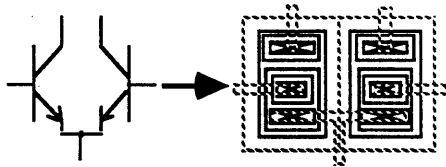


図1 素子の相対配置固定

入力による指定位置に固定

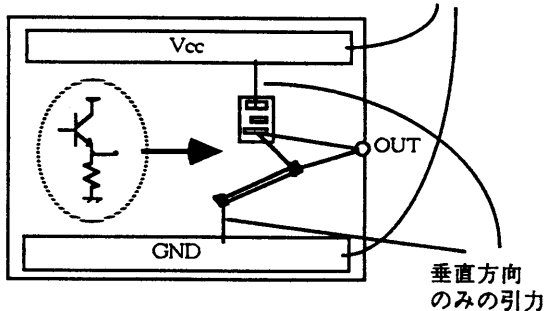
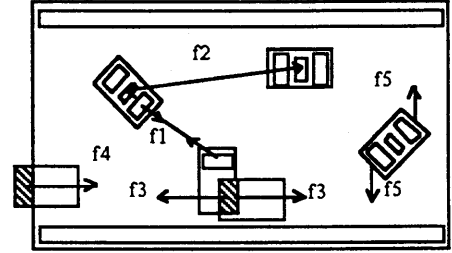


図2 電源線の固定配置



- f1:吸引力→接続、及び設計者指定の近接配置
- f2:反発力→設計者指定の分離配置
- f3:反発力→重なりを除去
- f4:反発力→配置領域外へのはみだし防止
- f5:偶力→素子方向の整形

図3 素子に加わる力の種類

$$F = m \frac{d^2 r}{dt^2} - \gamma \frac{dr}{dt}, \quad T = I \frac{d^2 \theta}{dt^2} - \gamma^* \frac{d\theta}{dt} \quad (1)$$

ここで、 F, T は素子にかかる合力と総トルク、 m, I は質量と慣性モーメント、 r, θ は位置ベクトルと回転角度、そして γ, γ^* はそれぞれ並進、回転のダンピングファクターである。素子に加える力の種類とその目的を図3に示す。これらの力は全てを同時に素子に加えるのではなく、以下の順序により加え、その各段階で与えた力にしたがって運動方程式を解き平衡点を求める。

1. 接続・目標条件のみによる力で素子の重なりや回転を許した配置を求める。
2. 重なり、配置領域外へのはみ出しに対する反発力を加える。平衡点における重なりやはみ出しが許容値以下になるまで反発力にかかる係数を段階的に増加させる。
3. 素子方向を垂直または水平に整形する偶力を加える。平衡点における回転角度の偏移が許容値以下になるまで偶力にかかる係数を段階的に増加させる。
4. 素子方向を垂直または水平に固定して素子の重なりが完全なくなるまで反発力を増加させ、最終配置を得る。

計算過程においては回転する素子の重なりや配置領域外へのはみ出しの検出、反発力の付加等の複雑な計算が必要となる。そこで、処理の高速化のため、図4aのように素子を縦/横比に応じた数の円の並びで近似する。この近似により矩形の重なりやはみ出しは円の重なりやはみ出しで計算できる。また、矩形で計算する場合には与えるべき力の方向や位置を一意に決定することは困難

であるが、反発力を図のように円の中心に与えることでこれを単純化している。さらに、素子の境界付近では円の重なりがステップ状に変化するため、結果として反発力の大きさが急変することがある。そこで、円の境界を平滑化して反発力の急激な変化を防止して解の収束性を高めている(図4b)。

4 実験結果

図5および図6は実際のプリアンプ付きコンパレータの回路に対し、人手設計と同じ大きさの領域に本手法を適用して配置した結果である。プリアンプにおけるQ3-4、コンパレータにおけるQ7-8、Q11-12、Q14-15は図1の方法により1素子として扱っている差動トランジスタである。端子にかかる力により各素子の向きと位置の最適化が行なわれている。なお、プリアンプとコンパレータには絶対条件である入出力回路の分離が要求されるが、今回は回路の分離は人手により行ない、個別に本手法を適用し配置した。実行時間は5MIPSマシン上のcpu時間でそれぞれ450秒、940秒であった。

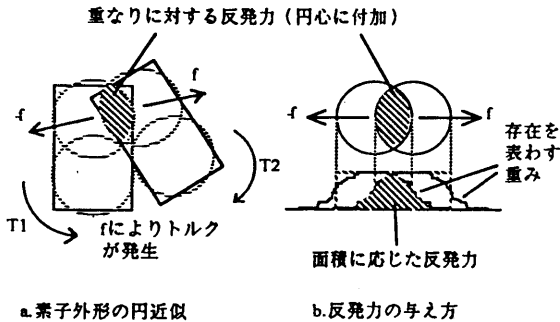


図4 素子の円近似と反発力の与えかた

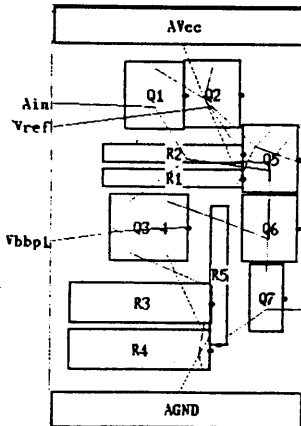


図5 実行結果(プリアンプ)

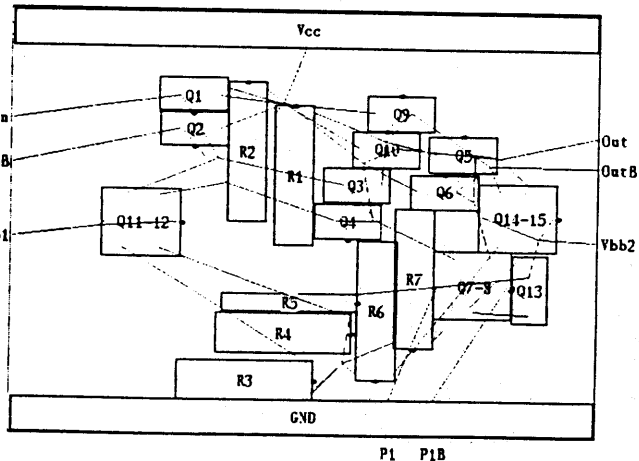


図6 実行結果(コンパレータ)

5 まとめ

アナログ回路の電気的特性を考慮した高品質な配置が得られる自動化手法について提案した。今後は入出力回路の分離、素子集合同じの対称性等、現在考慮できていない条件や定式化できていない条件の充足方法や数値積分の改良等、効率的な解法による高速化等が検討課題となる。

参考文献

- [1]: 渡辺、菊池、他:”アナログLSIレイアウトCAD”, 信学技報, CAS86-211, pp.59-87 (1986).
- [2]: 長尾、山内、他:”アナログLSIにおけるモジュール設計支援システムについて”, 1989年信学秋季全大, SA-7-3, pp.396-7 (1988).
- [3]: N.R.Quinn and M.A.Breuer:”A Force Directed Component Placement Procedure for Printed Circuit Boards”, IEEE Trans. CAS-26, pp.377-388 (1979).
- [4]: U.Lauther:”A Min-Cut Placement Algorithm for General Cell Assemblies Based on Graph Representation”, Proc. 16th DAC., pp.1-10 (1979).
- [5]: 小野寺、坂本、他:”大きさの異なるブロック配置の一手法”, 信学論, VLD87-62, pp.79-86 (1987).