

アナログ回路用のプリント基板設計システム PRIDE の概要

荒木知平 渡辺敏正 岩元圭一郎 翁長健治
広島大学 工学部
〒724 東広島市西条町大字下見

回路図から部品の接続情報を取り出し、プリント基板を自動設計するためのアナログ回路用プリント基板設計支援システム PRIDE の概要について述べる。本システムは、部品配置、配線、更にコンパクションから成っている。各々の機能を実現するに当たってはさまざまな問題が存在するが、<PRIDE>の特徴は、配線を決定する前に、配線が一層プリント基板上に埋め込み可能か否かを判定し、実現不可能である場合には出来るだけ少ないジャンパー線を予め決定する点にある。回路図からの接続要求をグラフモデル化し、そのグラフが節点以外の箇所で交差しないように平面描画できるかどうかを判定することによって、ジャンパー線が必要であるかどうか判断する。平面描画が不可能な場合、著者らの提案する極大平面部分グラフの抽出アルゴリズムを利用してジャンパー線の候補となる接続要求を決定してそれをグラフから除去する。基板上の指定した位置に各節点を置き、辺の重なりのみを許して（但し、辺の交差は許さない）グラフを基板面上に埋め込んだのち、辺の重なりを除去して基板上の配線を得る。その後ジャンパー線の端子位置を決定していく手法をとっている。

Printed Wiring Board Design System PRIDE for Analog Circuits

Tomohira Araki, Toshimasa Watanabe, Keiichiro Iwamoto,
and Kenji Onaga
Faculty of Engineering, Hiroshima University,
Saijo-cho, Higashi-Hiroshima, 724 Japan
Phone: 0824-22-7111 Ext.3285(Watanabe) Fax: 0824-22-7195

The paper proposes PRIDE, a PRinted wiring board DEsign system for analog circuits. Given a set of net lists, PRIDE first construct a graph representing terminals of modules and connection requirement among them. Then it determines jumpers by finding a maximal spanning planar subgraph of the constructed graph. After deleting all jumpers from the graph, the resulting graph is embedded into a board with overlapping of edges allowed, but their crossings are prohibited. The final routing is obtained by removing these overlappings by expanding the routing are a as little as possible.

1. まえがき

回路図から部品の接続情報を取り出し、プリント基板を自動設計するためのアナログ回路用プリント基板設計支援システムPRIDEの概要について述べる。本システムは、部品配置、配線、更にコンパクションから成っている。各々の機能を実現するに当たってはさまざまな問題が存在するが、<PRIDE>の特徴は、配線を決定する前に、配線が一層プリント基板上に埋め込み可能か否かを判定し、実現不可能である場合には出来るだけ少ないジャンパー線を予め決定する点にある。回路図からの接続要求をグラフモデル化し、そのグラフが節点以外の箇所では交差しないように平面描画できるかどうかを判定することによって、ジャンパー線が必要であるかどうかを判断する。平面描画が不可能な場合、著者らの提案する極大平面部分グラフの抽出アルゴリズムを利用してジャンパー線の候補となる接続要求を決定してそれをグラフから除去する。基板上の指定した位置に各節点を置き、辺の重なりのみを許して(但し、辺の交差は許さない)グラフを基板上に埋め込んだのち、辺の重なりを除去して基板上の配線を得る。その後ジャンパー線の端子位置を決定していく手法をとっている。

2. システム概要

与えられた回路図からプリント基板の自動設計を行う際には、実際の基板における様々な制約を加味しながら設計を行う必要がある。それらの制約は最終的な製品からくるものや、製造ライン上の制約からくるもの、又はコスト面からくる制約もある。現在組み込まれている設計上の制約は以下のようなものである。

- (1)基板上の部品は矩形であり、基準となる辺を 0° 、 90° 、 180° 、 270° 回転させた状態でしか配置できない。
- (2)部品は重なった状態では配置できない。
- (3)配線は指定された端子以外では交差できない。
- (4)端子数が3以上の部品は、必ず指定された面が基板と接しなければならぬ。

アナログ回路基板の設計時に重要な電気容量、雑音等に関する制約を表として与えることを準備をしている。製品毎の使用部品はある程度定まっているのでこのような制約表を作ることはそれほど困難ではないであろうと予想している。

筆者らが現在開発中であるアナログ回路用プリント基板設計支援システムPRIDE (PRInted wiring board DEsign system) は次の三つの部分からなる。

- a. 部品配置
- b. 配線
- c. コンパクション

現在、インプリメントが終了しているのはaとbである。PRIDEの特徴は、回路図をグラフ化し、グラフの平面性を積極的に利用して配線する点にある。その配線の手続きは以下のように行われる。

1. ルーティングを行う前に、グラフの極大平面部分グラフ抽出を利用してジャンパー線を決定する。
2. ジャンパー線となる接続要求を除去し、残ったグラフに対して、辺の重なりは許すが交差はしないように平面埋め込みを行なうことによりルーティングを行う。
3. 基板上での配線が実現可能になるように、配線が重なっている箇所は広げてやり、空いている空間は可能な限り詰めてやる。その後ジャンパー線の端子位置を決定する。

従来の迷路法を利用したルーターにおいては、実際には配線が可能であったとしてもルータによる配線ができないケースが存在するが、PRIDEではあらかじめジャンパー線の必要性をチェックし、必要なら前もってどの接続要求がジャンパー線となるかを定めることによって、極力ジャンパー線が少なくなるようにして配線率の向上を目指している。以下、本文では、前述のa、bのアルゴリズムの概略と、それらのアルゴリズムをインプリメントし実験した結果について述べる。

3. 部品の配置

アルゴリズムの説明に必要な諸定義を述べる。まず、各部品あるいは幾つかの部品の集合は、配置においてはモジュールとよばれる矩形領域として表される。それぞれのモジュールのサイズ、形状は部品の配置における状態(配線幅も含ませる)を反映させておく。配置の中心あるいは核になると思われる特定の部品(トランジスタ、IC等の、他の部品との接続要求が多いと思われる部品)は"核モジュール"として設定しておく。その他の部品は周辺モジュールと呼ぶ。ただし、概略配置、詳細配置においては、モジュールに関する情報のうち、

形状（幅、高さ）はモジュールの面積を変えないように考慮してあれば変更可能であるとする。

各モジュールを頂点とし、モジュール間の接続要求を辺で表したグラフ（モジュールグラフと呼ぶ） M_G を作成する。モジュール間に複数の接続要求があった場合には対応する辺に接続要求数に等しい重みをつける。辺 e に重み $w(e)$ が付いているとき、 $1/w(e)$ を e の両端子間の結合度と呼ぶ。 M_G の各 2 頂点間に対してこの結合度に関する最短パスを求める。各周辺モジュールにおいて、それからの結合度の近い順に核モジュールを記憶しておく。各周辺モジュールを、それから最も結合度の小さい核モジュールの含まれるブロックに含ませる。但し、その様な核モジュールが複数個存在するときには、現時点で含まれるモジュール数の最も少ないブロックを 1 つ選びそれに含ませるものとする。含まれるモジュールの面積総和をそのブロックの面積と呼ぶ。ブロックを頂点とし、ブロック間の接続要求を辺で表したグラフ（ブロックグラフと呼ぶ） B_G を M_G と同様に定義する。なお、辺の重みも同様に定める。

B_G を利用して概略配置を、 M_G を用いて詳細配置を行なう。以下にこれらについて説明する。なお、本手法は[4]の提案手法に若干の修正を加えたものである。

3. 1. 概略配置

まず、プリント基板に対応する配置領域として、全てのモジュールの面積総和に等しい大きさの正方領域を考える。そして、ブロックグラフ B_G における重み総和が最小のカットセットを求める。次に配置領域を 図 3.1 (a)-(d) のうちいずれかの分割方法で二分分割して、各々にカットセットで分割されたブロックの集合を割り当てる。二分分割された領域の面積はその領域に含まれるブロックの面積の総和に等しくする。次に分割された各々の領域に対し、その領域に含まれるブロックから、各々のブロックを頂点、モジュール間の接続要求を辺、であらわしたグラフ B_{G_i} を作成し、 B_{G_i} における最小カットセットを再び求めて分割を行なう。この二分分割をそれぞれの領域に唯一個のブロックが属するようになるまで繰り返す。4 通りある分割のうちいずれを選ぶかは以下に従う：領域の中心位置にその領域に所属するブロックのすべてがあるものと仮定し、そのブロックとグラフ B_{G_i} 上で隣接している他のブロックとの（基板上

での距離×枝の重み）のすべての中心対間についての総和が最小になる分割を 4 つの中から選ぶことによって行なう。

3. 2. 詳細配置

それぞれのブロックが割り当てられた領域によって区切られたプリント基板の領域を、更に各ブロックに属するモジュールによって分割する。分割の手法は概略配置と同じようにその領域に含まれるモジュールから、各モジュールを頂点、モジュール間の接続要求を辺で表したグラフ M_{G_i} を作成し、これを用いる。但し、この場合幾つかの問題点がある。まず、詳細配置で決定したモジュールの形状は、最初に設定されたモジュールの形状とが異なる場合が多いことである。すなわち、このまま部品を配置すると部品に重なりが生じてしまうという点である。もう一つは、最小カットセットを求めて分割を繰り返すと、領域がすだれ状に分割され、モジュールが横（もしくは縦）一列に並ぶ傾向があるということである。これは、回路によっては、図 3.1 (a)-(d) のうちいずれの分割方法で二分分割しても、モジュールとグラフ M_{G_i} 上で隣接している他のモジュールとの（基板上での距離×枝の重み）の総和が同じになることが多いことが原因と考えられる。前者の問題点の解決方法としては後述の重なり除去のアルゴリズムによってある程度解決できる。後者の問題点の解決方法としては、決定的な方法ではないが、暫定的な手法として、二分分割の際に、2 つの領域それぞれに対し、その領域に属するモジュールのうち核モジュールであるか、あるいは核モジュールが含まれてなければモジュールのうち面積が最大のものを 1 つ選び、そのモジュールの形状と、二分分割されたそれぞれの領域の形ができるだけ近くなる分割を 図 3.1 (a)-(d) の中から選ぶようにする。これにより、前述の問題をある程度回避出来ることが実験的に確かめられている。

3. 3. 部品の回転とモジュール間の重なり除去

詳細配置で決定した配置領域に対し、配置領域の中心とモジュールの中心が同じ位置にくるように各モジュールを配置する。このとき、それぞれのモジュールは最初に設定された（回転していない）形で配置されている。実際のプリント基板においてはそれぞれの部品は 0° 、 90° 、 180° 、 270° の回転が許されているので、各々のモ

ジュールに対し、そのいずれかの回転をさせる。どの角度にするかを決定するための基準は、現時点においてそれぞれのモジュール自身に属するピンとそれに接続要求のある他のモジュールのピンとの基板上での距離総和が最も小さくなるような回転を選ぶものとする。

ここまではモジュール同志の重なりを許して配置を行ってきたが、次に重なり除去を[5]に従って行なう。X-方向、Y-方向の各方向に対し、モジュールの重なりそれぞれをグラフ G_x 、 G_y により表現する。 G_x の作り方を[5]に従って述べる。まず、最左端と最右端に2つの仮想モジュールを置く(図 3.2)。各モジュールを頂点とし、2つのモジュールを同時に通るx軸に平行な直線が存在するとき、対応する2点間を辺で結ぶ。もし、重なりがないときにはこれらモジュール間のx方向の距離 d' をこの辺に付加する(図 3.3(a))。重なりがあるときにはx方向の重なり距離 d に対し、 $-d$ を辺に付加する(図 3.3(b))。左端と右端の両仮想モジュール間の最短パスを求め、パスに沿って最左端の仮想モジュールから順に左右に適当にモジュールを移動することにより重なりを除去する(図 3.4)。但し、実際の重なり除去はx方向の重なり、y方向の重なりのうち小さい方への移動を行ないながら出来るだけ移動距離を小さくするために[5]で提案された近似アルゴリズムにより実行される。詳細は紙面の都合で[5]に譲る。もし、モジュール間に隙間があるならば、それもグラフに加える。そのグラフを基に、各々モジュールを動かすことによって、重なりを除去してやると共に、モジュール間にあらかじめ定められた間隔を開けてやる。以上により求められたモジュールの位置が最終的な部品の位置となる。

4. 配線

4.1. 極大平面部分グラフを利用したジャンパー線の決定

部品の位置が決定した後、部品端子間の配線を行なう。配線を行なう前にあらかじめ回路をグラフ化して、そのグラフが接点以外の箇所では交差しないように平面描画できるかどうかを判定することによって、ジャンパー線が必要であるかどうかを判断する。もし、配線が一層プリント基板上に埋め込み可能でなければ、どの接続要求をジャンパー線として実現するかをグラフの全域極大平

面部分グラフ抽出アルゴリズムを利用して決定する。詳細は[6]を参照されたい。ここではごく簡単に述べるにとどめる。

まず、回路からグラフを作成する。回路はモジュールの端子と端子間を結ぶ配線によるものとする。更にモジュールを、搭載に際しての制約により、基板上に接すべき面の指定されたモジュール(天地無用モジュールと呼ぶことにする)と指定されていないモジュール(自由モジュールと呼ぶことにする)の2種類に分類しておく。また、モジュールは一つの円形又は方形の領域(端子内領域と呼ぶことにする)の周囲に固定された端子をもち、端子内領域には配線を通さないものとする。ジャンパー線の極小集合を求める問題は以下のように定式化できる：

「与えられた回路において、次の二つの制約を満たす極大配線を求めよ」

制約1：モジュールは基板の片面にのみ搭載する。その際、天地無用のモジュールは、指定された面が基板上に接するものとする。

制約2：どのモジュールについても端子内領域に配線を通さない。(実際の部品の中にはそれと基板との間に何本かの配線が通過することを許すものもあるが、議論を簡単にするためにここでは考えていない。但し、これを後処理として本システムに組み込むことは簡単にできる。)

与えられた回路Cから次の $1' \sim 3'$ によりグラフM(C)を作る：

- 1' 二端子のモジュール及び自由モジュールを、所属端子を周辺頂点とする車輪グラフ対応させる(図 4.1(a)参照)。
- 2' 三端子以上を持つ天地無用のモジュールを所属端子を頂点とする有向閉路としてあらわす(図 4.1(b)参照)。その際、有向閉路における頂点の順序を、モジュールを上から右回りに見たときの端子の順序に対応させるものとする。
- 3' 接続要求のある各端子対について、グラフの対応する頂点間に、多重辺を生じない場合にのみ無向辺を与える。但し、3つ以上の端子に対する接続要求があった場合はまず完全グラフとして表現しておく。

グラフM(C)に対し、全域極大平面部分グラフを求め

る。極大平面部分グラフに含まれない枝に対応する接続要求を仮のジャンパー線とする。仮のジャンパー線の各各に対し、それをそのジャンパー線が属する接続要求ネットから除去しても残ったネットがまだ全域ネットになっているならば、このジャンパー線はジャンパー線の候補から外す。以上の結果、残った接続要求をジャンパー線とする。

[命題1] [3]回路Cが制約1, 2のもとで一層プリント配線できるための必要十分条件は、グラフM(C)が次の二条件(A), (B)のもとで平面描写可能なことである。

(A)M(C)のどの有向閉路も、平面上で右回りに描く。

(B)M(C)の各有向閉路の内部に辺を描かない。

[3]の平面判定を利用し極大平面部分グラフを求めることも可能であるが、[6]に示すように必ずしも解の質、計算時間の点から得策とはいえない。PRIDEでは[6]で筆者らにより提案された極大平面部分グラフを求めるアルゴリズムPLAN-PWBが用いられている。

4. 2. グラフの平面性を利用した配線

4. 1で求められた全域極大平面部分グラフをx軸及びy軸方向のみの配線を許す、いわゆるマンハッタン配線により、基板面の上に平面描画することによって実際の配線決定を行なう。その際、各頂点の位置は、配置で決定したピンの位置に対応させ、端子内領域(部品の置かれる領域)は禁止領域としておく。ジャンパー線となる配線要求はあらかじめ外してあるので、ここで考えることはどのようにすれば極大平面部分グラフの辺を平面性を保ったまま基板面上に埋め込むことができるかである。配線に際しては

a)ある幅の配線領域に許容量以上の本数の配線を行わなければ基板面上に配線が行えない場合が存在する可能性、あるいは

b)無秩序に配線を行なうと基板面上で配線の交差が生じる可能性

が存在する。これらに対処するため次の1) 2)を考える:

1) 配線はそれぞれのセル(メッシュ状に区切られた基板の上のます目で、配線はこれらのます目を連結して定められる)を何本でも通過することができる。

2) それぞれの配線は重なることは許すが端子以外で交差することは許さない。

また、平面性を保存しながら配線していくためには、ある2連結成分の内側に他の2連結成分の頂点が入らないように注意しながら配線する必要がある。それぞれの2連結成分が平面に描画してあり、且つ、それらの2連結成分が重ならないならば、全ての配線は立体交差なしで行なえる。2連結成分同志の重なりを許さないようにするには、一方の2連結成分を配線する際に、もう一方の2連結成分の端子間を配線が通らないように、全域木をあらかじめ配線しておけばよい。こうすれば、他の2連結成分内の端子間を通過することなく配線することができる。この手順の概略は以下ようになる。

1. まず、グラフM(C)の全域木を1つ選び、その中に含まれる配線要求を、前述の1)、2)の条件を満たすように配線する。
2. グラフM(C)の中から未配線の2連結成分を1つ選ぶ。全ての2連結成分が配線されたなら終了。
3. その2連結成分の全ての頂点に対し、st-numberをつける。
4. $i \leftarrow 1$;
5. st-number がiの頂点から、 $i-1$ 以下の頂点への配線要求を選ぶ。
6. それらの配線要求をグラフM(C)から取り除き、再び全域木を作り、その中で未配線の配線要求があれば、配線する。
7. st-number がiの頂点から、 $i-1$ 以下の頂点への配線要求のなかで未配線のものを配線する。
8. 2連結成分の全ての配線要求が満たされたならステップ2へ。そうでないなら、 $i \leftarrow i+1$ としてステップ3へ。

4. 3. ジャンパー線の端子位置決定

4. 2までで求められた配線に対し、ジャンパー線の端子位置を決定する。そのためには一層配線ではなく二層配線問題として考えればよい。4. 2における1) ~ 3)の制約条件と同じ条件で、ジャンパー線の位置を決定する。この際、ジャンパー線同志の立体交差なしではどうしても配線できない場合が生じる可能性がある。もしこれらのことが起きた場合には、ジャンパー線の一部を一層に配線することによって解決することになる(現在のPRIDEではこの解決策は組み込まれていない)。しかし、実際のアナログプリント基板の設計にお

いてはこのような場合は希であることが経験的に知られている。

5. 実験結果

PRIDEを NEC EWS-4800 ワークステーション上にC言語で実装し種々の実データに対して実験を行った。その結果の一例を図 5.1から 図 5.5 に示す。

6. むすび

グラフの極大平面部分グラフ抽出を利用したアナログ回路基板設計支援システムPRIDEの概要を示した。配置、配線においてアナログ基板特有の種々の制約条件を更に多く組み込むこと、コンパクションのインプリメント、及び設計者の指定による諸結果の固定、削除等をはじめとするユーザインターフェイスの組み込みが今後の課題である。

謝辞

本研究にご協力いただくシャープ株式会社音響システム事業部喜田栄喜CADセンター長に深謝します。第二著者渡辺の研究の一部は電気通信普及財団(TAF)の援助を受けた。また、本研究の一部は平成元年度文部省科学研究費補助金(C)01550289の援助を受けた。ここに感謝の意を表す。

参考文献

- [1]Even, S. and Tarjan, R.E.: "Computing an st-numbering", Theoretical Computer Science, 2, pp.339-344(1976)
- [2]小沢孝夫, 高橋博之: "PQ-木を用いたグラフの平面化アルゴリズム", 信学技報 CAS79-150(1979)
- [3]増田澄男, 柏原敏伸, 藤澤俊男: "部品の反転を許さない一層平面配線問題について", 信学会誌 Vol. J66-A NO.3, pp.235-242(1983).
- [4]大村道郎, 藤井隆志, 菊野亨, 吉田典可: "概略配線を陽に考慮した配置設計の提案", 信学技報 VLD87-21(1987), pp17-24.
- [5]大村道郎, 藤井隆志, 菊野亨, 吉田典可: "VLSIレイアウト設計におけるブロック間の重なり除去" 信学技報 COMP86-4(1986), pp13-22.

[6]Araki, T., Iwamoto, K., Watanabe, T., and Onaga, K.: "Finding a Minimal Set of Jumpers in the Design of Printed Wiring Boards for Analog Circuits", Technical Research Reports IPS of Japan(May 1990), to appear.

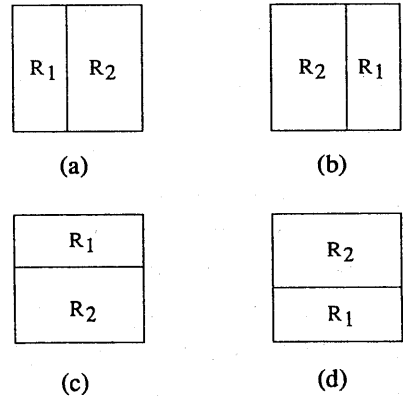


図. 3.1. 2分割の方法(a)-(d)

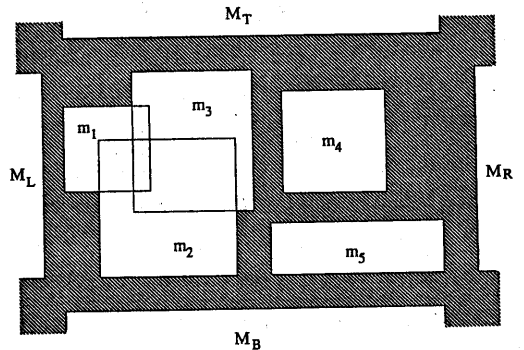
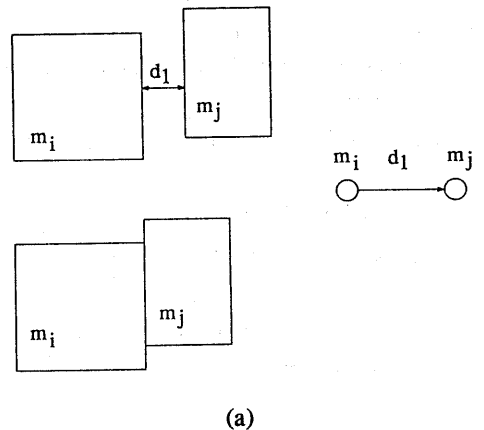
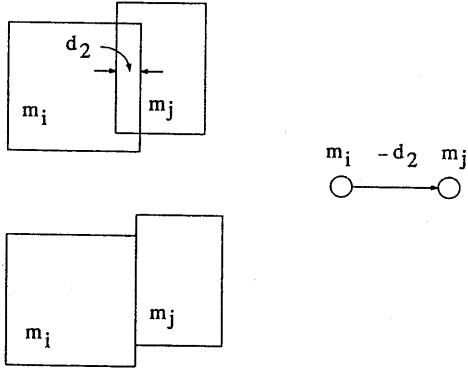


図. 3.2. 重なりのあるモジュールの配置例



(a)



(b)

図. 3.3. (a) 辺に正の重みが付く場合
(b) 辺に負の重みが付く場合

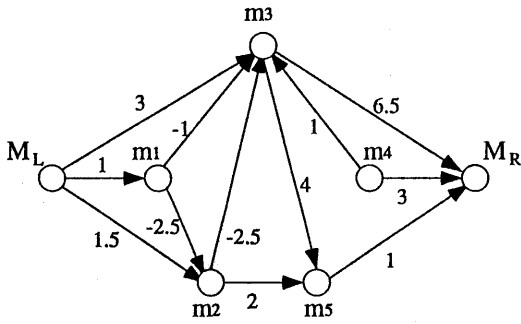


図. 3.4. グラフG_xの例

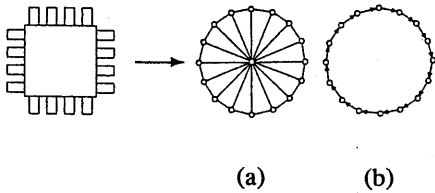
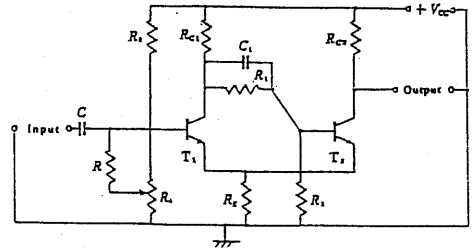


図.4.1. モジュールのグラフ表現：(a)二端子モジュール及び自由モジュール；(b)三端子以上を持つ天地無用モジュール



(a)

R3	2	1	T2	3	4
	1	2		6	7
RC1	2	1	R5	2	1
	1	3		9	5
RC2	2	1	R4	3	3
	1	6		2	8
CI	2	2	RE	2	1
	3	4		7	8
R1	2	1	R2	2	1
	3	4		4	8
C2	2	2	CON-P2	5	
	10	9		1	8
TI	3	4	CON-I2	2	6
	3	7		10	8
			CON-O2	2	6
				6	8

(b)

図. 5.1. 回路図(a)とネットリスト(b)

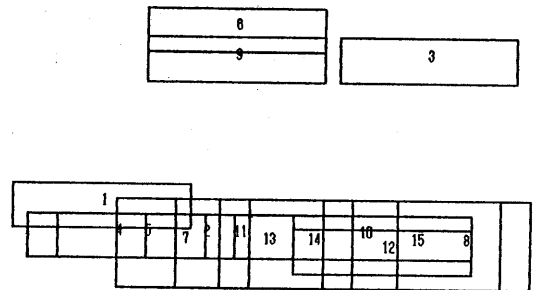


図.5.2. 初期配置

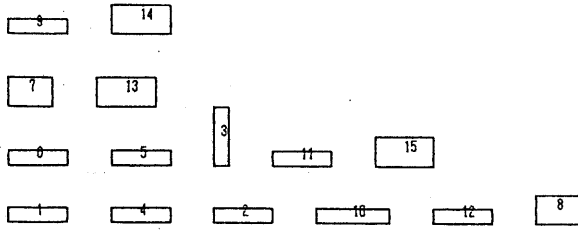


図5.3. 回転後に重なりを除去した配置

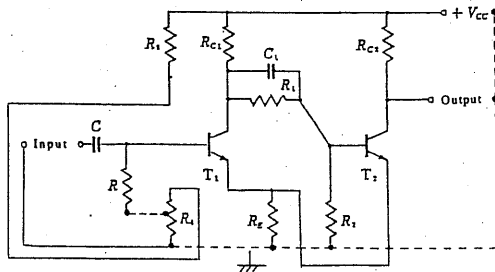


図5.4. 極大平面グラフ抽出を利用したジャンパー線の決定 (ジャンパー線は破線で示す)

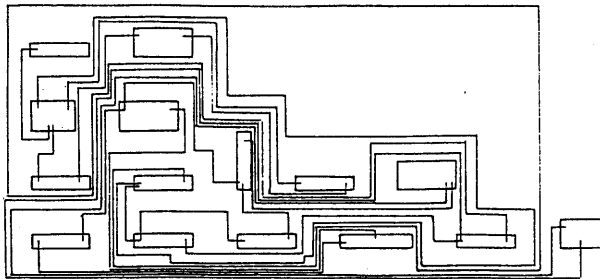


図. 5.5. ジャンパー線を除いた最終配線結果