

スタンダードセルVLSI用 レイアウトCADシステム C-STAR

藤井 隆志* 三間 葉子* 吉村 猛* 枝廣 正人*
相沢 久光* 田崎 利雄* 田中 由美** 上村 徳夫**

* 日本電気(株) ** 日本電気アイシーマイコンシステム(株)

本稿では、スタンダードセル方式VLSIのレイアウトCADシステムC-STARについて述べる。自動配置では、ミニカット法に階層クラスタリング法を導入し、概略配線では、全ネットの配線割当可能性を考慮した全域配線割当法を採用した。これらにより、高速で高性能な配置・概略配線処理を実現している。また、最大3.5層までの多層配線機能を備えている。これらは、それを支援する会話型処理機能と共にEWS上に構築されている。実験結果では、25Kゲート規模のデータに対して、約3時間で高密度レイアウトを得た。特に、配置・概略は約15分という高速性を示している。また、3.5層配線は2.5層配線に比べ平均約20%のサイズ圧縮が計られた。

A Layout CAD System for Standard Cell VLSI: C-STAR

Takashi FUJII* Yoko MIMA* Takeshi YOSHIMURA* Masato EDAHIRO*
Hisamitsu AIZAWA* Toshio TASAKI* Yumi TANAKA** Norio UEMURA**

* NEC Corporation ** NEC IC Microcomputer Systems Ltd.
1753 Shimonumabe, Nakahara-ku, 1-403-53 Kosugi-cho, Nakahara-ku,
Kawasaki, Kanagawa, 211, Japan Kawasaki, Kanagawa, 211, Japan

This paper describes a layout CAD system for standard cell VLSIs: C-STAR. The system adopts a hierarchical clustering and min-cut exchange method and a globally optimized track assignment method for placement and global routing procedures, respectively. Furthermore, it is capable of 3.5 layer routing. These automatic functions are implemented on EWS as well as interactive functions. Experimental results show that the system is quite efficient. It has produced highly dense layout for 25K gates LSI in about 3 hours, where it should be noted that placement and global routing required only about 15 minutes, in total.

1. まえがき

近年の半導体プロセス技術の進歩によるVLSIの集積度の向上に伴い、1チップ上に搭載される論理回路が大規模化、多様化してきている。スタンダードセル方式のVLSIはフルカスタム方式と比べレイアウト設計が容易であり、ゲートアレイ方式と比べ高集積化が可能である。そのため、最近ますますその需要が高まりつつあり、スタンダードセル方式VLSIのレイアウト設計に対する高速で高機能なCADシステムの開発が要請されている。

これまで、TimberWolf[1]を代表として、多くのスタンダードセル方式レイアウトシステムが開発されているが、最大の課題は配置・概略配線の処理にある。配置処理に用いられている代表的な手法としてミニカット法がある。ミニカット法は実現が容易であるという利点がある反面、局所最適解に陥り易いという欠点がある。また、概略配線処理に関しては、適当に決めた順序に基づきネットごとに配線経路を求めて行く方法が取られている。この方法では、配線結果が配線順序に依存し、よい結果が得られない傾向がある。配置・概略配線段階での性能がレイアウト結果に与える影響を考えれば、非常に重要な問題である。このような問題に対して、シミュレーテッドアニーリング法[1, 2]などを用いて改良が計られているが処理時間が大きいという欠点がある。

本稿では、スタンダードセル方式VLSIのレイアウトCADシステムC-STARについて述べる。自動配置では、ミニカット法に階層クラスタリング法[3]を導入している。各階層におけるクラスタ交換により局所最適解を容易に回避すると共に、格段の高速化を実現している。概略配線は、全ネットの配線割当可能性を考慮したモデル上での、大局的最適化を行う全域配線割当法[3]を採用している。配線順序やチャンネル処理順序に依存しない解を高速に求められる。これらの手法により、高速で高性能な配置・概略配線処理を実現している。また、最大3.5層のグリッドフリーチャンネルデータによる多層配線機能を備えている。更に、これらの自動処理を支援する会話型処理機能と共にEWS上に構築され、レイアウト設計のTAT短縮と使い勝手のよい設計環境を実現している。

実験結果では、25Kゲート規模のデータに対して、約3時間で高密度レイアウトを得た。特に、配置・概略は約15分という高速性を示している。また、3.5層配線により、2.5層配線によるレイアウトに比べ平均約20%のサイズ圧縮が計られた。

2. システム概要

レイアウトシステムC-STARは、標準セルによる行列構造のレイアウト、及び、その中にマクロセル(RAM, ROMなど)を含むレイアウトを対象とし、チップ設計の他に階層設計におけるマクロ設計も行うことができる。

2.1 システム構成

本システムは、設計データベースを介して結合された4つのサブシステム(ライブラリ作成処理、入力処理、レイアウト設計処理、出力処理)から構成されている。レイアウト設計処理機能は、更に、会話形処理、自動配置、概略配線、詳細配線の4機能よりなる。これらは設計データベースより取り込んだ設計データをメモリ上で共有することにより結合されているため、レイアウト処理の流れを円滑にしている。

以下では各サブシステムの機能概要を説明する。

(a) ライブラリ作成処理

設計に使用する標準セル及びマクロセルのアートワークデータとデザインルールから、セルの外枠、端子の位置及び層、配線禁止領域、セル上第2メタル層配線通過位置などの情報を抽出し、セルライブラリとして設計データベースに登録する。

(b) 入力処理

設計対象となる回路の論理接続情報を設計データベースに登録する。

(c) レイアウト設計処理

レイアウト設計仕様の指示並びに配置・配線処理を行う。

(d) 出力処理

設計結果のアートワークパターンへの変換、配線結果のチェック(ショート、誤接続等)、バックアノテーション用遅延データの作成・出力、を行う。

2.2 レイアウト設計処理

本システムによる設計処理フローは以下の4ステップからなる。

- (1) 設計仕様の設定
- (2) 自動配置
- (3) 概略配線
- (4) 詳細配線

以下、チップ設計を行う場合の処理フローについて説明する。

設計データをデータベースから読み込むと、グラフィック画面上に設計の対象となるセルと論理接続情報から見積った大きさのチップ枠が表示される。設計者は自動処理に必要な設計仕様をグラ

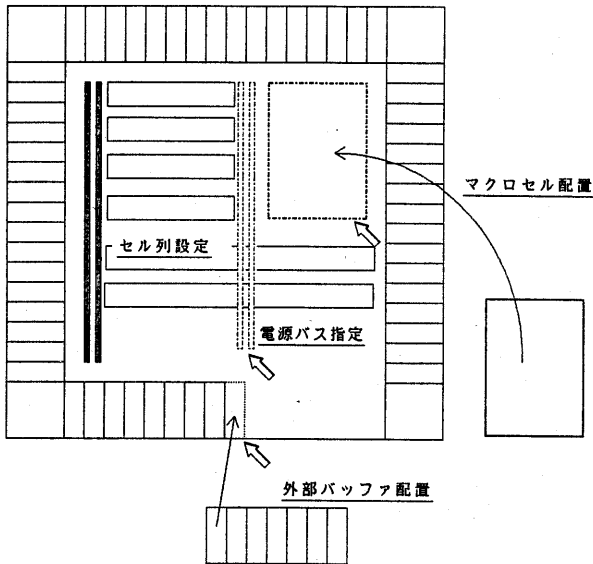


図1. 設計仕様の設定

フィック画面上で順次指定する。

まず、外部バッファセルを配置する。次に、マクロセルをチップ内に配置し、その後で標準セルを配置するためのセル列を設定する。最後に、各セル列間を接続する電源バスの位置とその電源線の幅を指定する(図1参照)。

以上で設計仕様の指定が終了し、続けて自動配置、概略配線、詳細配線の順で自動処理を実行する。自動配置はパラメータを会話的に設計者が与えて実行し、結果が画面に表示される。概略配線実行後は、チャンネル割り当て結果から各配線チャンネルのサイズ見積りが行われ、その結果が画面上に表示される。これにより最終的なチップサイズの予測が可能となる。最後に詳細配線を実行し、全ての処理を完了する。

また、階層的レイアウトにおけるマクロセルをC-STARを用いて設計する場合には、設計仕様として更に、マクロセルの形状(サイズ、XY比、セル列段数など)、外部端子の並び・位置を指定する。なお、これらの情報は、予めフロアプランシステム[5]により決定される。

3. 配置手法

C-STARの配置はミニカット法に基づいている。ミニカット法では、各カットラインに対するセル集合の分割が基本的な操作となる。

従来のミニカット法では、適当に与えた初期分割に対し、カットラインを横切る配線数が減少する方向にセル交換を行っていた。しかし、この方

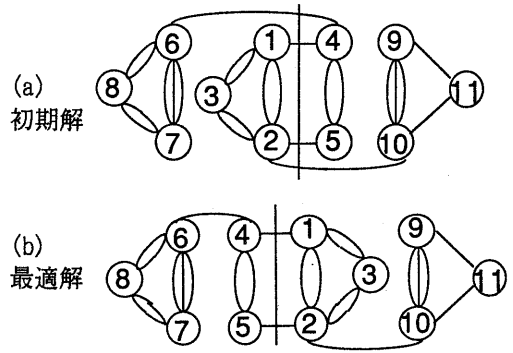


図2. ミニカット法の局所最適解

法は局所最適解に陥りやすく、配置結果が初期分割に大きく依存するという欠点を持つ。例えば、図2(a)に示す初期分割が与えられたとすると、いかなるセルのペア交換でもカットラインを横切る配線数は減少しない。このような局所最適解を回避するために、 $l-opt$ [6]、シミュレーテッドアニーリング[1]などの方法が用いられているが、膨大な時間を要するという欠点がある。

C-STARにおいては階層クラスタリング法[3]によるミニカット手法を用いている。カットラインは、水平方向には各セル列間に設け、垂直方向にはカットラインで定義されるメッシュ状の各領域(以下、単に領域と呼ぶ)にセルが平均2~3個含まれるように設ける。設計者によるカットラインの設定も可能である。

ミニカットの結果をもとにセル列を生成し、セル列内配置を行い、最終的な配置を得る。

3.1 階層クラスタリング法

階層クラスタリング法は、先ずセルを階層的にクラスタリングし、最上位階層においては2個のクラスタを形成する。次に、2個のクラスタを初期分割として、階層の逆順をたどりながらクラスタを分解し、クラスタのペア交換を行う(図3)。

クラスタ形成の際、各階層においては各クラスタの大きさ(クラスタに含まれるセルの面積の和)

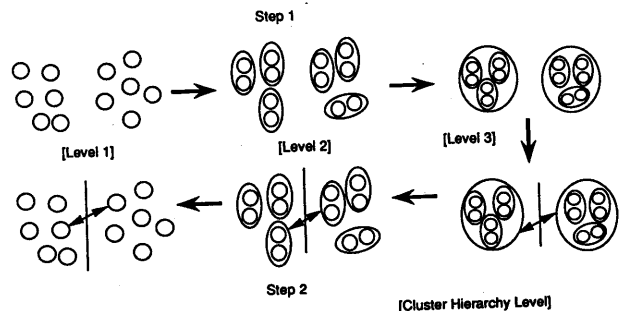


図3. 階層クラスタリング手法

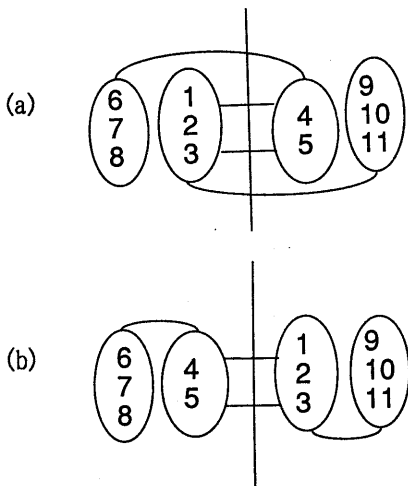


図4. 局所最適解の回避

に制限値を設け、クラスタの大きさが揃うようにする。クラスタリングでは、クラスタの大きさの制限値を超過しない範囲内で、最も接続の強いクラスタをマージする。このため、クラスタ内の配線が多くなり、クラスタ間の配線は少なくなる。従って最上位階層において得られた2個のクラスタは、それ自体カットラインを横切る配線数の少ない初期分割となる。

クラスタ化した状態において交換を行うため、セル交換に比べ格段に高速化が計れると共に、局所最適解に陥りにくくなる。図2の例において、クラスタ化を1段階行った状態が図4(a)である。

この状態においてクラスタのペア交換を考えると図4(b)になり、このクラスタを分解することにより最適解、図2(b)を得ることができる。すなわち、セルのペア交換では回避できない局所最適解も、階層クラスタリングを用いると容易に回避できる。このようにして階層クラスタリング法により、従来の手法よりも面積の小さい配置を得ることができる。

3.2 セル列内配置

セル列間にカットラインが設けられているため、各セルのセル列への初期割り当ては自然に決まる。セル列内の順序については次のように決める。

まず、各領域内におけるセルの左右の順序を接続関係を考慮して定める。

ミニカットにおいて、各領域内のセル面積の和はほぼ等しいが、同じではない。そのためにセル列長がすべてのセル列において等しくならない。セル列長補正は、カットラインを横切る配線数増加の最小化を目的関数として、セル列間における

セル交換、セル移動によって行われる。

セル列内配置改良は、セルの接続関係を考慮しながら隣接するセルの交換を行うことにより行われ、最終的配置を得る。

4. 概略配線手法

C-STARの概略配線は、各ネットを水平チャンネルに割り当てる水平配線部とフィードスルー最適化部からなる。水平配線部では全域配線割当法を用いている。従来の概略配線手法は、配線の集合から適当に配線を取りだし、最小コストで配線できる経路を探索し配線する処理を、すべての配線について繰り返す方法を用いている。ところがこの方法では、配線結果が配線順序に依存し、よい結果が得られない傾向がある。そのために引きはがし再配線法[7]や、シミュレーテッドアニーリング法[2]などが用いられているが、処理時間が大きいという欠点がある。

これに対し、全域配線割当手法は、全ネットの各チャンネルへの配線割当可能性を考慮したグラフ上での最長経路探索問題としてモデル化し、大局的最適化を行う。このため、配線結果が配線順序やチャンネル処理順序に依存しない。

4.1 全域配線割当手法

全域配線手法では、まず多端子配線をx座標が隣合う端子の対(2端子配線)に分割する。図5に5端子配線の例を示す。その後、各2端子配線に対してコストをつける。まず各2端子配線に対応する水平線分が各チャンネルに割り当てられる期待値を求める。本例に対する期待値の例が図5(b)である。ここで各2端子配線の水平線分が、最も期待値が大きくなるチャンネルに割り当てられると、最短経路配線ができる。従って各2端子配線におけるチャンネルごとの期待値の差は、最短経路配線と迂回配線の「望ましき」の差を表している。2端子配線のコストは、期待値と水平線分の

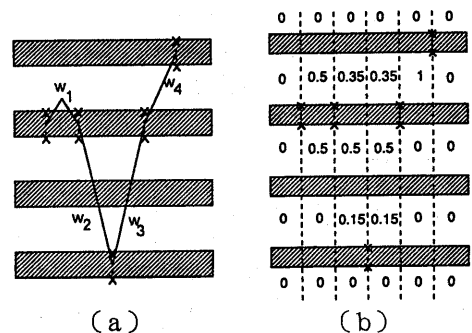
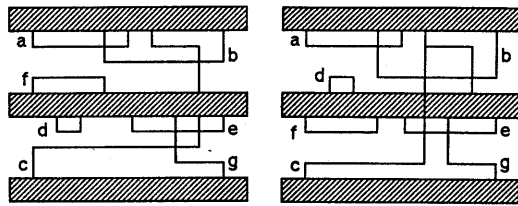


図5. 配線分割と期待値



(a) 初期解 (c) 最適解

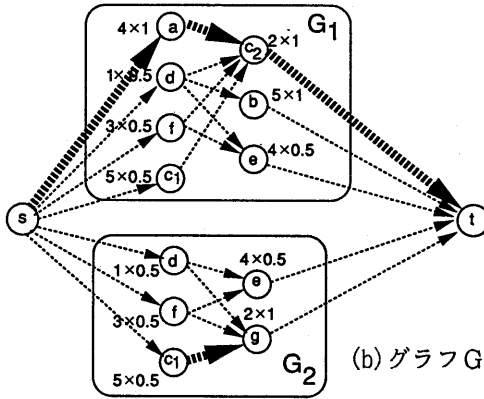


図6. 全域配線割当手法

長さの積により計算する。

次に、すべてのチャンネルに対して2端子配線を節点とする有向グラフを作成する(図6)。まず、各チャンネル毎に、そのチャンネル内でのコストが0でないすべての2端子配線を節点としたサブグラフを作成する。2端子配線uと2端子配線vの水平区間に重なりがなく、しかもvがuの右側になるときuからvへ有向枝をつける。その後、始点sと終点tを用意し、各チャンネルのサブグラフにおいて、入る枝がない節点にsから枝をつけ、出る枝がない節点からtへ枝をつける。こうしてできた有向グラフをGとする。Gの各節点のコストは対応する2端子配線のコストを用いる。

このグラフG上でsからtへの最長経路を求める。この最長経路上の節点は、対応する2端子配線のチャンネルへのコスト関数のもとで最適な割当である。最長経路上の配線のチャンネル割当てを行い、割当てられた配線に対応する全ての節点をグラフから削除する。この操作をすべての配線が割り当てられるまで繰り返す。

本手法は有向グラフ上の最長経路探索の繰り返し処理が大半を占めており、[8]の手法を用いることにより高速に処理している。

図6(a)の例に対して多端子配線を分割し、グラフを作成すると図6(b)になる。各節点に付加されている数値がコストであり、水平線分長×期待値として表されている。また、G1が上側の

チャンネルに対するグラフ、G2が下側のチャンネルに対するグラフを表す。このグラフGに対して4回の最長経路探索により、最適解、図6(c)が得られる。

コスト関数は期待値と水平線分長の積により計算されている。期待値により最短経路配線が、水平線分長により配線トラック数最小化が目的関数に反映される。そのため全域配線割当手法は、配線トラック数最小と最短経路配線とのトレードオフを考慮した配線手法であると言える。また、全体をグラフ構造化してその上で最適化を行うため、配線結果が配線順序やチャンネル処理順序に依存せず、コスト関数のもとで配線トラック数が最小化される。従って、従来の手法と比べて面積の小さいレイアウトが得られる。

4.2 フィードスルー最適化

全域配線割当手法では水平線分のチャンネル割当のみが行われる。水平線分が割り当てられたチャンネルに、その端子が面している場合には問題が無いが、それ以外の場合にはフィードスルーを割り当てる必要がある。C-STARにおいてはフィードスルー割当のために[9]の手法を用いている。なお、各セル列を通過できるフィードスルー数は十分にあるものとし、不足が予想される場合には配置においてフィードスルーセルが挿入されているものとする。

まず、レイアウトを格子に区切ることにより、格子グラフ(図7)を定義する。格子グラフ上の垂直枝はセル列上の一部と対応しており、各垂直枝はその部分を通り得るフィードスルー数を容量として持つ。各垂直枝に対して概略配線部の結果から必要となるフィードスルーの数が算出できる。すべての垂直枝において必要数が容量より少ないときには配線可能となる。配線可能でないときには配線トラック数増加の最小化を目的関数として迂回配線を行い、配線可能にする。

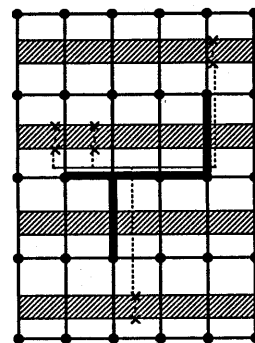


図7. 格子グラフと概略配線

次に、各垂直枝に対して実際にフィードスルーの割当を行う。この問題は、垂直枝を通過する配線の集合と垂直枝に対応するフィードスルー位置の集合の2部グラフのマッチング問題になる。グラフの枝のコストを配線トラック数最小化を考慮して計算し、最大マッチングを求める。すべての垂直枝において最大マッチングを求めることにより、すべてのフィードスルー割当が行われる。

5. 詳細配線手法

本レイアウトシステムの詳細配線はチャンネル配線方式により行われる。本システムのチャンネルルータは [8] の方法をグリッドフリー配線、3.5層配線に応用したものであり、次のような特徴を持つ。

- 1) 2.5層及び3.5層配線の切り換え機能
- 2) ポリ配線長の最小化機能
- 3) 凹凸領域配線機能

以降、ルータが対象とするチャンネルモデル、処理の概要、及び、3.5層配線方法について述べる。

5.1 チャンネルモデル

チャンネルルータは図8に示すようなチャンネルに対して適用される。

チャンネルの上辺及び下辺には、セルの高さの違い、及び、セルの配線禁止領域による凹凸が存在する。端子層として、ポリ層または第2メタル層の端子を考える。配線層は、幹線方向に第1メタル層及び第3メタル層（3.5層配線時に使用）、支線方向にポリ層、第2メタル層を用いる。

5.2 処理の概要

本ルータは各チャンネルを次の8つのステップ：S.1～S.8で処理する。

- S.1：前処理
- S.2：ポリ層の支線乗せ替え
- S.3：ネット分割
- S.4：上下制約グラフ作成
- S.5：制約ループ解除
- S.6：トラック割り当て
- S.7：コンパクション
- S.8：後処理

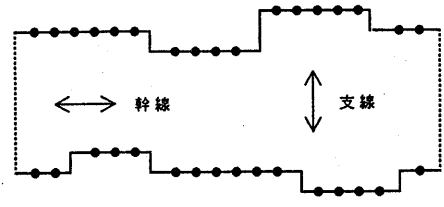
以下、各ステップについて説明する。

(S.1) 前処理

チャンネルの外形、端子データなどの設定を行う。

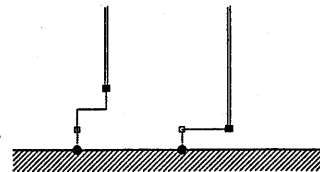
(S.2) ポリ層の支線乗せ替え

ポリ端子から配線されるポリ層の配線の長さを短くするため、可能な限り、ポリ層の配線をメタル1層更にメタル2層へと乗せ替える（図9）。



●：端子（ポリ層／第2メタル層）

図8. チャンネルモデル



- ：ポリ端子
- ：ポリ層
- - -：第1メタル層
- ▨：第2メタル層

図9. ポリシリ端子処理

本処理は、特に、ポリ配線長を極力抑えたい回路をレイアウト設計するとき有効である。

(S.3) ネット分割

多端子のネットを2端子のペア（サブネット）に分割し、サブネットを配線する際の単位として考える。こうすることにより、ドッグレッグ配線が容易に実現することができる。

(S.4) 上下制約グラフ作成

各配線層の配線、及び、配線層間に設けるスルーホール間に設定されたデザインルールに基づいて、各サブネット間に生じる上下制約を表す上下制約グラフを作成する。

(S.5) 制約ループ解除

S.4で作成した上下制約グラフにおいて、閉ループが存在するとき、サブネットを幹線支線方法で配線することは不可能である。そこで、ループを構成しているサブネットに注目し、そのサブネットを2つのサブネットに分解し、制約ループを解消することができる。このとき、多くのループに含まれているサブネットから分解の候補とする。

(S.6) トラック割り当て

文献[8]の方法を用いて、あらかじめ設定されたグリッド間隔のトラックにサブネットを割り当てる。トラックに割り当ての際に考慮すべき条件（区間長、制約グラフ上での深さ等）に従い、サブネットに重みを設定し最長経路法によりトラックに割り当てるサブネットを決定する。この際、パ

ラメータにより、重みを変更することができる。各サブネットに接続するポリ端子の個数、及び、位置（チャンネルの上辺または下辺）を考慮したパラメータにより、ポリ配線の短縮化を目指したトラック割り当てを行うことが可能である。また、チャンネルに凹凸がある場合、凹領域に割り当て可能なサブネットを優先して割り当てる。

(S.7) コンパクション

S.6ではグリッド配線を行っているので、幹線をデザインルールに違反しない範囲内で可能限り下方へ詰めて行くことにより、更にチャンネル幅を小さくすることが可能となる。

本ルータでは下方へコンパクションを行った後、S.6での割り当てられた相対的な位置関係を考慮して、上方へのコンパクションを行う。

(S.8) 後処理

チャンネルの左右端から出て行く配線の処理、及び、レイアウトデータへの変換などを行う。

本ルータをセル列間のチャンネルを下段から上方へ適用し、最後に外周部のチャンネルを配線する。

5.3 3.5層配線

3.5層配線を行う際の幹線方向のグリッドは、第1メタル層と第3メタル層各々独立に設定する。そして、仮想的なトラック番号を幹線層に係わらずチャンネルの下方から順番に付与する。第1メタルと第3メタルのグリッドが重なる場合、第1メタルを優先する(図10)。

第3メタル層を有効に用いるためには、サブネットの両端の支線層は第2メタル層でなければならない。支線層の一方でもポリ層が存在すれば、その幹線は第1メタル層でのみ配線可能となる。そこで、3.5層配線の場合には、5.2で述べたポリ支線乗せ替えを必ず行う。

上記S.6に於けるトラック割当を第1または第3メタル層の幹線層に応じて次のように行う。ここで、(i-1)トラックまで割当が終了しているものとする。又、iトラックに割当可能なサブネッ

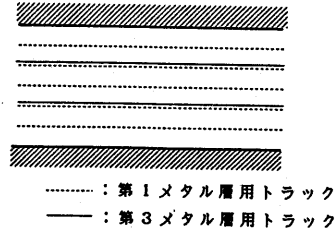


図10. 3.5層配線トラックモデル

トの集合をNとする。

- (1) iトラックが第3メタル層：
Nの内、両端の支線層が共に第2メタル層のもののみを対象とし割り当てを決定する。
- (2) i及び(i+1)トラックが共に第1メタル層：
N全体を対象とし、トラック割当を行う。
- (3) iトラックが第1メタル、(i+1)トラックが第3メタルの場合：
Nの内、第1メタル層にのみ割当可能なサブネット（支線層の少なくとも一方ポリ層）の重みを大きくし、トラック割当を行う。
以上の操作をチャンネルの上方向に対して適用し、3.5層配線を行う。

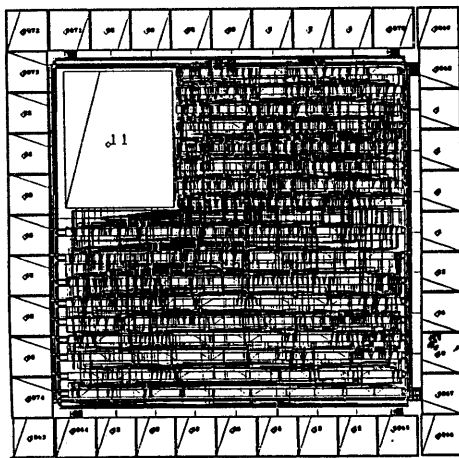
6. 実験結果

C-STARシステムを550~12800セル規模の回路に適用した結果を表1に示す。詳細配線については、一部2.5層と3.5層配線の結果も示す。使用計算機は当社のEWS4800モデル20(7MIPS)である。

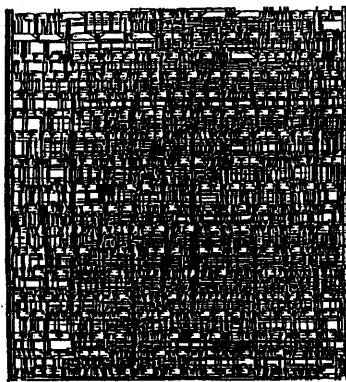
最大データであるDATA6(約25Kゲート)に対し、配置から詳細配線までを約3時間で高密度レイアウトを得た。詳細配線はライブラリ種類に処理時間が左右されるが、配置と概略配線は非常に高速である。1500セル規模で合計2分以内、13000セルでも合計15分程度である。マクロ入りチップのDATA2に対するレイアウト結果を図11(a)に示す。

表1 実験結果

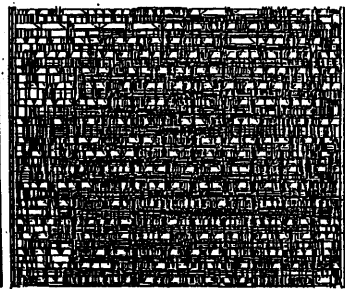
データ	ライブラリ種類	セル数	ネット数	CPU時間				面積 [mm ²]	
				配置	概略	詳細		2.5層	3.5層
						2.5層	3.5層		
DATA1	LIB-1	549	648	17s	18s	9m2s	9m8s	24.16	20.11
DATA2		675	941	27s	44s	7m55s	--	10.68	--
DATA3		1518	1873	34s	49s	12m0s	12m10s	20.38	15.75
DATA4	LIB-2	1033	1329	18s	41s	97m52s	--	21.19	--
DATA5		1592	2195	39s	1m16s	--	48m47s	--	8.11
DATA6		12848	12322	6m32s	8m20s	159m32s	--	81.40	--



(a) DATA 2



2.5層配線



3.5層配線

(b) DATA 3

図11. レイアウト結果

3.5層配線を2.5層配線のサイズと比較すると、平均20%以上小さくなった。DATA 3の2.5層配線及び3.5層配線のレイアウト結果を図11(b)に示す。2.5層配線に対して3.5層配線では約25%のサイズ削減が得られた。本システムの3.5層配線方法が有効であると考えられる。

7. あとがき

本稿では、スタンダードセル方式VLSIのレイアウトCADシステムC-STARについて述べた。スタンダードセル方式自動レイアウトの最大の課題である自動配置及び概略配線処理に関し、階層クラスタリング法及び全域配線割当法を新たに開発し、高速で高性能のレイアウトシステムを実現した。また、最大3.5層のグリッドフリーチャネルルータによる多層配線を可能にした。実験結果では、25Kゲート規模のデータに対して、約3時間で高密度レイアウトを得た。特に、配置・概略配線は合計で約15分という高速性を示した。また、3.5層配線機能は、2.5層配線によるレイアウトに比べ平均約20%以上サイズを圧縮し、その有効性が確かめられた。更に、これらの自動機能は会話型処理機能と共にEWS上に構築され、レイアウト設計のTAT短縮と使い勝手のよい設計環境を実現した。

今後、詳細配線の高速化及び多層配線のセル上配線への拡張を進めると共に、LSIのタイミング等の性能を考慮した配置配線手法の開発を進める予定である。

参考文献

- [1] C. Sechen, D. Braun and A. Sangiovanni-Vincentelli: "ThunderBird: A complete standard cell layout package." IEEE J. Solid-State Circuits, Vol. SC-23, pp.410-420 (1988).
- [2] M. P. Vecchi and S. Kirkpatrick: "Global Wiring by Simulated Annealing." IEEE Trans. Computer Aided Design, CAD-2, pp.215-222 (1983).
- [3] 枝廣, 吉村: "階層クラスタリングを用いたスタンダードセルLSIのための配置アルゴリズム", 1989年電子情報通信学会秋季全国大会, A-94 (1989).
- [4] 枝廣: "スタンダードセルLSIのための概略配線手法", 信学技報, VLD89-72 (1989).
- [5] N. Yonezawa, N. Nishiguchi, A. Etani, F. Tsukuda and R. Hashishita: "A VLSI Floor-planner based on 'balloon' expansion", Proc. European Design Automation Conf., pp.257-261 (1990).
- [6] S. Lin: "Computer Solutions of the Traveling Salesman Problem." Bell Systems Tech. J., pp.2245-2269 (1965).
- [7] E. S. Kuh and M. Marek-Sadowska: "Global Routing", in "Layout Design and Verification" (Ed. by T. Ohtsuki), North-Holland, pp.169-198 (1986).
- [8] T. Yoshimura: "An Efficient Channel Router", Proc. 21st DAC, pp.38-44 (1984).
- [9] 枝廣: "スタンダードセルLSI概略配線のためのフィードスルー割当手法", 1990年電子情報通信学会春季全国大会, A-119 (1990).