

# 対象モデルの概念に基づいたデジタル回路の モデリングと故障診断システム

大森康正, 上野晴樹  
東京電機大学 理工学部

あらかし 本論文では、我々が提案している対象モデルの概念に基づいたデジタル回路のモデリングと、それをを用いた故障診断システムについて報告する。対象モデルとは深い知識の一種であり構造と機能に基づいたモデルである。これは、専門家の持つメンタルモデルでもある。このモデルは論理と回路の2レベルにおける機能構成モデルと対象回路の物理構成モデルから構成されている。機能構成モデルは対象回路の機能的側面中心のモデルであり、物理構成モデルは物理的側面中心のモデルである。故障診断システムはこのモデルを用いた異常回路の絞り込みとテストパターンの生成等によって回路レベルにおける信号線の断線、短絡を診断する。

## Object Modelling of Logical Circuit and Trouble Shooting by Means of Model-based Reasoning

Yasumasa Oomori and Haruki Ueno

Faculty of Science and engineering, Tokyo Denki University

Ishizaka, Hatoyama, Saitama 350-03, Japan

### Abstract

This paper describes a systematic knowledge representation method based on the concept of Object Model to represent a logical circuit at a logic level and a circuit level, and a simple trouble shooting system by means of model-based reasoning. The representation is achieved by combining structural descriptions and behavioral descriptions of the circuit. The knowledge representation schema consist of a two dimensional hierarchy, i.e., three layers of vertical hierarchies to represent ISA relations and horizontal hierarchies to represent PARTOF relations in each layer. An experimental system was developed for a four-bit carry look-ahead full adder circuit.

## 1. はじめに

近年、専門家の知識に基づくエキスパートシステムを構築することによって故障診断を行うシステムが盛んに研究、開発されてきた。それらの多くは経験的な知識に基づいて知識ベースが構築されている。しかし、このようなシステムの限界が指摘されている[1,2]。それに対して、幾つかの方法が提案されている。例えば溝口ら[1]は深い知識から浅い知識を生成する知識コンパイラを用いた方法、梅田ら[2]は定性物理を用いた故障診断の方法を提案している。我々も、対象モデルを用いたモデルベース推論の方法を提案し、幾つかの実験システムを試作[3]してきた。我々が言うところの、モデルベース推論とは対象物のモデルを問題領域に於いて解釈し問題解決を行う推論のことを示す。そこで使われるモデルは、いくつかの特徴を有していると考えている[3]。そのうち重要な特徴の一つとして多様な解釈が可能であることが上げられる。このような特徴を有した知識は深い知識であり専門家の持つメンタルモデルの一種である。対象モデルは深い知識及びメンタルモデルの一種であり、対象物の構造と機能を表現したモデルである。これによって問題に依存しないマルチユース知識ベースが構成できると考えられる。対象モデルはそれを指向している。

また、パーソナルコンピュータ等のデジタル技術の進歩により、論理回路の構成が複雑化、大規模化されてきた。それにともない論理回路の故障診断、検査が重要視されるようになってきた。診断、検査の方法としてはテストパターンを用いて故障箇所を同定するやり方がとられる。しかし、100%の故障検出率を保証するテストパターンを設計者が生成することはもはや不可能である。また、従来のようにテストのみによるテストでは故障の存在を検出できても故障箇所を求めるのは不可能に近い。そこで、近年ではテスト容易化設計やテストパターンの自動生成が行われるようになってきた[4]。テストパターンを求める手法としては、与えられた故障に対してそれを検出する入力を求める方法と、与えられた入力によってテスト可能な故障を求める方法に大別される。前者はDアルゴリズムやPODEM法に代表されるようなアルゴリズム的手法が存在する。後者の方法としては故障

シミュレーションと呼ばれている。DアルゴリズムやPODEM法などのアルゴリズムの手法は検出可能な故障に対するテストパターンを生成できるという意味においては完全である。しかし、理論的には、組み合わせ回路に対するテストパターン生成はNP完全(NP complete)である[10]ことが知られており、ゲート数に対して指数的に増大する困難さが含まれている。それに対して、故障シミュレーションは、全ての可能な入力の組合せについて実行しない限り、全ての検出可能な故障に対する検査入力が求められるとは限らない。つまり、完全であるとはいえない。しかし、完全性を犠牲にして、短時間で高い故障検出率を得る方法として比較的多く用いられている[9]。このように、これらの方法は対象物が大規模かつ複雑な場合、対象物を平面的に捉えているためにその計算量は膨大なものとなる。そこで、テストパターンの生成でもモデルを用いた方法がいくつか行われている[7,8]。例えば、古関らの診断システム[7]は、経験的知識と対象物の設計情報(構造、動作)を記述した設計知識を用いて診断を行っている。その診断方法としては、設計知識から仮説推論を用いて経験的知識を生成し、そこからテストパターンを生成して行う方法が提案されている。ここで使われている対象のモデルは設計知識と呼ばれ、一階の述語論理式で表わされている。

デジタル回路のモデルは、設計、シミュレーションなどでも提案されている。その一つとしてハードウェア記述言語(VHDL[6]など)が、論理装置を構成するASICやプロセッサ、これらから構成される装置全体を表現するものとして存在する。これらの言語を用いて、設計、シミュレーション等を行える。それらの多くは全設計レベルをカバーしていない。とくに、論理レベルと回路レベルでは扱う情報が異なるため回路レベルは扱わないものが多い。したがって、設計対象物を完全に表現はしていないといえる。

本研究では、設計、故障診断等の複数の問題に対処できる体系的モデリングとその応用例として論理回路の故障診断システムを作成する。それにより、マルチユース知識ベースシステムの可能性を探る。本稿では、論理レベルと回路レベルに適用可能なモデルとそれを用いた診断プロセスについて報告する。第2章に論理レベ

ルと回路レベルの機能構成モデルおよび対象システムの物理構成モデルの表現について述べる。第3章に、そのモデルに基づく診断プロセスについて述べる。第4章で対象モデルを用いた故障診断システムについて述べる。

## 2. 知識表現

まずここで使用する言葉について定義しておく。機能構成モデルとは、対象システムの機能的側面を中心にモデリングしたモデルである。物理構成モデルとは、物理的な構造に基づいたモデルである。構造とは、ある視点から分割されたサブシステム間の関係とする。視点とは、専門家が持つ対象システムに関する切り口である。機能とは、設計者が設計時に設定される対象システムの意図、目的とする。振る舞いとは、対象システムの機能を充足するための情報伝達とする。

対象としている回路は加算回路である。この回路はAND, ORなどの論理ゲートが物理的な最小単位として基盤上に構成した回路とする。各論理ゲートは74シリーズのTTL-ICを用いているものとする。

### 2.1 モデリングの概念

ある対象システムを対象モデルによって表現する場合、構造と振る舞いを如何に捉え表現するかがポイントとなる。それは、専門家が対象をどのように見ているかである。一般に専門家は一つの対象に対する視点を自由に変わることができる。例えば、一つの論理ゲートを見ているとき、その回路はどのように構成されているとか、それが実物上どの部分であるかなどを連想することが出来る。それは、視点を移動しているからである。また、そのようなことを考えないで論理ゲートだけで対象を見ることも出来る。したがって、対象モデルのモデリング上のポイントは、構造と機能を表現する事と自由な視点の移動が出来ることである。

パーソナルコンピュータなどのデジタル回路を振る舞い、機能の視点から見ると、いくつかの階層によって表現できる。その階層は対象システムの動作、機能レベルの抽象度によるものである。この階層で扱う構造は機能および振る舞いの視点による構造である。それは階層化設

計と対応している。図1は5つのレベルの階層として捉えている。最上位のレベルは System levelで Specification によって振る舞いが記述され、構造の単位は CPU、Memories などである。さらにその下位レベルは Subsystem level で、I/O response によって振る舞いが記述され、Memory、Ports などが構造の単位として扱われる。以下、Register level、Logic level、Circuit levelとなる。特に Logic level においては論理式が振る舞いとして記述され、Gates、Flip flops などが構造の単位として扱われる。また Circuit levelでは、一般的には Differential equations が振る舞いの記述として用いられ、Transistors など構造の単位として扱われる。このようにそれぞれのレベルで振る舞い、構造が表現されている。また、物理的な視点から対象を見ると構造の単位は IC、基盤などとなり機能的な視点と構造の扱い方が異なってくる。この視点からの振る舞いは存在しない。このようなことから対象モデルは各視点ごとにモデルが存在し、そのモデル間をリンクによって結合したモデルである。機能、振る舞いの視点からモデリングしたモデルは機能構成モデルであり、物理的な視点からモデリングしたモデルは物理構成モデルである。したがって、デジタル回路の対象モデルは System level から Circuit level の5つの機能構成モデルと1つの物理構成モデルによって表現される。

本稿では、Logic level以下の機能構成モデルと物理構成モデルについて、加算回路を例に示す。他の部分については文献[11]によって行われている。

### 2.2 対象モデルの表現

各モデル間の関係は図2に示す。各機能構成モデルはそれぞれのレベルでの振る舞いと構造が表現してある。物理構成モデルは幾何学的構造を含んだ構造表現を中心に部品データベースの役割も果たす。各モデルは抽象-具体関係と全体-部分関係によって階層的の表現されている[3]。以下に各モデルについて示す。

#### (1) 物理構成モデル

このモデルは、実際の物理的な形態に関する物を表現する。それは、部品の形、部品の位置

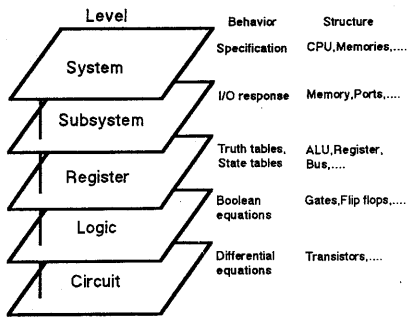


図1 デジタル回路の5階層モデル

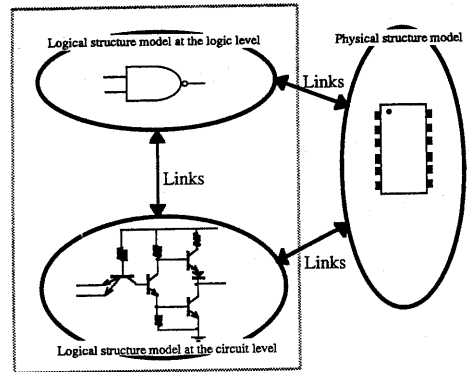


図2 機能構成モデルと物理構成モデルの関係

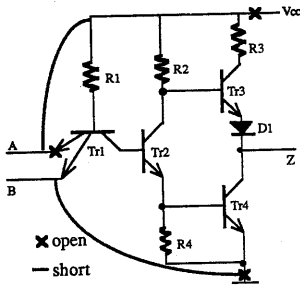


図3 TTL NANDゲートの故障例

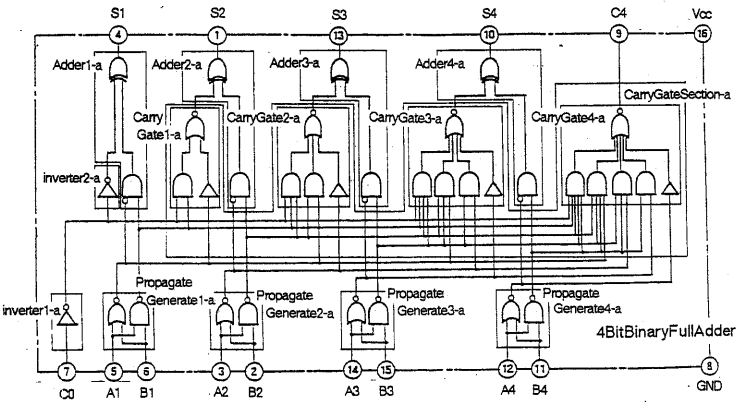


図4 全加算回路の論理回路図と機能ブロック

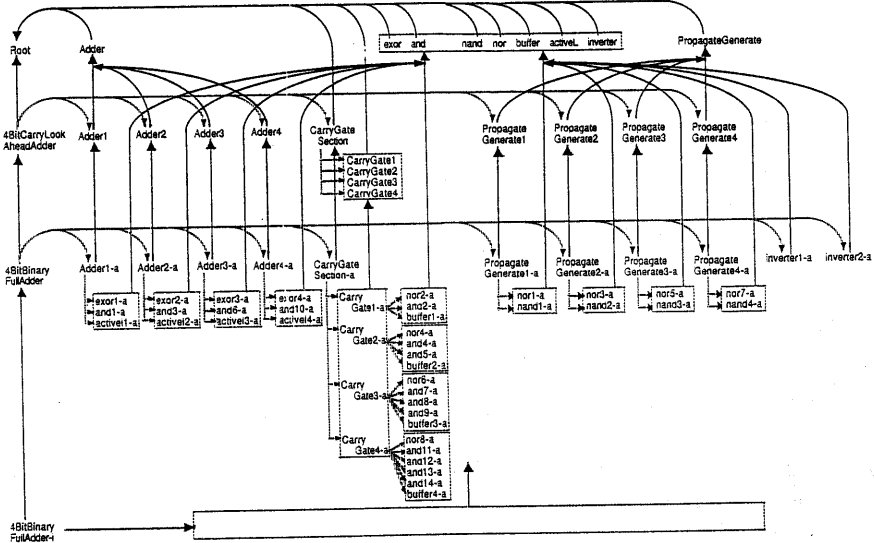


図5 論理レベルにおける機能構成モデルの階層構造

hasparts

is-a

や構造的関係、部品の仕様、規格、電気的特性測定方法、直流特性における各項目の代表的測定方法を表現する。このモデルの重要な情報の一つとして論理レベル、回路レベルへのリンクがある。このリンクは、各部品がどの機能を実現するために使われているかを示すものであり、各機能構成モデルで用いているポートと実現構成上のポートとの対応づけについての記述を含む。

### (2) 回路レベルの機能構成モデル

このレベルのモデルでは電流、電圧などの電気的特性を用いて対象システムの振る舞いを表現する。構成要素の最小単位はトランジスタ、ダイオードなどで、振る舞いは回路方程式、および回路のネットワークで表現する。さらに時間は実連続時間で扱い、情報の単位は電圧電流値である。ここでの構造は、構成要素の接続関係に基づいたネットワークで表わす。また、ここで起こる代表的な故障をルール形式で記述する。さらに、論理レベルのモデルへのリンクは、どの振る舞いを実現するために使われているかを、物理構成モデルへのリンクはどの部品によって実現されるかを示す。

### (3) 論理レベルの機能構成モデル

このモデルでは、入出力関係基準にした論理式を用いて対象システムの振る舞いを表現する。構成要素の最小単位はAND、ORなどの論理ゲートである。時間の単位はイベント単位で扱う。構造は、機能単位に細分化した階層とネットワークによって表現する。さらに他のモデルへのリンクは各振る舞いが回路レベルのどこに対応するかと、実際の部品ではどこにあたるかを示す。

図2に各モデル間のリンクのイメージを表わす。論理レベルの機能構成モデルからはポートと機能ユニットに対する回路レベルの機能構成モデルにおける信号線と機能ユニットおよび物理構成モデルにおけるポートとユニットを対応付けて示している。回路レベルの機能構成モデルからは入出力の信号線と機能ユニットと論理レベルの機能構成モデルの入出力ポートと機能ユニットが対応し、入出力の信号線と機能ユニットと電源供給線が物理構成モデルのポートとユ

ニットおよび電源ポートに対応付ける。視点の移動はこのリンクにそって行われる。

## 3. 故障診断

### 3.1 故障

ここで扱う物理的な故障は回路レベルでの信号線の短絡、断線である。特に、トランジスタに接合している部分の断線、信号線とVccとの短絡、信号線とグラウンドとの短絡を扱う。論理的には縮退故障かつ単一故障である。図3でNANDゲートを例[4]に、ここで扱う代表的な故障をしめす。

### 3.2 モデルベース診断

専門家の行う診断などは、経験的な知識以外に、問題解決の対象に関してのメンタルモデル(対象モデル)を用いて行う推論によって実行されている部分が存在する。ここで言うモデルベース推論とは、そのようなモデルを解釈して専門家の問題解決に見られる柔軟性などの望ましい特性の実現を目指すものである。故障診断という問題解決をここでは、対象の異常な振る舞いの原因をその対象の内部の構成要素の異常な振る舞いに帰着させ、この異常な振る舞いをする構成要素を、可能な限り詳細に絞りこみ特定することとする。異常な振る舞いとは対象システムの設計時に設定された通りに機能および振る舞いがなされない事とする。

以下に我々が行う故障診断の方法を示す。診断の開始は、対象システムが希望通りに動かないといった状況になった時である。まず、(1)そのときの入出力値からどこに故障があるかを診断する。この診断は入出力の観測が出来る構成要素まで行う。このときの知識としては論理レベルの機能構成モデルと物理構成モデルである。この時、正確にユーザが観測できるためにタイミングチャートを生成、診断箇所の提示をモデルから生成し提示する。つぎに、(2)直接測定できない箇所まで絞りこまれるとその部分のテストを生成する。そのさい論理レベルの機能構成モデルと回路レベルの機能構成モデルを用いて必要最小限度のテスト入力を生成する。テストが生成されると、(3)テスト入力による故障診断を行う。このときどこにテストを入力しどの端子を観察するかは物理構成モデルによ

てしめす。これによって論理レベルの絞り込みが終わると、(4)回路レベルによる診断を行う。論理レベルの診断結果(故障箇所、信号線の状態)と回路レベルでの診断ルールによって回路レベルのどの構成要素が短絡、断線しているかを求める。なおこのプロセス上で、正常な振る舞いかどうかは、モデルとのテンプレートマッチングによっておこなう。

#### 4. 故障診断システム

##### 4.1 診断対象

ここで扱う対象は、組み合わせ論理回路の一種である4ビットの全加算回路である。この全加算回路はキャリ先見方式の高速タイプである。この対象としている回路は次のような特徴を有しているものとする。

- (1)論理レベルにおける論理回路図は一般にパッケージとして市販されている物に準拠したものである。(図4)
- (2)物理的な構成単位はTTL-ICによって構成されている。
- (3)使用されているTTL-ICは、AND、ORなどの単純ゲートである。
- (4)TTL-ICは74シリーズである。
- (5)回路を機能的に意味のあるブロックに細分化できる。

##### 4.2 知識表現

ここでは、Logic levelおよびCircuit levelの機能構成モデルと物理構成モデルの知識表現について述べる。各モデルとも参考文献[3]で示したように対象を抽象-具体関係と全体-部分関係を用いて表現する。全加算回路をLogic levelにおける機能構成モデルの階層構造で表現した例を図5に示す。この場合基本となる階層は3段階(上位から概念対象レベル-特定対象レベル-具体対象レベル)に設定されている。Rootを親にして概念対象として4BitCarryLookAheadAdderを、特定対象として4BitBinaryFullAdderを、具体対象として4BitBinaryFullAdder-iを設定する。これが、この階層構造の基本となる。この階層を軸として横方向に機能ブロックの包含関係(全体-部分関係)を展開する。このようにして構成された階層構造の各ノードの部分がそれぞれ対応するフレームによってき

じゅつされる。個々のフレームは表1に示す基本スロットによって各機能ブロックの構造や振る舞いが定義される。このレベルのフレーム例は図6に示す。Circuit levelの機能構成モデルも同様にして階層構造が設定される。しかし、基本となる階層は必ずしも3段とはならない。概念対象が必ずしも設定できるとは限らない場合は、2段の階層構造となる。個々のフレームは表2の基本スロットによって記述される。また物理構成モデルも階層構造は同様に考えられる。このモデルの個々のフレームは表3の基本スロットによって記述される。

##### 4.3 診断プロセス

図7に診断プロセスのイメージを示す。このプロセスでは常に物理構成モデルによって可観測であるかの確認を行っているものとする。まず、診断の最初の着目構成要素を機能構成モデルの4BitBinaryFullAdderとする。この構成要素の入力に対する出力に異常が見られたとする。このうち入力に対して異常な出力を出すポートと正常な出力を出すポートに分け、それぞれ異常値伝播経路と正常値伝播経路を求める。つぎにその両経路を重ね合わせて異常の可能性のある構成要素とそうでないものに分割する。この図7の場合、Adder2が異常の可能性のある構成要素として次に着目する構成要素とする。もしこの構成要素の入出力が可観測であるなら同様にして振る舞いによって異常があるかどうかを診断する。その結果、その構成要素が異常な出力を出していると判断された場合、同様に異常値伝播経路と正常値伝播経路を求める。この場合、異常値伝播経路のみなのでその全てを異常の可能性のある構成要素として着目構成要素とする。もし、ここで着目構成要素が可観測でなければ、着目構成要素が含まれて入出力が可観測であるような機能ブロックまで戻り、異常値伝播経路上の縮退故障を求めるテストパターンを生成する。そのテストパターンを用いて診断を行う。その結果、Exor2とAnd3の間の信号線の1縮退と判断されたとする。その結果から考えられる、Circuit levelでの故障状態を診断ルールを用いた推論の結果として示す。この場合、その信号線の開放かAnd3のグランド開放などが推測されるのでそれをユーザに示す。

```

FRAME NAME : Adder2-a    FRAME TYPE : class
a-kind-of    frame      Adder2
d-descendants  flist      (Adder2-a-i)
part-of      frame      4BitBinaryFulladder
hasparts     flist      (exor2-a and3-a active12-a)
input-ports  list       (c1 p2 g2)
output-ports list       (1)
relation     predicates  ((connect exor2-a.a3 and3-a.a3)
                          (connect and3-a.i2 active12-a.i2)
                          (external-input exor2-a.c1 .c1)
                          (external-input active12-a.p2 .p2)
                          (external-inout and3-a.g2 .g2)
                          (external-output .i exor2-a.i))

input-from   flist      ((CarryGateSection-a PropagateGenerate2-a)
output-to    flist      (S2)
behavior     brules     ((if ((c1 ?)
                              (p2 ?)
                              (g2 ?)
                              (?1 <-- (exor .c1 (and (not .p2) .g2))))
                          then
                           ((.1 ?))))))

valid-input-value list  ((c1 binary (h l) 1)
                          (p2 binary (h l) 1)
                          (g2 binary (h l) 1))

valid-output-value list ((.1 binary (h l) 1))

logical-component-links
list                    ((circuit-level (C A B)(Adder2)(2)))
physical-component-links
list                    ((Adder (A1 A2 A3)(And-IC Exor-IC Not-IC)(A5)))

```

図6 論理レベルにおける機能構成モデルの Adder2フレームの例

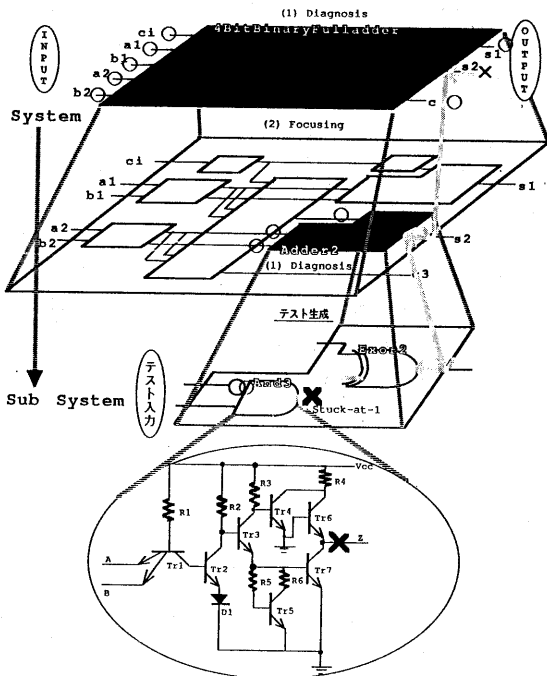


図7 モデルベース推論のイメージ

表1 論理レベルにおける機能構成モデルのフレームに記述される基本スロット

属性名	型	属性値
part-of	frame	着目構成要素の親フレーム (全体部分関係)
hasparts	flist	着目構成要素の部分構成要素のリスト
input-ports	list	構成要素の入力ポートのリスト
output-ports	list	構成要素の出力ポートのリスト
relation	predicates	部分構成要素の接続関係
input-from	flist	入力元の構成要素
output-to	flist	出力先の構成要素
behavior	brules	振舞いの記述
valid-input-value	list	入力の正常な値の範囲
valid-output-value	list	出力の正常な値の範囲
logical-component-links	list	機能構成モデルへのリンク
physical-component-links	list	物理構成モデルへのリンク

表2 回路レベルにおける機能構成モデルのフレームに記述される基本スロット

属性名	型	属性値
part-of	frame	着目構成要素の親フレーム (全体部分関係)
hasparts	flist	着目構成要素の部分構成要素のリスト
ports	list	構成要素の入力ポートのリスト (Vcc及びグランドを含む)
relation	predicates	部分構成要素の接続関係 (回路ネットワーク)
input-from	flist	入力元の構成要素
output-to	flist	出力先の構成要素
behavior	brules	振舞いの記述 (回路方程式)
valid-input-value	list	入力の正常な値の範囲
valid-output-value	list	出力の正常な値の範囲
fault	rules	故障診断用ルール (典型的な故障例)
logical-component-links	list	機能構成モデルへのリンク
physical-component-links	list	物理構成モデルへのリンク

表3 物理構成モデルのフレームに記述される基本スロット

属性名	型	属性値
part-of	frame	着目構成要素の親フレーム (全体部分関係)
hasparts	flist	着目構成要素の部分構成要素のリスト
input-ports	list	構成要素のポートのリスト
relation	predicates	部分構成要素の接続関係
shape	predicates	構成要素の外形
recommended-operating-conditions	list	推奨動作条件 (Vcc, Ioh, Iol, Ta)
electrical-characteristics	list	電気的特性
switching-characteristics	list	スイッチング特性
logical-component-links	list	機能構成モデルへのリンク

この診断プロセス中に必要におおじて、各TTL-ICの遅延時間や特性、さらに試験方法などの情報を提示することも出来る。

## 5. まとめ

論理回路の論理レベルおよび回路レベルの機能構成モデルと物理構成モデルさらにそれを用いた故障診断システムについて示した。このモデルの可能性としては、診断ルールの自動生成、設計支援システムとの連結、などが期待される。今後、その知識表現と推論方式を用いた故障診断システムの試作する。それによりモデルと推論についての評価を行う予定である。

## 謝辞

本研究を行うに当って、日頃からご討論していただいた、東京電機大学の山本雅仁君をはじめとする上野研究室の皆様へ感謝いたします。

なお、本研究は、東京電機大学総合研究所研究一般研究B(Q89-S72)として行った。

## 【参考文献】

- [1]山口、溝口他：エキスパートシステムにおける深い推論機構の統一的枠組み、人工知能学会研究会資料SIG-KBS-8801、1988
- [2]梅田、吉川他：対象モデルに基づく定性物理を用いた故障診断、東京大学工学部総合試験所年報第48巻、1989
- [3]大森、上野：対象モデルによるハイブリッド型故障診断システム-モデル表現と推論-、人工知能学会誌、Vol.5、No.5、1990
- [4]当麻 監訳：フォールト・トレランス入門、オーム社、1988
- [5]Galiay, J., Crouzet, Y., Vergniauly, M.: PHYSICAL VERSUS LOGICAL FAULT MODELS IN MOS LSI CIRCUITS, IMPACT ON THEIR TESTABILITY, Proc. Int. Symp. Fault-tolerant computing, 1979
- [6]Hands, J P.: What is VHDL?, computer-aided design, Vol. 22, No. 4, 1990
- [7]古関、中茎、田中：適応型モデルベース推論システムとその学習方式、第4回人工知能学会全国大会論文集(2)、1990
- [8]Subramanian, K., Billmers, M., Baker, P.: FAULT DIAGNOSIS IN COMPLEX DIGITAL CIRCUIT, Proc. conf. Artif. Intell. Appl., 1989
- [9]樹下、浅田、唐津：VLSIの設計II、岩波書店、1985
- [10]Ibarra, O H., Sahni, S K.: Polynomially Complete Fault Detection Problems, IEEE Trans. on computers, Vol. c-24, No. 3, 1975
- [11]山本、大森、福田、上野：キーボードユニットの対象モデルとそれを利用した故障診断システムの設計、第4回人工知能学会全国大会論文集(2)、1990