

## 大規模セルテスト容易化設計とテスト生成

米森玄一 小迫靖志 荻原拓治 河合浩行\*

三菱電機 (株) カスタムLSI設計技術開発センター

\* 三菱電機 (株) LSI研究所

あらまし 本報告では、LSI中の大規模セルをテストするためのテスト容易化設計及び関連サポートツールについて述べる。提案するテスト容易化設計と関連サポートツールは、より少ないハードウェアオーバーヘッドで、既存テストデータを用いて大規模セルのテストを可能とする。本手法をVLSIチップに適用した結果、ほとんどハードウェアオーバーヘッド、および動作速度の低下なしに、VLSI中の大規模セルを、大規模セルの既存テストデータを用いてテストすることができた。

## Testable Design and Test Support Tool for Large Embedded Cells

Gen-ichi Yonemori Yasushi Koseko Takuji Ogihara Hiroyuki kawai\*

ASIC Design Engeneering Center, Mitsubishi Electric Corporation  
5-1-1 Ofuna, Kamakura, Kanagawa,247,JAPAN

\* LSI Research and Development Laboratory, Mitsubishi Electric Corporation  
4-1 Mizuhara, Itami, Hyogo, 247, JAPAN

**ABSTRACT** This paper describes a testable design method and the corresponding support tool to test large scale cells embedded in LSIs. The testable design method requires a very small extra hardware to increase testability. The support tool enables users to test the large scale cells by using prepared test patterns. Consequently, test generation and fault simulation times are decreased.

## 1. はじめに

実用的なテスト生成時間で故障検出率の高いテストデータを自動生成するためにはテスト容易化設計 [1] が必要である。論理設計者は、故障検出率、テスト生成コスト、ハードウェアオーバーヘッド、動作速度オーバーヘッド及びテストコストを考慮し最適なテスト容易化設計を採用しなければならない。

LSI中の大規模セルをテストするためのテスト生成コストを削減するために、大規模セルの既存テストデータを用いてテストを可能とする手法が提案されている。これらの手法は、外部入出力 [2] あるいはスキャンレジスタ [3-5] から直接大規模セルをアクセスするものであったり、また、マルチプレクサ [5] を介して大規模セルをアクセスするものである。しかし、いずれもテスト容易性向上のためのハードウェアオーバーヘッドの増加および動作速度の低下を招くおそれがある。

そこで我々は、より少ないハードウェアオーバーヘッド、および、より少ない動作速度の低下で、既存テストデータを用いて大規模セルのテストを可能とするテスト容易化設計とサポートツールを提案する。提案するテスト容易化設計により、LSI中の大規模セルは、外部入出力あるいはスキャンレジスタからの直接的なアクセス経路を持たなくても、組み合わせ回路あるいは同期式順序回路を經由して間接的にアクセスすることができる。

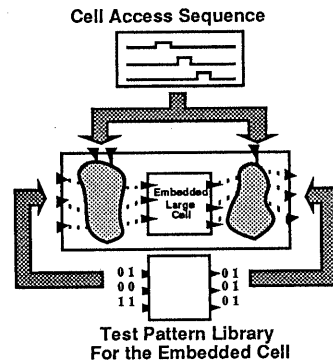
提案するテスト容易化設計サポートツールは2つのプログラムから構成されている。1つは設計者の定義したアクセスシーケンスにより、LSI中の大規模セルが、外部入出力あるいはスキャンレジスタから、直接あるいは同期式順序回路を經由して間接的にアクセスできるかどうか検証するプログラムである。もう1つは大規模セルの既存テストデータを、設計者の定義したアクセスシーケンスに従って展開編集するプログラムである。

本手法をVLSIチップに適用した結果、ほとんどハードウェアオーバーヘッド、および動作速度の低下なしに、VLSI中の大規模セルを、大規模セルの既存テストデータを用いてテストすることができた。

## 2. 大規模セルテストの概要

図1に、大規模セルテスト手法の概要を示す。この手法は、LSI中の大規模セルの既存テストデータを用いて、その大規模セルのテストを可能とするものである。これを実現するために、大規模セルテスト容易化設計ルールおよび大規模セルアクセスシーケンスが必要である。そして、それらにより大規模セルは、LSIの外部入出力あるいはスキャンレジスタから、直接あるいは同期式順序回路を經由して間接的にアクセスすることができる。

図1 大規模セルテストの概要



## 3. 大規模セルテスト容易化設計

より少ないハードウェアオーバーヘッド、および、より少ない動作速度の低下で、LSI中の大規模セル（以下TC: Testable Cellと呼ぶ）を、そのセルの既存テストデータを用いてテストするため、以下の3つのテスト容易化設計ルールを定義する。(図2)

- (1) TCデータ入力のControllabilityルール
- (2) TCクロック入力のActivatingルール
- (3) TCデータ出力のObservabilityルール

このテスト容易化設計ルールにより、大規模セルはLSIの外部入出力あるいはスキャンレジスタから、直接あるいは同期式順序回路を經由して間接的にアクセスすることができる。

### 3.1 TC データ入力の Controllability ルール

データ書き込みシーケンスを与えることにより、LSIの外部入力あるいはスキャンレジスタに設定された値  $D(pi,ti)$  は TC のすべての対応するデータ入力に、値  $D(pj,tj)$  あるいは  $\bar{D}(pj,tj)$  として伝播しなければならない。データ書き込みシーケンス印加中、TC の内部状態を変化させないために、TC のクロック入力は OFF でなければならない。

ここで、 $D$  は値 0 あるいは 1、 $\bar{D}$  は  $D$  の反転値、 $pi$  は外部入力あるいはスキャンレジスタの識別子、 $ti$  は外部入力あるいはスキャンレジスタに入力データが印加される時刻、 $pj$  は TC の入力端子の識別子、 $tj$  は TC の入力端子に入力データが伝播する時刻である。

### 3.2 TC クロック入力の Activating ルール

データ書き込みシーケンスの最後で、LSIの外部クロック入力から、TC のすべての対応するクロック入力へのパスは活性化されなければならない。この状態で、もし LSI の外部クロック入力にクロック信号値  $Cx$  が印加されれば、TC はアクティブされる。TC にクロック印加中、TC のデータ入力からデータ出力までに組み合わせ回路のみのパスを持つ TC のデータ入力の値は変化してはならない。

### 3.3 TC データ出力の Observability ルール

データ読み出しシーケンスを与えることにより、TC のすべてのデータ出力の値  $D(pk,tk)$  は LSI の対応する外部出力あるいはスキャンレジスタに、値  $D(pl,tl)$  あるいは  $\bar{D}(pl,tl)$  として伝播しなければならない。データ読み出しシーケンス印加中、TC の内部状態を変化させないために、TC のデータ入力の値は変化してはならず、TC のクロック入力も OFF でなければならない。

ここで、 $pk$  は TC の出力端子の識別子、 $tk$  は TC の出力端子にデータが現れる時刻、 $pl$  は外部出力あるいはスキャンレジスタの識別子、 $tl$  は外部出力あるいはスキャンレジスタに出力データが伝播する時刻である。

図 2 (A) 大規模セルテスト  
容易化設計ルール

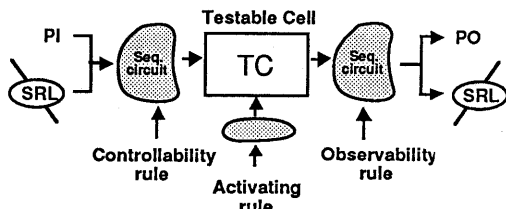


図 2 (B) Controllability Rule  
For TC Data Input

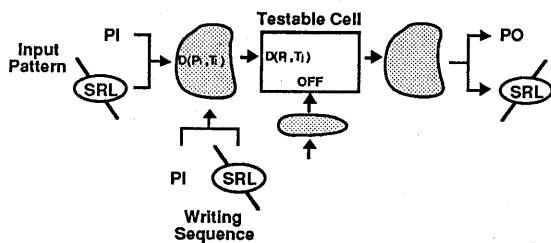


図 2 (C) TC クロック入力の  
Activating ルール

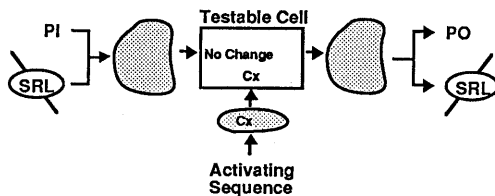


図 2 (D) Observability Rule  
For TC Data Output

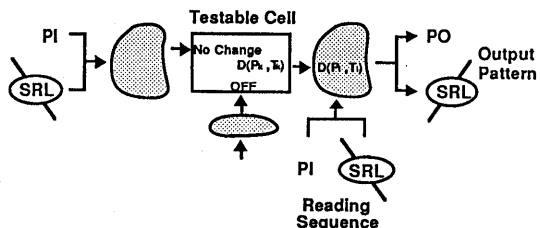
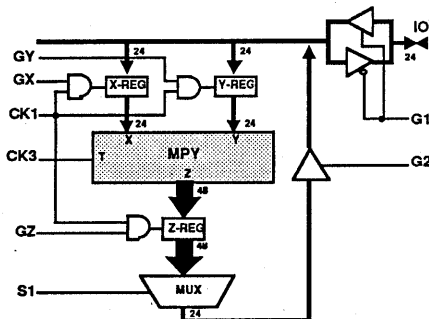


図3にテスト容易化設計の例を示す。この例ではMPYがTCである。このTCはクロックCK3によりドライブされ、BUSからアクセス可能である。TCのデータ入出力は、クロックCK1によりドライブされるレジスタX、Y、Zにつながっている。TCは48データ入力、48データ出力であり、外部双方向性端子は24入出力である。

既存テストデータを用いてTCをテストするため、データ書き込みシーケンスは2つのフェーズに分けられる。第一のデータ書き込みフェーズにおいて、時刻T1で外部双方向性端子に設定した24ビット幅をもつ値がレジスタXに書き込まれる。第二のデータ書き込みフェーズにおいて、時刻T2で外部双方向性端子に設定した24ビット幅をもつ値がレジスタYに書き込まれる。次の時刻t3において、クロックCK3を印加することによりTCをアクティブにする。データ読み出しシーケンスでは、まず時刻T4において、TCの出力データをレジスタZに読み込む。次に時刻T5において、レジスタZの上位24ビットを外部双方向性端子によりみだし、最後に時刻T6において、レジスタZの下位24ビットを外部双方向性端子によりみだす。このようにしてTCはハードウェアオーバーヘッドなしにテスト可能となる。

図3 テスト容易化設計の例



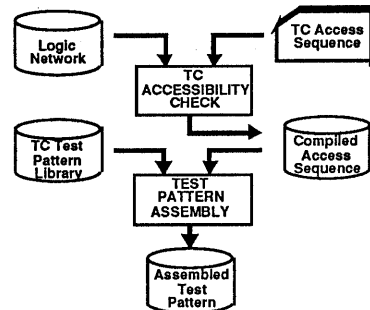
#### 4. 大規模セルテスト生成システム構成

図4に大規模セルテスト生成システム構成を示す。システムは設計ルールチェックプログラムおよびTCテストパターン展開プログラムから構成される。

設計ルールチェックプログラムは、指定されたTCが指定されたアクセスシーケンスによりアクセスできるかどうかチェックする。TCが指定されたアクセスシーケンスによりアクセスできる時、プログラムはコンパイルされたアクセスシーケンスファイルを生成する。もし、TCが指定されたアクセスシーケンスによりアクセスできない時、設計者はアクセスシーケンスを修正するか、回路を修正しなければならない。

TCテストパターン展開プログラムはアクセスシーケンスに従って、TCテストパターンライブラリ中に存在するTCのテストデータをLSIの外部入力端子あるいはスキャンレジスタに印加し、外部出力端子あるいはスキャンレジスタで観測するテストデータに編集する。

図4 システム構成



#### 5. TCアクセス可能性チェック

##### 5.1 TCアクセスシーケンス記述言語

TCアクセスシーケンスはTCアクセスシーケンス記述言語により容易に記述可能である。TCアクセスシーケンス記述言語は以下のものから構成される。

- 1) TCの宣言
- 2) 初期化シーケンス (オプション)
- 3) TCデータ書き込みシーケンス
- 4) TC activating シーケンス
- 5) TCデータ読み出しシーケンス

### 1) TCの宣言

TCのタイプ名及びインスタンス名を指定する。

```
TC type name instance name
```

### 2) 初期化シーケンス (オプション)

もし必要であれば、初期化シーケンスを指定する。"INIT" ステートメントの後に、各時刻での外部入力あるいはスキャンレジスタへの設定値、あるいはシステムクロックの印加を指定する。

```
primary input = {0,1}
  外部入力端子への値0/1の設定
#path / #bit = {0,1}
  スキャンレジスタへの値0/1の設定
primary clock input = on
  システムクロックの印加
```

### 3) TCデータ書き込みシーケンス

外部入力端子あるいはスキャンレジスタからTCのデータ入力に値を書き込むシーケンスを指定する。各時刻は"IN" ステートメントで始まり、次のステートメントを指定することができる。

```
primary input - TC input
  外部入力端子と対応するTCデータ入力端子とのマッピング
#path / #bit - TC input
  スキャンレジスタと対応するTCデータ入力端子とのマッピング
primary input = {0,1}
  外部入力端子への値0/1の設定
#path / #bit = {0,1}
  スキャンレジスタへの値0/1の設定
primary clock input = on
  システムクロックの印加
```

### 4) TC activating シーケンス

外部クロック入力から、TCの対応するクロック入力をアクティブにするシーケンスを指定する。各時刻は"ACT" ステートメントで始まり、外部クロック入力とTCの対応するクロック入力とのマッピングを指定する。

```
primary clock input - TC clock input
```

### 5) TCデータ読み出しシーケンス

外部出力端子あるいはスキャンレジスタからTCのデータ出力値を読み出すシーケンスを指定する。各時刻は"OUT" ステートメントで始まり、つぎのステートメントを指定することができる。

```
primary output - TC output
  外部出力端子と対応するTCデータ出力端子とのマッピング
#path / #bit - TC output
  スキャンレジスタと対応するTCデータ出力端子とのマッピング
primary input = {0,1}
  外部入力端子への値0/1の設定
#path / #bit = {0,1}
  スキャンレジスタへの値0/1の設定
primary clock input = on
  システムクロックの印加
```

図3で示したMPYのアクセスシーケンスを図5に示す。

図5 アクセスシーケンスの例

```
TC MPY MPY001
IN  GX=1 GY=0 GZ=0 G1=1 G2=0
    IO<0:23> - X<0:23>
    CK1=ON
IN  GX=0 GY=1 GZ=0
    IO<0:23> - Y<0:23>
    CK1=ON
ACT CK3 - T
OUT GX=0 GY=0 GZ=1 G1=0 G2=1
    CK1=ON
OUT S1=0
    IO<0:23> - Z<0:23>
OUT S1=1
    IO<0:23> - Z<24:47>
```

## 5.2 設計ルールチェック

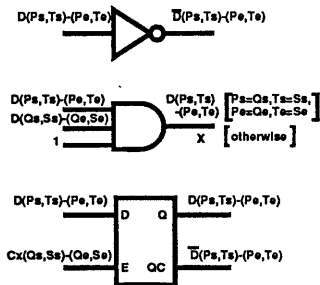
大規模セルテスト手法を適用するためには、LSI は 3 章で述べた大規模セルテスト容易化設計ルールに従って設計されなければならない。設計ルールチェックプログラムは LSI が大規模セルテスト容易化設計ルールに従っているかどうかチェックする。つまり、指定された TC が指定されたアクセスシーケンスによりアクセスできるかどうかチェックする。

設計ルールチェックプログラム [6] は設計ルールの管理を容易にするため、ルールベース手法を採用している。また、ルールチェックを高速に行うため、処理をシンボリックシミュレーションフェーズとルール違反検出フェーズとに分けている。シンボリックシミュレータは指定されたアクセスシーケンスに従って回路をシミュレーションし、ルール違反ディテクタは各時刻でシンボリック

表 1 シンボリック信号値

Value	Meaning
1	high level signal
0	low level signal
X	unknown signal
D	data
$\bar{D}$	complement of D
Cx	x phase clock
$\bar{C}x$	complement of Cx
$D(p_i, t_i) - (p_j, t_j)$	Value D which can be propagated from the position $p_i$ at the time frame $t_i$ to the position $p_j$ by the time frame $t_j$
$Cx(p_i, t_i) - (p_j, t_j)$	Value Cx which can be propagated from the position $p_i$ at the time frame $t_i$ to the position $p_j$ by the time frame $t_j$

図 6 シンボリックシミュレーション例



信号値が正しく伝播しているかどうかチェックする。

表 1 に、シンボリックシミュレータで使用しているシンボリック信号値を示す。

図 6 に、インバータ、AND ゲート、D ラッチのシンボリックシミュレーションを示す。

図 7 に、図 3 で示した LSI の各時刻でのシンボリックシミュレーション結果を示す。

## 6. テストパターン展開

指定された TC を TC の既存テストデータを用いてテストするため、TC テストパターン展開プログラムはアクセスシーケンスにしたがって、TC テストパターンライブラリ中に存在する TC のテストデータを LSI の外部入力端子あるいはスキャンレジスタに印加し、外部出力端子あるいはスキャンレジスタで観測するテストデータに展開編集する。

図 8 に、図 3 で示した TC のテストデータ展開結果を示す。ここで、 $I(P_i, S_n)$ 、 $C(P_i, S_n)$  及び  $O(P_i, S_n)$  はそれぞれ  $n$  番目のパタンの  $i$  番目のビットにおける入力、クロック及び出力値を示す。

図 8 テストパターン展開

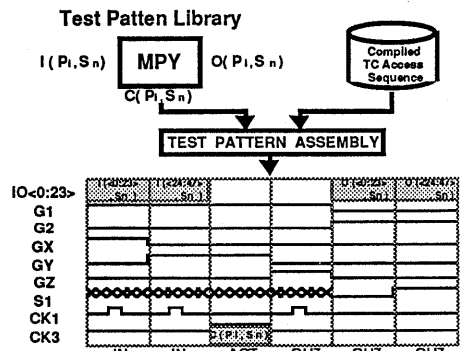
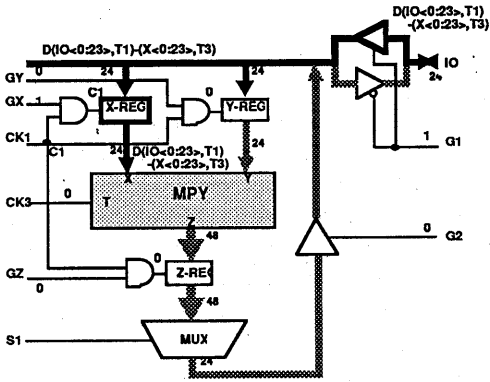
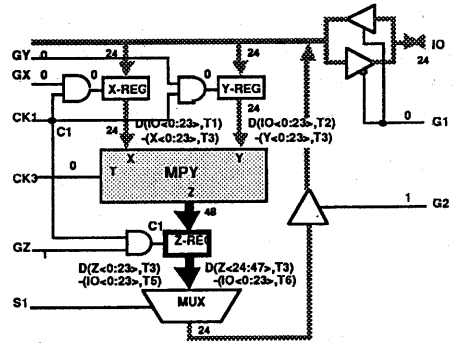


图 7

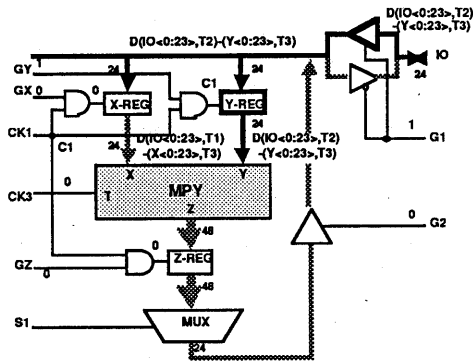
The First IN Time Frame



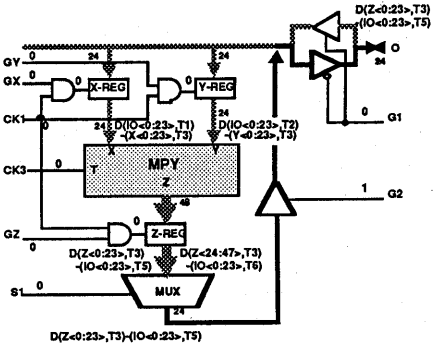
The First OUT Time Frame



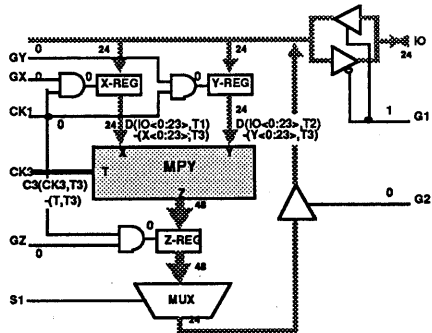
The Second IN Time Frame



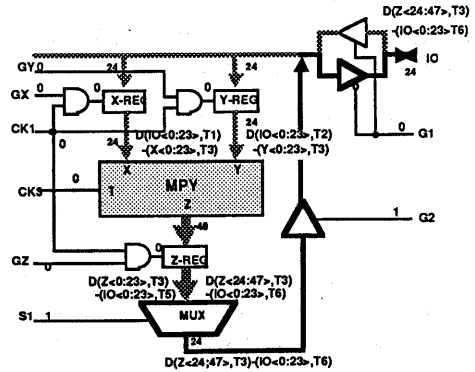
The Second OUT Time Frame



The ACT Time Frame



The Third OUT Time Frame



## 7. 適用結果

本手法をRAM およびPLA を含む2つのVLSIに適用した。1つは8種14個のRAMと2種2個のPLA を含む、もう1つは5種13個のRAMと2種2個のPLA を含む。これらのすべてのRAMとPLAをTCとしてテストした。

表2に、各々のVLSI中の全トランジスタ、TCをテスト可能とするための付加トランジスタおよび本手法によりカバーされたトランジスタを示す(カッコ内の数字は全トランジスタに対するカバーされたトランジスタ割合を示す)。付加トランジスタは本手法を適用するためにのみに挿入されたものを示す。VLSI中のすべてのRAMとPLAはごく僅かなトランジスタを付加することで、本手法によりテストできた。チップAは0.09%のトランジスタを付加することにより89.4%のトランジスタがカバーできた。チップBは0.02%トランジスタを付加することにより71.4%トランジスタがカバーできた。この様な僅かなトランジスタ増加で多くのトランジスタがテストできたことは、テスト動作でシステム回路を使用しているためである。

また、トランジスタが付加された箇所は実動作速度にほとんど影響のない部分であったため、トランジスタ増加による動作速度オーバーヘッドはほとんどなかった。

以上のことから、本手法は、より少ないテスト生成コスト、より少ないハードウェアオーバーヘッド、より少ない動作速度オーバーヘッドで、LSI中の大規模セルをテストすることができ、大規模セルを多く含むLSIのテストに非常に有効である。

表2 適用例

Chip	Total Trs	Extra Trs	Covered Trs
A	609,829	572 (0.09%)	545,281 (89.4%)
B	384,000	88 (0.02%)	274,193 (71.4%)

## 8. まとめ

本報告では、LSI中の大規模セルをテストするためのテスト容易化設計及びサポートツールについて述べた。本手法を実際のVLSIに適用した結果、より少ないハードウェアオーバーヘッドと動作速度オーバーヘッドで、既存テストデータ

を用いて大規模セルをテストすることができた。

## 参考文献

- [1] Williams, T.W. and Parker, K.P., "Design for Testability - A Survey," Proc. of IEEE, Vol. 71, No. 1, pp. 311-325 (1983)
- [2] Nagao, K., Shiotari, Y., Sueda, A., Saito, T., Uchida, K., Takeda, S., Fukushima, Y., Hirasawa, M. and Yamamoto, T., "Super Integration," CICC'85, pp. 267-271 (1985)
- [3] Sakashita, K., Hashizume, T., Ohya, T., Takimoto, I. and Kato, S., "Cell-Based Test Design Method," ITC'89, pp. 909-916 (1989)
- [4] Breitenwischer, T.G., "Logic Verification and Production Testing of Nonstructured Embedded VLSI Blocks", CICC'87, pp.62-65(1987)
- [5] Samad, A. and Bell, M., "Automating ASIC Design-for-Testability-the VLSI Test Assistant", ITC'89, pp.819-828(1989)
- [6] 小迫、大坪、萩原、村井、"ルールベース論理設計ルール検証プログラム"、情処 設計自動化研(1989.5)