

全可観測な環境での順序回路の故障検査について

温 晓青 樹下行三

大阪大学工学部応用物理学科

あらし 本稿は回路内のすべてのゲートとフリップ・フロップの出力線が観測できる環境で、順序回路の新しい故障検査手法を提案する。本手法の基本的な考え方は、順序回路の組合せ部分を k -UCP回路に変換し、さらに回路全体の検査を容易に行なえるようにフリップ・フロップ部分の回路変換を行なうことである。本稿では、回路変換の手法と変換した回路の故障検査手法について述べる。

Testing of Sequential Circuits under Highly Observable Condition

Wen Xiaoping and Kozo Kinoshita

Department of Applied Physics
Faculty of Engineering
Osaka University

Abstract In this paper, we propose a new method for testing sequential circuit in the environment in which the output lines of all gates and flip-flops are observable. The basic idea is to convert the combinational part of the sequential circuit into a k -UCP circuit and to convert the flip-flop part so that it can be tested easily. We describe the circuit modification method and the test method in this paper.

1. はじめに

集積回路の故障検査の必要性は集積回路の設計、製造および応用の各段階で生じてくる。故障検査は故障検出と故障箇所指摘の両方を意味する。通常、集積回路に故障が存在するか否かを調べる故障検出がよく行なわれているが、故障の位置を調べる故障箇所指摘も不可欠なものである。特に集積回路の開発段階においては、正確な設計データと製造工程を確立するまで、試作回路の故障解析を行ない、設計データ及び製造工程の修正を繰り返すことが余儀なくされている。そのために、試作回路に対して故障検出のみならず故障箇所指摘も重要な問題になっている。

故障検出が通常外部入出力線の制御と観測だけで行なわれるのに対して、設計段階の故障解析のための集積回路の故障箇所指摘は特別な観測手段をもって行なわれる。それは外部入出力線の制御と観測だけで大規模な集積回路の故障箇所指摘を行なうのが非常に難しいからである。特別な観測手段として、プロービング技術がよく用いられている。以前は金属の針をプローバーとして使用していたが、集積回路の回路構造そのものを破壊しがちである。最近では電子ビームをプローバーとする新しいプロービング技術が開発され実用化されつつある^[1~4]。電子ビームのプローバーは被観測回路の破壊や付加容量の導入がなく内部信号線を観測することができる。

電子ビームによるプロービング技術は集積回路を密封する前にしか使えず、しかもシステムそのものが高価なため、その使用は開発段階の故障解析に限っている。最近、量産ラインの故障検出にも使える内部信号線の外部信号線による観測技術として、クロスチェックが提案されている^[5]。ロスチェックを用いることによって、理論的には回路内の任意の信号線の論理値を外部信号線によって察知することができる。つまり、クロスチェック技術は外部信号線の観測と制御だけで故障検出や故障箇所指摘を行なうときにも有効な観測技術である。これらの内部信号線の観測技術の使用を背景に、回路内のすべてのゲートとフリップ・フロップの出力線が観測できると仮定する。このようなテスト環境を全可観測な環境 (Highly Observable Condition) という。

電子ビームを用いて集積回路の内部信号線の電圧を測定するためにテスト系列を繰返して印加する必要があるため、テストの高速化のためにテスト系列が短い方が望ましい。短いテスト系列はクロスチェック技術を用いる場合の故障検査の所要時間の短縮にも貢献する。つまり、全可観測な環境においては、テスト系列を短くする工夫が必要である。このために、被検査回路をテスト系列が短いように変換するアプローチがある。組合せ回路を変換して長さ3の6つのテスト系列ですべての縮退故障を検出することができる^[6]。k-UCP回路という特殊な組合せ回路が提案されている^[7]。全可観測な環境で、k-UCP回路内のすべての縮退故障とスタック・オープン故障^[8]が長さ $k(k+1)+1$ の高々 $2(k+1)$ 種類のテスト系列によって検出されることを示した。kはゲート

ト素子のファンインであるので、実際のkの値は2か3である。つまり、k-UCP回路を非常に種類の少なく長さが短いテスト系列でテストすることができる。

本稿では全可観測な環境で順序回路の故障検査問題について考察する。基本的な考え方は回路の可制御性を向上させることによって故障検査を容易にすることである。このために、順序回路内の組合せ部分もk-UCP回路に変換する。問題はk-UCP回路に含まれないフリップ・フロップが存在するため、k-UCP回路に変換された組合せ回路部分やフリップ・フロップへのテスト系列の印加が難しいことである。本稿はこの問題をどのように解決するかを中心に展開する。

第2節ではまず、k-UCP回路について簡単な紹介を行なう。第3節では、k-UCP回路をベースとした順序回路の故障検査手法について述べる。

2. k-UCP回路

全可観測な環境で、組合せ回路内のすべての縮退故障とスタック・オープン故障を短いテスト系列で検出できる幾つかの回路が提案されている。最初に提案したのは彩色解を持つk-UNAND回路である^[9]。このような回路のすべての縮退故障とスタック・オープン故障は高々 $k+1$ 種類の長さ $k(k+1)+1$ のテスト系列で検査できることを示した。彩色解を持つk-UNAND回路はk入力のNANDゲートのみで構成されている。さらに、この考え方を拡張してk-UCP回路を提案した^[7]。k-UCP回路はk-入力のNAND, NOR, AND, OR, およびNOTゲートを含むことができ、k-UCP回路内のすべての縮退故障とスタック・オープン故障を高々 $2(k+1)$ 種類の長さ $k(k+1)+1$ のテスト系列で故障検出を行なうことができることを示した。また、これらのテスト系列を用いて故障箇所を特定することができることを示した^[9]。さらに、任意の組合せ回路を彩色解を持つk-UNAND回路やk-UCP回路に変換する手法を提案した^[10]。ここでは、k-UCP回路の定義、回路例およびそのテスト手法の概略について述べる。

[定義1] k入力のNAND, NOR, AND, ORゲート, およびNOTゲートで構成される組合せ回路を、k-U回路という。

[定義2] k-U回路内の各k入力ゲートの入出力線に異なる色を、NOTゲートの入出力線には同じ色を塗るように、k+1種の色ですべての信号線を塗ることができるとき、その回路は彩色解を持つという。特にk+1色を強調するときには、k+1色解を持つという。

[定義3] k-U回路内の各信号線に表1に示すように“+”と“-”を割り当てることができるとき、その回路は正しい極

性を持つという。

【定義4】 $k+1$ 色解と正しい極性を持つ $k-U$ 回路を $k-U$ CP 回路という。

表1 正しい極性

	INPUT	OUTPUT
NAND	+	+
AND	+	-
NOR	-	-
OR	-	+
NOT	+	-
	-	+

2-U CP 回路の例を図1に示す。

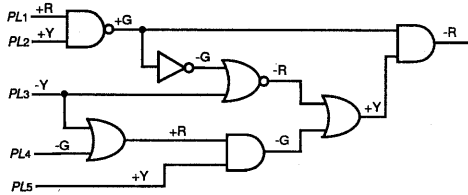


図1 2-U CP 回路

任意の2-U CP 回路内のすべての縮退故障とスタック・オープン故障は次の6つの系列からなるテストパターンによって検出できる。

- S1 = 1 0 1 0 1 1 1
- S2 = 1 1 0 1 1 0 1
- S3 = 0 1 1 1 0 1 0

- T1 = 0 1 0 1 0 0 0
- T2 = 0 0 1 0 0 1 0
- T3 = 1 0 0 0 1 0 1

上の6つの系列は2-U CP 回路の基本系列と呼ばれている。 $k-U$ CP 回路の基本系列の生成法や性質などについても示されている^[7,9]。 $k-U$ CP 回路の基本系列の長さは $k(k+1)+1$ である。基本系列がテストパターンに対応している。まず、 $k-U$ CP 回路の信号線に塗られた $k+1$ の色を基本系列 $S1(T1), \dots, Sk+1(Tk+1)$ に1対1に対応させ、“+”と“-”をそれぞれS系列($S1, \dots, Sk+1$)とT系列($T1, \dots, Tk+1$)に対応させる。 $k-U$ CP 回路の外部入力線に割り当てられた色と極性に対応する基本系列がこの回路のテストパターンとなる。

【例1】 図1の2-U CP 回路のテストパターンを求める。図1において、R, Y, とGは3つの色を表わす。R, Y, とGをそれぞれ基本系列 $S1(T1), S2(T2), S3(T3)$ に対応させ、“+”と“-”をそれぞれS系列($S1, S2, S3$)とT系列($T1, T2, T3$)に対応させる。明らかに、この回路のすべての縮退故障とスタック・オープン故障はテ

ストパターン： $\{S1 \rightarrow PL1, S2 \rightarrow PL2, T2 \rightarrow PL3, T3 \rightarrow PL4, S2 \rightarrow PL5\}$ によって検出される。

3. 順序回路の故障検査

3.1 対象回路について

本稿では、図2に示すような同期型順序回路を対象とする。フリップ・フロップ(図中のFFi)としてクロック付きのDフリップ・フロップ(D-FF), SRフリップ・フロップ(SR-FF), およびJKフリップ・フロップ(JK-FF)が用いられると仮定する。これらのフリップ・フロップの出力線をQと \bar{Q} で表わし、入力線をD, S, R, J, およびKで表わすことにする。

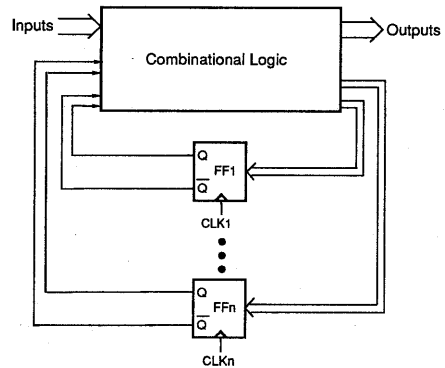


図2 対象回路

対象故障として、信号線の縮退故障とトランジスタのスタック・オープン故障を考える。2節で述べたように組合せ回路に基本系列からなるテストパターンを印加すれば、その回路内のすべての縮退故障とスタック・オープン故障を検出することができる。CMOSのフリップ・フロップの縮退故障とスタック・オープン故障を検出するテスト系列はそのフリップ・フロップの具体的な構成に依存する。通常、基本的に同じ機能のフリップ・フロップも数多くの構成を取ることが可能なので、各可能な構成についてテスト系列を考慮しなければならない。また、通常の構成のCMOSフリップ・フロップには、検出はできないが正常動作に影響を及ぼすようなスタック・オープン故障が存在する可能性がある^[11]。このような故障をなくすために、回路変換を行なう必要がある。すべての対象故障が検出できるCMOSのD-フリップ・フロップの構成がすでに提案されている^[11]。

本稿では、フリップ・フロップがどのような構成を持つか、またどのようにテスト系列を生成するかについての考察を行わない。ここで、図3に示すように、D-FFの故障検査系列として $\langle \alpha 1, \alpha 2 \rangle$, SR-FFの故障検査系列として $\langle \beta 1, \beta 2, \beta 3 \rangle$, JK-FFの故障検査系列として $\langle \gamma 1, \gamma 2, \gamma 3 \rangle$ が与えられるとし、順序回路全体の故障検査の手

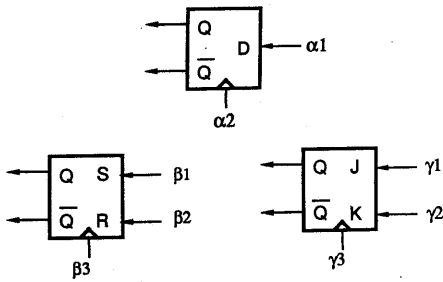


図3 フリップ・フロップのテスト系列

法について考察する。

3.2 順序回路故障検査上の問題点

2節で示したように、組合せ回路をk-UCP回路に変換すれば、簡単にテストすることができるが、順序回路の場合、その回路の組合せ部分をk-UCP回路に変換したとしても回路全体の故障検査が簡単にできるとは限らない。例えば、図4に示す順序回路の組合せ部分(虚線部分)が2-UCP回路となっている。この組合せ部分の外部入力線はL1~L5である。この組合せ部分をテストするために、L1~L6より基本系列を印加しなければならない。L6はSR-FFのQ信号線であり、これに直接基本系列を印加することが難しい。また、一般に、フリップ・フロップに故障検査系列を印加することも難しい場合によってできない可能性がある。印加ができたとしても、外部入力系列が非常に長くなる可能性がある。

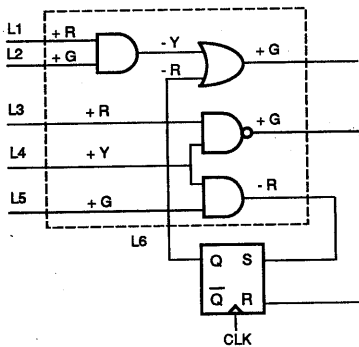


図4 順序回路の例

ここで、組合せ回路部分とフリップ・フロップに故障検査系列を簡単に印加することができ、しかも外部入力線への印加系列の長さをなるべく短くするために、付加ゲートを導入して回路構造を変換することを提案する。まず、図4の回路を例に基本的な考え方を示す。

[例2] 図4の回路を図5のように変換して、3つのステップに分けて故障検査を行なうことができる。図5には、組合せ部分と各付加ゲートをテストする基本系列を示している。

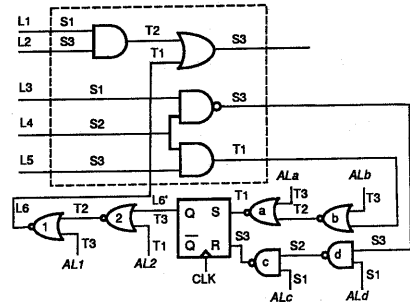


図5 図4回路の変換結果

M1:

ここで、従来の組合せ部分(虚線部分)と付加ゲートa~dをテストする。L6への基本系列の印加はゲート1とゲート2を通じて行なう。AL1にS1を、AL2に1を、L1~L5およびALa~ALdにそれぞれの基本系列を印加する。ゲート1の出力線を観測する。ゲート1の出力線にT1が現れなければ、ゲート1かゲート2に故障があることが分かる。ここで、ゲート1の出力線にT1が現れたとしても、ゲート1とゲート2に故障がないとは限らない。例えば、ゲート2の出力線の0縮退故障があっても、ゲート1の出力線にT1が現れる可能性がある。ゲート1とゲート2のテストはM3で行なう。ゲート1の出力線にT1が現れば、L6に基本系列T1を印加することに成功し、従来の組合せ部分と付加ゲートa~dの部分をテストできる。この部分に故障がなければ、M2へ進む。

M2:

ここで、フリップ・フロップSR-FFをテストする。SとR信号線へのテスト系列の印加は付加ゲートa~dを通じて行なう。ALaに $\bar{\beta}1$ を、ALbに1を、ALcに $\bar{\beta}2$ を、ALdに0を印加する。CLKに直接に $\beta 3$ を印加する。Qと \bar{Q} 信号線を観測することによってこのSR-FFをテストすることができる。このフリップ・フロップに故障がなければ、M3へ進む。

M3:

ここで、付加ゲート1と2のテストを行なう。AL1とAL2に直接それぞれの基本系列T3とT1を印加することができるが、ゲート2のL6'入力線への基本系列の印加はS-S-Fとゲートa~dを通じて行なう。ALaにS3を、ALbに1を、ALcにT3を、ALdに0を印加する。なお、1ビットを印加するごとにCLKに1つのクロック信号を加える。SR-FFの機能から明らかのように、これによって、ゲート2のL6'入力線へ所期の基本系列T3を印加することができる。これで、ゲート1とゲート2をテストすることができる。

この3つのステップによって、順序回路の全体をテストすることができる。印加したテスト系列の長さは $2 \times 7 + L(\beta)$ である。ここで、7は基本系列の長さで、 $L(\beta)$ はSR-FFのテスト系列の長さである。明らかに、印加したテスト系列の長さは回路の構造に依存せず、大規模な回路に対しても、短いテスト系列で故障検査を行なうことができる。つまり、k-

UCP回路の利点は回路変換によって順序回路にも現れる。

一般に、どのように順序回路を変換すれば故障検査が容易になるかという基準を与えるために、 k -SUCP回路を提案する。

3.3 k -SUCP回路の定義

k -SUCP回路は図5のような検査容易な順序回路の一般化である。

【定義5】以下の条件を満たす順序回路は k -SUCP回路という。

- [1] 組合せ部分が k -UCP回路である。
- [2] 各フリップ・フロップについて、 Q 信号線と \bar{Q} 信号線に同じ色と異なる極性が割り当てられる。
- [3] 各D-FFについて、 D 信号線と Q 信号線に同じ色と極性が割り当てられる。
- [4] 各 D, S, R, J, K, Q 、および \bar{Q} 信号線について、図6に示す構造が存在する。ここで、ゲート1, 2, aとbは両方ともNANDまたはNORゲートである。また、 $N1$ はフリップ・フロップの入力線(D, S, R, J, K)への入力であり、 $M2$ は組合せ部分からの入力であり、 Na は組合せ部分への入力であり、 Mb はフリップ・フロップ出力線からの入力である。

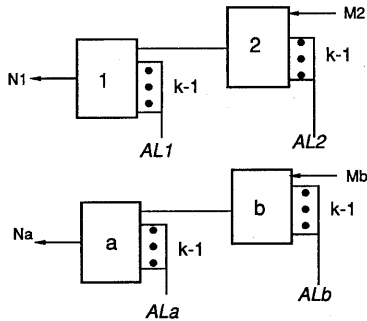


図6 k -SUCP回路の条件(4)

k -SUCP回路は組合せ部分が k -UCP回路でしかも各フリップ・フロップに関してテストしやすい構造を持つ順序回路である。 S は順序回路を意味する。

k -SUCP回路の定義の中で、条件(2)が必要なのは、 Q に基本系列 $S_i(T_i)$ が現れれば、 \bar{Q} に基本系列 $T_i(S_i)$ が現れるからである。条件(3)が必要なのは、D-FFの D 信号線に $S_i(T_i)$ を印加するごとにCLKにクロック信号を加えれば、そのフリップ・フロップの Q 信号線にも $S_i(T_i)$ が現れるからである。さらに、条件(4)は組合せ部分への基本系列の印加と各フリップ・フロップへのテスト系列の印加を容易に行えるために必要である。

明らかに、図5の回路は2-SUCP回路である。図8に2

-SUCP回路の他の例を示す。

3.4 k -SUCP回路への回路変換

明らかに、任意の順序回路は必ずしも k -SUCP回路ではない。また、直接に k -SUCP回路を設計することが難しい。従って、設計した順序回路を k -SUCP回路に変換する方が現実的である。

一般の回路変換法として、まず組合せ部分を k -UCP回路に変換して、さらに、 k -SUCP回路の定義の条件(2)~(4)を満たすように回路構造を調整すればよい。任意の組合せ回路を k -UCP回路に変換する手法についてすでに報告されている^[18]。 k 入力のNANDまたはNORゲートしか含まない組合せ回路を k -UCP回路に変換する場合にはオーバーヘッドが非常に低いことが示されている。順序回路の回路変換の場合に、さらに1つのD-FFについて高々6つの付加ゲートが必要であり、1つのSR-FF(JK-FF)について高々8つの付加ゲートが必要である。

回路変換のオーバーヘッドを少なくするために、次のことに注意する必要がある。つまり、回路変換を行なうとき、条件(2)を考慮しないまま組合せ部分を k -UCP回路に変換すれば、後で無駄なゲートを付加する可能性がある。例えば、図7に示す順序回路の組合せ部分を2-UCP回路に変換するとき、 $L3$ と $L4$ が組合せ部分に対して互いに無関係な外部入力線なので、図7のように $L3$ と $L4$ に異なる色を割り当てることがある。そうすると、条件(2)を満たすために、さらに付加ゲートを導入して調整する必要がある。実際は括弧で示すように色を塗れば、自然に条件(2)を満たすことになる。つまり、組合せ部分を k -UCP回路に変換するために組合せ部分の各信号線に色を塗るとき、同じフリップ・フロップの Q と \bar{Q} 信号線を同一信号線とみなして行なった方がよい。これで、無駄なゲートの付加を防ぐことができる。

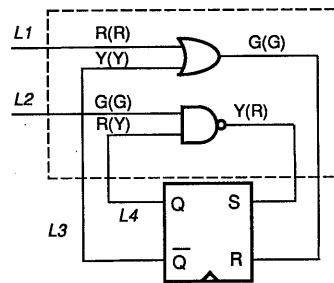


図7 回路変換上の注意点

3.5 k -SUCP回路の故障検査法

SR-FFを含む k -SUCP回路の故障検査手法の基本は例2で説明した。ここでまず、D-FFを含む k -SUCP回路の故障検査手法について例で説明する。その後、 k -SUC

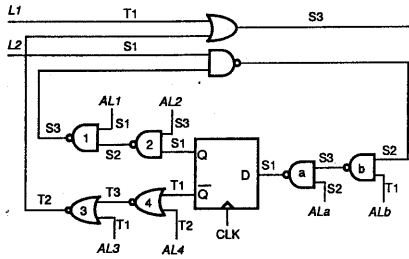


図8 2-SUCP回路の例

P回路の一般の故障検査手法を与える。

[例3] 図8の2-SUCP回路の故障検査を行なう。図5の回路と同様に図8の回路の故障検査も3つのステップに分けて行なうことができる。図7には、組合せ部分と各付加ゲートをテストする基本系列を示している。

M1:

ここで、組合せ部分と付加ゲートaとbのテストを行なう。AL1にT3を、AL2に0を、AL3にS2を、AL4に1を印加する。また、L1とL2、およびALaとALbにそれぞれの印加すべき基本系列を印加する。ゲート1と3の出力線を観測する。ゲート1と3の出力線にそれぞれS3とT2が現れなければ、ゲート1~4に故障があることが分かる。ここで、ゲート1と3の出力線にそれぞれS3とT2が現れたとしても、ゲート1~4に故障がないとは限らない。ゲート1~4のテストはM3で行なう。ゲート1と3の出力線にそれぞれS3とT2が現れれば、組合せ部分とゲートaとbの部分をテストできる。この部分に故障がなければ、M2へ移る。

M2:

ここで、D-FFをテストする。D信号線へのテスト系列の印加はゲートaとbを通じて行なう。ALaに $\overline{\alpha 1}$ を、ALbに0、CLKに直接に $\alpha 2$ を印加する。Qと \overline{Q} 信号線を観測することによってこのD-FFをテストすることができる。このフリップ・フロップに故障がなければ、M3へ移る。

M3:

ここで、ゲート1~4のテストを行なう。AL1とAL3に直接それぞれの基本系列を印加することができるが、D-FFのQと \overline{Q} 信号線への基本系列の印加はD-FFとゲートaとbを通じて行なう。ALaにT1を、ALbに0を印加する。なお、1ビットを印加することにCLKに1つのクロック信号を加える。D-FFの機能から明らかなように、これによって、ゲート2の入力線(D-FFのQ信号線)へS1を、ゲート4の入力線(D-FFの \overline{Q} 信号線)へT1を印加することができる。これで、ゲート1~4をテストすることができる。

JK-FFについて、例2のSR-FFの場合と同様に故障

検査を行なうことができる。さらに、回路に1つ以上のフリップ・フロップが含まれる場合についても、例2と例3とほぼ同じように故障検査を行なうことができる。一般の故障検査法は次の通りである。

故障検査法(k-SUCP):

- [M1] 回路の組合せ部分と各フリップ・フロップの入力側に付加したゲートの外部入力線、および各フリップ・フロップの出力側に付加したゲートを通じてテスト系列を印加して、回路の組合せ部分と各フリップ・フロップの入力側に付加したゲートのテストを行なう。
- [M2] フリップ・フロップのクロック信号線とフリップ・フロップの入力側に付加したゲートを通じてテスト系列を印加して、各フリップ・フロップのテストを行なう。
- [M3] 各フリップ・フロップの出力側に付加したゲートの外部入力線、および各フリップ・フロップの入力側に付加したゲートを通じてテスト系列を印加する。なお、1ビットのテスト系列を印加することに各フリップ・フロップに1つのクロック信号を加える。これによって、各フリップ・フロップの出力側に付加したゲートのテストを行なう。

一般に、次の定理が成り立つ。

[定理1] k-SUCP回路のすべての縮退故障とスタック・オープン故障は長さ $2 \times [k(k+1) + 1] + L$ のテスト系列で検出することができる。ここで、LはD-FF、SR-FFおよびJK-FFのテスト系列の内もっとも長いテスト系列の長さである。

$k(k+1) + 1$ は基本系列の長さである。基本系列は2回印加する。なお、フリップ・フロップのテスト系列はそのフリップ・フロップ内のすべての縮退故障とスタック・オープン故障を検出できると仮定する。明らかに、k-SUCP回路のテスト系列の長さはその回路の構造と無関係である。つまり、大規模なk-SUCP回路に対しても、固定長でしかも短いテスト系列で故障検査を行なうことができる。

以上、k-SUCP回路の故障検査について述べた。k-SUCP回路の故障検査が簡単にできるが、回路構造にやや厳しい制限がある。次に、テスト系列は長くなるが回路変換に付加回路が少ない特殊な回路について考察する。

3.6 k-DUCP回路とその故障検査法

ここで、フリップ・フロップとしてD-FFしか含まなく、フリップ・フロップ内部以外にフィードバックループが存在しない順序回路について考察する。

[定義6] 以下の条件を満たす順序回路はk-DUCP回路という。

- [1] フリップ・フロップとしてD-FFしか含まなく、フリップ・フロップ内部以外にフィードバックループが存在しない。
- [2] 各組合せ回路がk-U C P回路である。
- [3] 各D-FFについて、D信号線、Q信号線と \bar{Q} 信号線に同じ色が塗られ、D信号線とQ信号線に同じ極性が割り当てられ、Q信号線と \bar{Q} 信号線に異なる極性が割り当てられる。

k-D U C P回路の中のDは決定性順序回路の意味である。k-D U C Pの例を図9に示す。この回路の故障検査の手法を次の例で説明する。

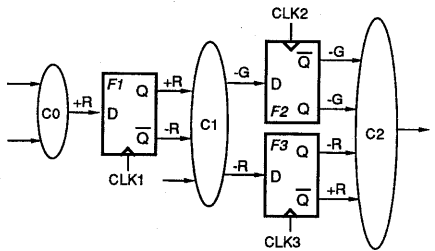


図9 k-D U C P回路の例

【例4】図9の回路の故障検査を行なう。

1.:

C0に基本系列を加えて、故障検査を行なう。C0に故障がなければ、次へ進む。

2.:

C0の外部入力線に基本系列を印加することによって、F1のD信号線(C0の出力線でもある)に基本系列が現れるので、C0の外部入力線への入力ベクトルの中には必ずP0とP1がある。P0(P1)を印加すれば、F1のD信号線が0(1)になる。D-FFのテスト系列の α_1 が0と1からなるので、P0とP1を適当な順番で印加すれば、F1のD信号線に α_1 を印加することができる。また、 α_2 をCLK1を通じて直接に印加することができるので、F1の故障検査ができる。F1に故障がなければ、次へ進む。

3.:

C0とC1の外部入力線に基本系列の第1ビット目の値を印加する。そうすると、F1のD信号線に基本系列の第1ビット目の値が現れる。このとき、CLK1に1つのクロック信号を加えると、F1のQと \bar{Q} に基本系列の第1ビット目の値が現れる。これによって、C1のすべての信号線にも基本系列の第1ビット目の値が現れることになる。同様に、C0とC1の外部入力線に基本系列の1ビット目の値を印加することにCLK1に1つのクロック信号を加えることによって、C1に基本系列を印加することができる。C1に故障がなければ、次へ進む。

4.:

F2のD信号線(C1の出力線の1つでもある)に基本系列が現れるので、C0とC1の外部入力線への入力ベクトルには必ずP0とP1がある。P0(P1)を印加して、CLK1に1つのクロック信号を加えると、F2のD信号線に0(1)が現れる。それで、P0とP1を適当な順番で印加し、しかも1つのP0またはP1を印加するごとにCLK1に1つのクロック信号を加えることによって、F2のD信号線に α_1 を印加することができる。CLK2に α_2 を直接に印加することができる。これで、F2の故障検査ができる。同様に、F3の故障検査もできる。F2とF3に故障がなければ、次へ進む。

5.:

C0、C1とC2の外部入力線に基本系列の第1ビット目の値を印加すると、F1のD信号線に基本系列の第1ビット目の値が現れる。このとき、CLK1に1つのクロック信号を加えると、F1のQと \bar{Q} に基本系列の第1ビット目の値が現れる。これで、C2のすべての信号線に基本系列の1ビット目の値が現れることになる。これによって、F2とF3のD信号線に基本系列の第1ビット目の値が現れる。このとき、CLK2とCLK3に1つのクロック信号を加えると、F2とF3のQと \bar{Q} 信号線に基本系列の第1ビット目の値が現れる。これで、C2のすべての信号線に基本系列の第1ビット目の値が現れることになる。同様に、C0、C1とC2の外部入力線に基本系列の1ビット目の値を印加するごとにCLK1、CLK2とCLK3に2つのクロック信号を加えることによって、C2に基本系列を印加することができる。

このようにして、回路全体の故障検査を行なうことができる。そのために印加するテスト系列の長さが $3 \times 7 + L(\alpha)$ で、2-SUCP回路の場合の $2 \times 7 + L(\alpha)$ より長い。ここで、 $L(\alpha)$ はD-FFのテスト系列の長さである。

一般のk-DUCP回路を図10に示す。k-DUCP回路の一般の故障検査手法は次の通りである。

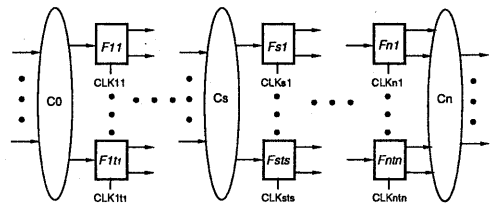


図10 一般のk-DUCP回路

故障検査法(k-DUCP):

[N1] sを0とする。

(C s の故障検査)

- [N2] v を 1 とする。
- [N3] 基本系列の第 v ビット目の値を C_0, C_1, \dots, C_s の外部入力線に印加して, CLK_1, \dots, CLK_s に連続して s 個のクロックを印加する。
- [N4] v が $k(k+1)+1$ より小さいとき, $v+1$ を v として, [N3] に戻る。そうでなければ, 次へ進む。
- [N5] C_s に故障がなく, s が n より小さければ, $s+1$ を s として次へ進む。

(F s i の故障検査)

- [N6] $F s i$ ($i=1, \dots, t_s$) の D 信号線に 0 と 1 を設定する C_0, C_1, \dots, C_{s-1} の外部入力ベクトル P_0 と P_1 を求める。その P_0 と P_1 を $F s i$ の D 信号線 $\alpha 1$ が現れるように並べる。 $s=1$ のとき, 直接に $\alpha 1$ を印加する。 $s>1$ のとき, 1 つの P_0 または P_1 を印加するごとに CLK_1, \dots, CLK_{s-1} に連続して $s-1$ 個のクロックを印加することによって, $\alpha 1$ を印加することができる。 $\alpha 2$ を直接に $F s i$ に印加する。 $F s 1, \dots, F s t_s$ に故障が存在しなければ, $s+1$ を s として [N2] に戻る。

一般に, 次の定理が成り立つ。

[定理 2] $k-DUCP$ 回路のすべての縮退故障とスタック・オープン故障は長さの $(n+1) \times [k(k+1)+1] + n \times L$ テスト系列で検出することができる。ここで, L は $D-FF, SR-FF$ および $JK-FF$ のテスト系列の内も最も長いテスト系列の長さである。

$k(k+1)+1$ は基本系列の長さである。なお, フリップ・フロップのテスト系列はそのフリップ・フロップ内のすべての縮退故障とスタック・オープン故障を検出できると仮定する。 $k-DUCP$ 回路に対して, 基本系列は $n+1$ 回印加し, フリップ・フロップのテスト系列は n 回印加する。つまり, 任意の順序回路を $k-DUCP$ 回路に変換するオーバーヘッドは一般に少ないが, 印加すべき故障検査系列が長い。また, その故障検査系列の長さは回路の構造に依存するので, 段数の多い順序回路にはこの手法が適用しにくい。

4. あとがき

本稿では, 全可観測な環境での順序回路の故障検査について考察し, $k-SUCP$ 回路を提案した。 $k-SUCP$ 回路は, 組合せ部分を $k-UCP$ 回路に変換し, またフリップ・フロップ部分についても検査しやすいように調整した順序回路である。 $k-UCP$ 回路と同様に, $k-SUCP$ 回路も短い固定長入力系列で故障検査を行なうことができる。

本稿ではまた, フリップ・フロップとして $D-FF$ しか含まなく, しかもフリップ・フロップ内部以外にフィードバックループがない順序回路を $k-SUCP$ 回路ほど付加回路の多くない $k-DUCP$ 回路に変換し, 故障検査を行なう手法を提案した。この手法でのテスト入力系列の長さは回路のフリップ・フロップの段数に依存する。

本稿で提案した故障検査法は集積回路の開発段階での効率的な故障解析に用いることができる。将来の課題として, フリップ・フロップのテスト系列の生成と組合せ回路の故障箇所の特定期間の考案などがある。また, 順序回路のベンチマーク回路に対して回路変換を行ない, 付加回路の評価を行いたい。

参考文献

- [1] E. Wolfgang: "Electron Beam Testing", in "Handbook of Advanced Semiconductor Technology and Computer Systems", Van Nostrand Reinhold Co. (1987).
- [2] 古川, 稲垣: "LSI の非接触診断技術", 電学論, 107-C, 3, pp. 245-20 (1987).
- [3] 山口, 佐藤, 戸所, 荻原, 坂本: "電子ビームテストを用いた VLSI の故障探索法の基礎検討", 信学技報, Vol. 89, No. 71, pp. 9-16 (1989).
- [4] 寺元, "電子ビームテスト用のテストパターン生成法", 信学技報, Vol. 88, No. 42, pp. 45-50 (1988).
- [5] T. Gheewala: "CroosCheck: A Cell Based VLSI Testability Solution", Dig. of 26th DAC, pp. 706-709 (1989).
- [6] K. K. Saluja and S. M. Reddy, "On Minimally Testable Logic Networks", IEEE Trans. on Comput., Vol. C-23, pp. 552-554, May (1974).
- [7] Wen Xiaqing, Kozo Kinoshita: "Fault Detection and Diagnosis of $k-UCP$ Circuits under Totally Observable Condition", Proc. of 20th FTCS, pp. 382-389, (1990).
- [8] R. L. Wadsak: "Fault Modeling and Simulation of CMOS and MOS Integrated Circuits" Bell Syst. Tech. J., Vol 57, pp. 1449-1474, (1978).
- [9] Kozo Kinoshita, Wen Xiaqing, S. M. Reddy: "Diagnostic Testing of NAND Logic Circuits under Totally Observable Condition", Proc. of '89 JFTCS, pp. 69-74, (1989).
- [10] Wen Xiaqing, Kozo Kinoshita: "A Testable Design of Logic Circuits under Highly Observable Condition", Proc. of 1990 ITC, (1990).
- [11] M. K. Reddy and S. M. Reddy: "Detecting FET Stuck-open faults in CMOS latches and flip-flops", IEEE design and Test, pp. 17-26 (1986).