

アナログ・セル生成における素子配置手法

佐々木尚 諏佐秀哉

株式会社東芝

半導体CAD技術部

バイポーラ・アナログLSIの機能セル(ブロック)内の素子配置手法について提案を行う。我々はアナログ・レイアウト設計者が日常行っている設計手法を基に、アナログ制約を満足しつつ高集積度を実現するために、次のような特徴を持つシュミレーテッドアニーリング法を考えた。(1) スケマからレイアウトするときアナログ的な近接配置を満足するために、電源からグランドに至るパス(我々はブランチと呼んでいる)を利用して素子の近傍関係を保存する。(2) 集積度を上げるために配置機構の中にコンパクション機能を取り込む。面積的には手書きによる設計と同程度の結果が得られることを確かめた。

A PLACEMENT ALGORITHM FOR ANALOG CELL GENERATION HISASHI SASAKI, HIDEKANA SUSA TOSHIBA CORPORATION, SEMICONDUCTOR CAD ENG. DEPT. 580-1, HORIKAWA-CHO, SAIWAI-KU, KAWASAKI, 210 JAPAN

We propose a placement algorithm for bipolar analog LSI cell generation. Based on LSI designer's experience, this algorithm is derived from simulated annealing method to meet both analog-constraint and high-density. (1) To keep neighbourhood-relation of elements, we incorporate a new capability to treat power supply path called "BRANCH" in designing physical layout from schematic capture. (2) To obtain high-density, we also adopt compaction mechanism which is consistent with the above capability. Our resultant layout is exactly as high-density as hand-written one.

【1 はじめに】

アナログ回路の自動設計はデジタルほど研究が進んでおらず、まだ少数の成功例がある程度で製品におおいに利用する段階に至っていない分野である。これはアナログ制約をどのように取り扱うかがLSI製品の分野により大きく異なるためであり、すべての好ましい条件を満足することが困難なためである。我々は特定分野（VTR、カメラなどの民生用IC）のアナログレイアウト設計者が日常行っている設計手法を基に、トランジスタ、抵抗、容量の回路素子の配置手法を提案する。この手法の特徴は次のふたつの点である。（1）スキマからレイアウトする時にアナログ的な近接制約配置を満足させるためには、電源からグランドに至るパス（我々はブランチと呼んでいる）を利用して素子の近傍関係を保存する。（2）集積度を上げるために、配置機構のなかにコンパクション機構を取り込む。またこのコンパクションは前述のブランチによる配置と親和性が良い。

アナログ制約を満足するための配置アルゴリズムではシミュレーテッド・アニーリング法

（SA法）[1][2]やセル列配置法[3]が提案されている。しかし、これらの結果は人手設計に比較して集積度が悪いことに問題がある。またゾーンリファイニング法に基づく方法[4]や力学的な重なり解除法[5]では、高集積度を満足するが素子のアナログ制約からくる近接関係を十分に満足できないでいる。さらに力学的なエネルギー最小化の方法[6]では、できたセルの格好が丸みをおび、ブロックを集めてチップ全体を構成するとき四角い形状より著しく不利である。我々の手法はこれらに対して、長方形のセルをアナログ制約を満足しつつ高密度を実現するものである。

2章でこの配置システムの周りの環境について概略する。3章で素子配置モデルおよびアルゴリズム詳細を述べる。4章では実施例を紹介し、我々の手法の評価を行ない、本手法の有効性を確認する。

【2 システム環境】

我々の配置プログラムはバイポーラアナログLSIブロック内レイアウトCADシステム

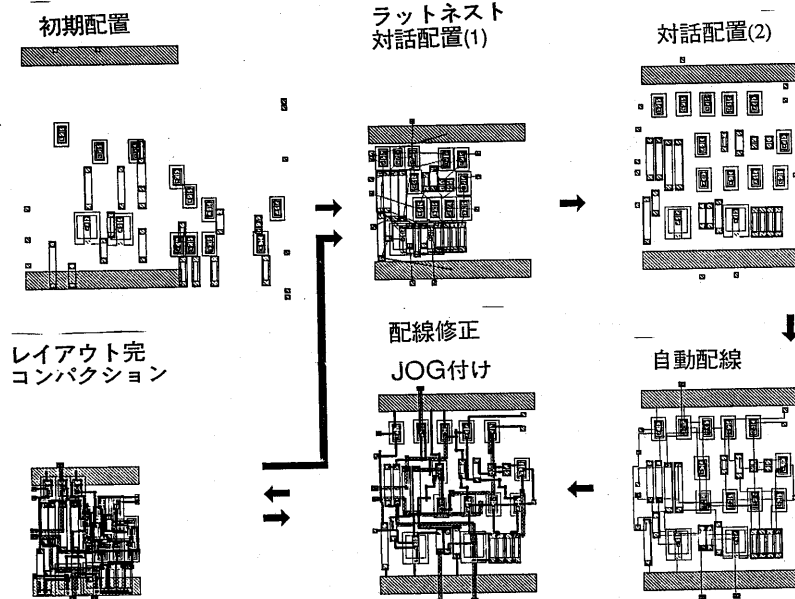


図1 文献[7]の設計フロー

に連結して作成されている。このシステムは報告されているように[7]、素子の対話的配置、自動配線、コンパクションの機能をもち、主に対話的レイアウトによりアナログ制約を実現しようとするものである。スキマからレイアウト素子とそのスキマ座標値により配置し、マニュアルで配置する機能部分にかわる自動化を考えるのが本プログラムの狙いである。すなわち、図1の設計フローにおける初期配置の改善や対話配置への直接的移行を考えている。

【3 素子配置モデルおよびアルゴリズム】

3-1 配置モデル

人が行っている設計手法について説明し、我々の考え方について述べる。その後モデルおよびアルゴリズムについて説明する。

スキマからレイアウトを作るとき、スキマを右から左へ順々に読みながらレイアウト化していく。このとき素子の位置関係はスキマのものを参照してレイアウトするのであるが、実際かなり同じ位置関係を保存している。また一度にスキマ全体に対してレイアウトするのではなく、部分回路を単位としてレイアウトをコンパクトに詰めながら順次作成して行っている。

図2ではスキマの右から左にしたがってレイアウトが左から右へ作成されて行っている例を示す。

我々は位置関係を保存することを取り入れるために、ブランチを利用する。ブランチと

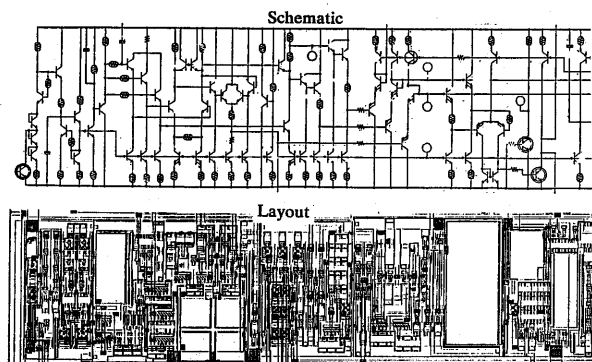


図2 スケマとレイアウトの対応

は電源からグランドに至る電流路であり、通常スキマでは縦に延びる直線で書かれていることがおおい。またブランチは消費電流見積もりの単位に利用されることもあり、レイアウトにおける一つの回路単位を与えると考えられる。

電源グランドが横に延びる2本のルールであり、ブランチはそのルールに垂直に延び、右から左へ順々に並べられて書かれている。レイアウトにおいてブランチは曲げられているが、その順序関係はほとんどの場合スキマからの変化はない。この経験を基にブランチを利用することに決めた。

2ケから5ケ程度のブランチにより与えられる部分回路を素子配置処理の単位として扱う。

これは分割処理を行うことで問題の困難度を減らすためであり、人による設計と同様の手法である。次の節ではこのひとつの処理単位について取り扱う。

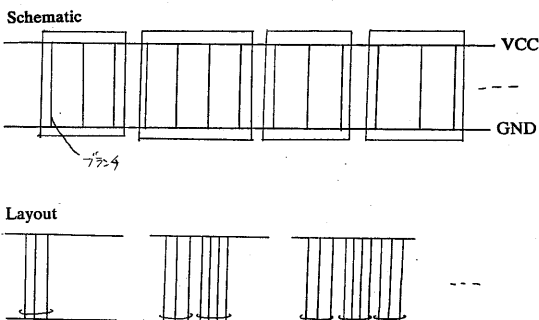


図3 配置モデル(部分回路分割)

3-2 アルゴリズム詳細

部分回路の素子配置を行うプログラムについて説明する。入力データとしては、初期配置ファイル名、配置結果出力ファイル名、SA法(シュミレーテッド・アニーリング法)のパラメータ・ファイル名、SA法の繰り返し回数、部分回路を指定するスタート・ブランチ番号とエンド・ブランチ番号がある。出力データとしては、配置結果の出力ファイル、途中状態データを収集したステート・ファイル、途中配置結果を収集した途中結果ファイルがある。出力ファイルは次の初期配置ファイルとして再び入力データとして利用することができるので、繰り返し配置を実行して満足いくまでトライできる。

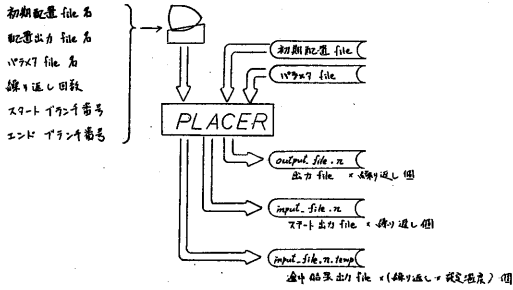


図4 プログラム入出力

配置のアルゴリズムの基本は、SA法である。ここでは高密度にするために、次の配置状態を生成するときに、ブランチを利用したコンパクションを取り入れることが大きな特徴である。図5に示すように、素子を上下に移動した後に (moveDevice)、横方向にコンパクションをおこなう (compactX) ことで、新しい次の素子配置状態を生成している。

```

pre_placement();
T=startT;
compactX();
lastCost←calculateCost(); initialCost←lastCost;
while( T > endT ){
  while( equilibrium condition not met ){
    moveDevice();
    compactX();
    cost←calculateCost();
    ΔC←cost-lastCost;
    if(Random(0:1) < exp(-1/T*k*ΔC/initialCost)){
      lastCost←cost;
    }else{
      restoreLastPlacement();
    }
  }
  T←(1-Δ)T;
}

```

図5 SAアルゴリズム

素子移動の単位は次のように考える。Y方向にはある与えられたステップ単位で素子を置く。X方向は後からコンパクションするのでとくにステップ単位で置くということはない。

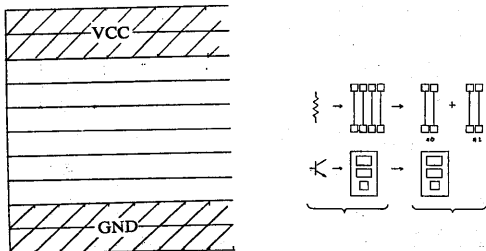


図6 配置モデル (素子配置)

Y方向の素子移動はそのときの素子位置をもとに移動範囲を限定する。同じブランチ上にある素子はスキマのとおり上下関係で置きたいので、自分より上には上にある素子の高さの合計 (U) を基にして、VCCからの範囲を決める。また下についても同様にして、下にある素子の高さの合計 (D) から、GNDからの移動範囲を決める。GNDのY座標を0、VCCのY座標をhとすると、素子のY座標は、 $D * 定数1 \leq Y \leq h - U * 定数2$ により制限される。

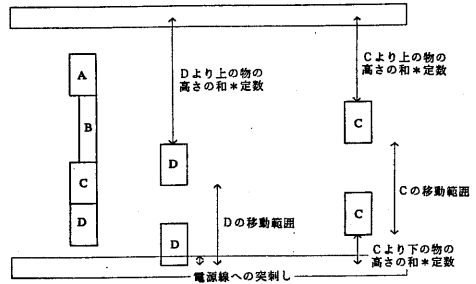


図7 素子移動の制限

X方向のコンパクションは一次元のもので、ただだんにX方向の移動であり、Y方向には移動しない。また素子はスキマでひとつであっても、実現のために直列や並列に素子を分解することもできる。ただし現状では、これは自動で行うのではなく手で初期配置前に指定する。

コンパクション時に空きスペースがあるからといって、不用意に素子が移動しないようにするため、コンパクションの素子移動に制限を加える。すなわち、左隣のブランチの素子のX座標よりも小さなX座標をとらないように素子移動を制限することにより、コンパクション時には素子の位置関係が変わらないようする。

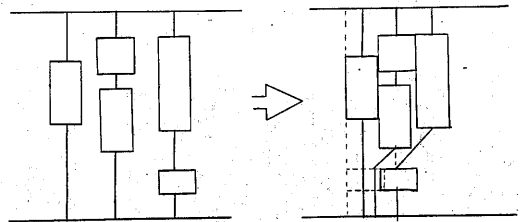


図8 コンパクション制限

コンパクションを行うときに素子を移動させる順序は以下のものを優先させる。(1) 左隣の素子に接続を持つ素子、(2) 下に位置する素子。これは隣に接続のある素子を優先することで配線長を短くできるからである。

次にSA法で用いるコスト関数について説明する。コスト関数はアナログ制約を実現するためのペナルティであり、その値が大きいほど配置が悪いことを表現するためのものである。ここでは6ケのコスト関数を利用している。

(1) unusedコスト：配置領域の面積を小さくするためのコスト。配置済み領域を除く現在配置対象としている素子を置く領域の面積Aから対象としている素子の面積合計を引いたもので定義する。Aは、最も右の素子を切る直線と、GND、VCC、配置済み領域の境界線で囲まれた図形の面積である。

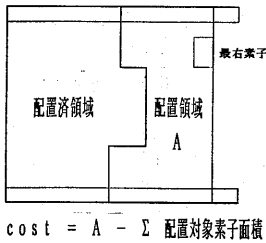


図9 unusedコスト

(2) orderコスト：同じブランチ上にある素子について、上下関係を守るために用いるコスト。スキマでの上下が反転した場合の素子の距離の2乗をコストとする。距離は高さ方向だけで測る。

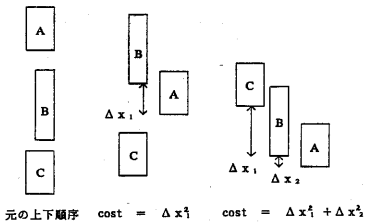


図10 orderコスト

(3) pairコスト：トランジスタや抵抗をペアにして配置するためのコスト。アナログ制約のひとつとして、特性を確保するために素子をペアにして並べたり近接して配置することが

必要であり、このことを実現するためのもの。許容範囲からのはずれを、ふたつの素子により形成される四角が許容範囲を表す四角からみでた面積をコストとして用いる。スキマ上でどの素子同志をペアにするか指定する。

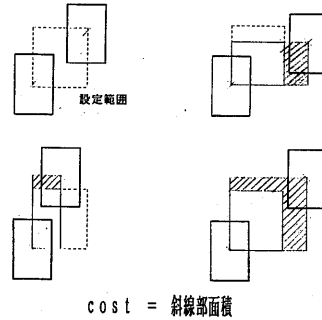


図11 pairコスト

(4) netコスト：素子を結ぶ配線長を少なくするためのコスト。配置より仮想的に予想することでコストとしている。ひとつのネットについてそのY座標の最大値と最小値の差の2乗をとり、それらの総和をコストとする。

(5) endコスト：配置の最も右の端ができるだけ直線になるように付けるコスト。直線からのずれを凸凹により測る。素子と素子のX座標値のずれの総和をコストとする。

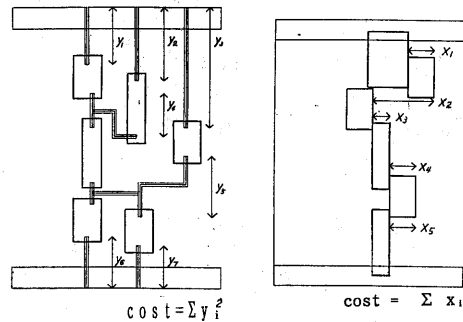


図12 netコスト 図13 endコスト

(6) coupleコスト：特定の素子と素子とを離さないように付けるコスト。アナログ制約を実現するために人手により配置を制御したい場合があり、この制約をスキマで付加することができる。許容範囲を越えたY座標値の差の2乗の総和で定義する。

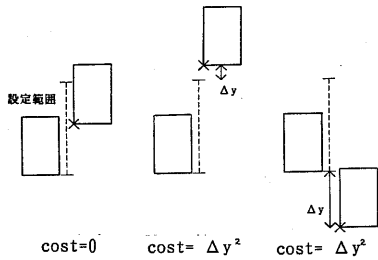


図14 coupleコスト

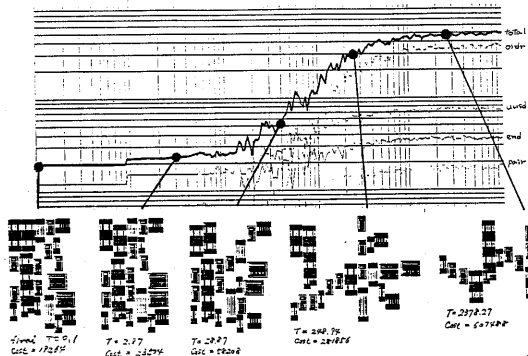


図15 クーリングと配置状態

それぞれのコストに係数を掛けて総和を取ったものを全体のコストとする。クーリングスケジュールとして今回は特別な方法を用いることはせず、等比的に温度パラメータを下げていった。

3-3 利用フロー

まず部分回路の配置について説明する。

スキマでブランチを指定する。これは同じブランチ上にある素子をひとつの折れ線で結んでいくことで行う。レイアウトしてみても行くように、出来上がったレイアウト結果をみて素子の高さやブランチ指定の仕方にフィードバックをかける必要がある。このために、ひとつのブランチ上にある実際の素子の大きさでどの程度の高さになるか、配置プログラムを起動する前に見積もりを行うことができる。コンパクトにするためには、できるだけ同じ高さになるように調整するのがよく、スキマ上で、(1)ブランチ指定を変える、(2)素子の分割を行う、(3)素子の形状変更を行うことで調整する。またペア素子の指定やcouple素子

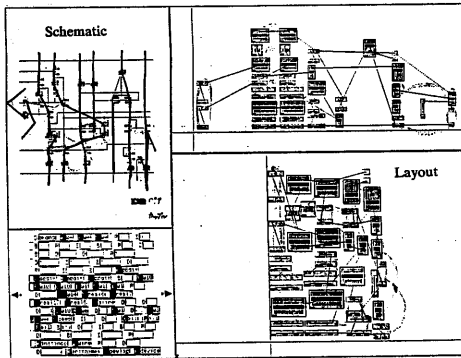


図16 利用フロー

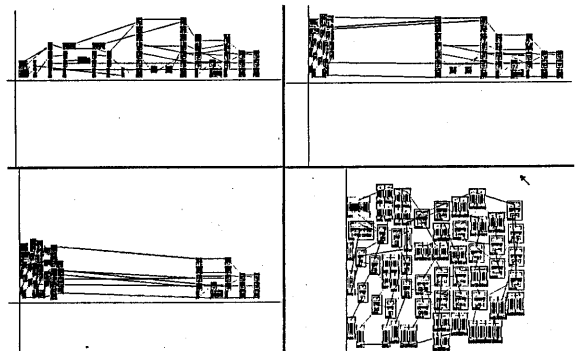


図17 3分割による配置経過

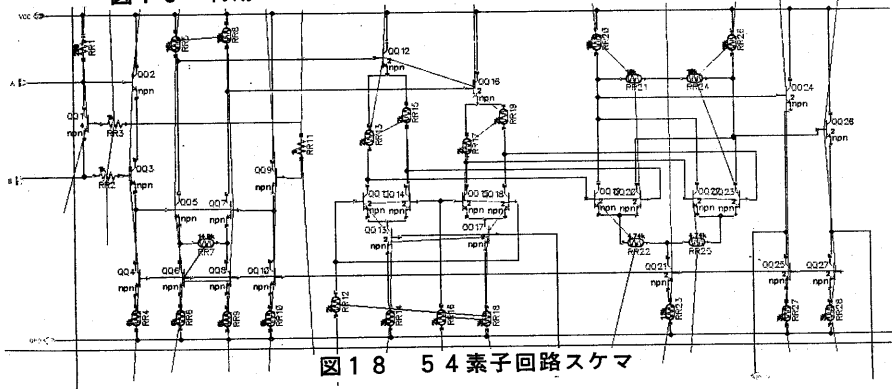


図18 54素子回路スキマ

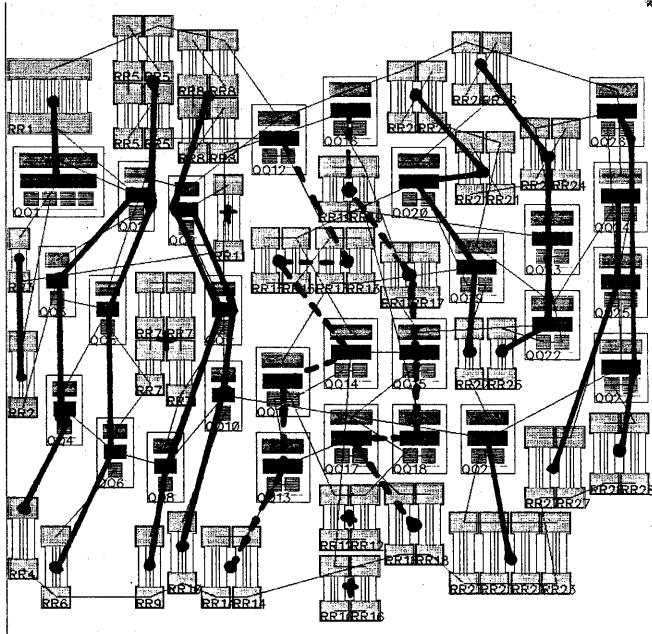


図 19 54 素子回路配置結果 (ブランチ)

素子を繋ぐ折れ線が指定されたブランチである。破線で現されたブランチはひとつの部分回路に対するものである。この図は図17の結果を拡大したもので、3つの部分回路を単位として処理している。ブランチはお互いに飛び越すことなく存在している。

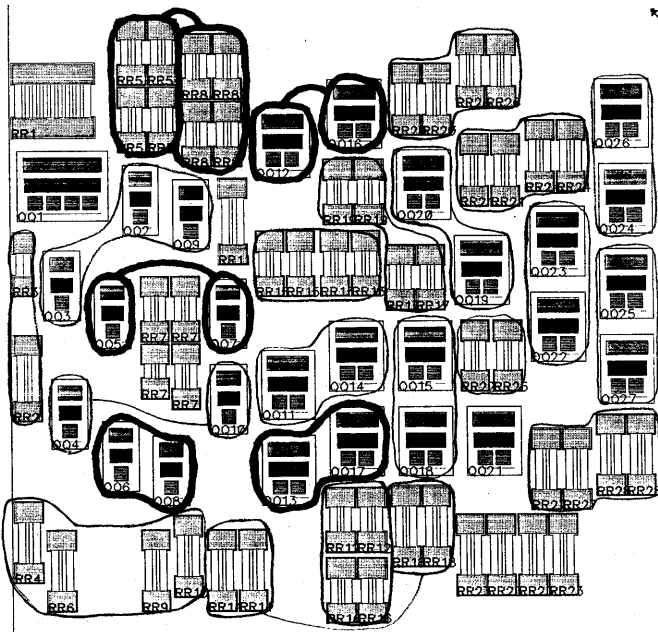


図 20 54 素子回路配置結果 (ペア性)

曲線で囲まれた素子が近接ペアのものである。太い線のものには特に人が指定したもので、プライオリティの高いものである。差動アンプの素子ペアなど正確に位置を合わせる必要があるが、だいたい近辺に配置されている。このようなものは人手で微調整する。

の指定もスキマ上で行う。ともに指定する素子を指定コマンドの次にクリックしてやればよい。

さて実際の回路は横に伸びた幾つかの部分回路から構成されており、この部分を指定するのにスタートブランチ番号とエンドブランチ番号を指定して配置プログラムを動かす。先に処理された部分回路の配置は、現在処理している素子配置では固定されて取り扱う。現在取り扱っているものについては再配置によるトライが可能である。これは一方向的に左から右へ処理が進むということに由来しており、処理している部分回路について配置をOKして次の部分回路に進んでしまえば、後戻りできないということである。しかし、我々はこのような後戻りができなくても部分回路を処理しながら配置しても実際問題は少ないと考えている。

図17では3ケの部分回路を続けて処理した例をしめす。

【4 実験結果】

54素子の回路を21素子、16素子、17素子の3つの部分回路に分割して取り扱った例を図18から図20に示す。ブランチの順序が保存されていることがわかる。多少の凸凹もあるが、部分回路の配置もほぼ四角形となっており、さらに高密度を達成していることがわかる。またペアとなる素子が近接して配置されていることもわかる。きっちりとペアをとるには、素子の縦横の辺を合わす必要がある。

これはこの後に続く対話配置、自動配線、配線修正を繰り返すフェーズの中で吸収される。

とくに対話配置の「素子を並べる」というコマンドが有効である。

自動配置時間は5回の配置改善トライアルで、20素子回路が10分、36素子回路が37分かかった。例に示した54素子回路では3分割した方法を用い、部分回路での5回程度の繰り返しにより、作業時間としては合計1時間かかった。

面積的には手書きによるものと同程度であった。手書きを1として、36素子回路で0.91倍、20素子回路で1.08倍、54素子回路で1.00倍であった。ただし縦横のアスペクト比には若干の差がある。

マシンはEWSとして東芝AS4260を用いた。(SUN-4/260相当、10MHz、40MBメインメモリ、200MBスワップ領域)

【5 おわりに】

アナログ制約を満足させつつ高密度を可能にする素子配置手法を提案した。完全自動という観点からはまだ実用には至らないが、対話的配線ツールの中で利用できるツールであるといえる。今後、高速化だけでなくブランチ自身の検出やペア制約の検出を考え、さらなる自動化の検討を行いたいと思っている。

またここでは主にアルゴリズムの観点から報告を行ったが、製品開発の経験の観点から評価報告を別途行う予定である。

【参考文献】

- [1] L.R.Carley et.al.: ACASIA: THE CMU ANALOG DESIGN SYSTEM, CICC89 4.3.4
- [2] 山田他: アナログ機能ブロック内配置の一手法、信学春期全国大会予稿SA-3-4、1990年
- [3] 白石他: バイポーラ・アナログ・モジュールジェネレータにおける配置配線アルゴリズム、信学技報VDL-90-24、1990年6月
- [4] 川北他: 高密度アナログ素子配置手法の検討、信学技報VDL-89-47、1989年7月
- [5] 坪田他: 重なり解除法による素子配置、信学春期全国大会予稿A-264、1989年
- [6] 小池他: アナログセル自動配置手法、信学秋期全国大会予稿A-98、1989年
- [7] 美馬他: バイポーラアナログLSIのブロック内レイアウトCADシステム、信学技報VDL-90-23、1990年6月