

スキャンマップからのランダムアクセススキャン回路の自動生成

松本 和彦⁺ 新倉 隆夫⁺ 碓谷 幸夫⁺⁺ 男澤 康⁺⁺⁺

+ 日立製作所 システム開発研究所

++ 日立製作所 神奈川工場

+++日立ソフトウェアエンジニアリング(株)

本論文はLSIのランダムアクセススキャン回路の仕様を記述したスキャンマップからランダムアクセススキャン回路を生成する定形論理生成方法を提案する。本方法はランダムアクセススキャン回路の定形的な回路構造に基づいて設計されたテンプレートを使用する点に特徴がある。すなわち、本方法はスキャンマップに記述された仕様に合うようにテンプレートを選択して組立てることにより機能レベルのスキャン論理を生成し、その後、このスキャン論理からスキャン回路を生成する。本方法は超大型計算機M-880の開発で使用されるすべての12000ゲートECL-LSIに適用され、それらの設計効率の向上に大きく寄与した。

Random-Access Scan Logic Synthesis from Scan Maps

Kazuhiko MATSUMOTO⁺ Takao SHINSHA⁺ Yukio IKARIYA⁺⁺ Koo OTOKOZAWA⁺⁺⁺

+ Systems Development Laboratory, Hitachi, Ltd.

++ Kanagawa Works, Hitachi, Ltd.

+++Hitachi Software Engineering Co., Ltd.

This paper presents a regular-type logic synthesis method of generating a random-access scan circuit for a chip from scan maps which specify the random-access scan circuit. The method is characterized by using templates designed on the basis of the regular structure of the random-access scan circuit. That is, the method synthesizes a functional-level scan logic by selecting and building up templates to meet a specification described in scan maps, and then maps this scan logic into a scan circuit. The method has been applied for all 12,000 gate ECL chips used in the very large-scale computer, M-880, and has greatly contributed to the increase of their design efficiency.

1. はじめに

ランダムアクセススキャン¹⁾はLSI内の各フリップフロップへの直接アクセスパスを提供して各フリップフロップの制御と観測を可能にする方法であり、超大型計算機やスーパーコンピュータ等のLSI設計で一般に使用されている²⁾。

ランダムアクセススキャンの用途は大きく二つがある。一つはLSIの診断容易化支援であり、この場合、ランダムアクセススキャンを単に提供するだけでよいので、ランダムアクセススキャンはあらかじめ決められている仕様から自動生成すればよい。もう一つは試作機組立て後の実機調整支援であり、この場合、設計者がランダムアクセススキャンを使用してフリップフロップを観測するため、ランダムアクセススキャンは設計者がフリップフロップの状態を観測しやすいように自動生成する必要がある。本論文は診断容易化支援と実機調整支援の両方に使用可能なランダムアクセススキャンの自動生成方法に関するものである。

ランダムアクセススキャン回路はその回路構造が高い定形性を有するため、その仕様とその論理生成方法は一般の組合せ回路のものとは異なる。すなわち、組合せ回路は真理値表やブール式等で記述された機能仕様から多段

論理生成方法³⁾により生成される。これに対して、本論文が扱うランダムアクセススキャン回路は必要最少限の仕様を表形式で記述したスキャンマップから自動生成される。スキャンマップはランダムアクセススキャン回路の仕様を完全に記述していないので、スキャンマップからの論理生成は特定の回路構造を生成するためのテンプレートセットを用意し、スキャンマップに記述されている仕様に合うようにテンプレートを選択して組立てるという方法で行われる。本論文では、このようなテンプレートを使用する論理生成方法を定形論理生成方法と呼ぶ。

本論文はスキャンマップからランダムアクセススキャン回路を生成する定形論理生成方法を提案する。定形論理生成方法に関してこれまでに、多機能演算回路の生成方法⁴⁾が提案されている。

本論文では、第2章でランダムアクセススキャン回路の概要を、第3章でランダムアクセススキャン論理生成の概要を、第4章で定形論理生成方法を、第5章で本方法の超大型計算機M-880への適用結果を順次述べる。

2. ランダムアクセススキャン回路

超大型計算機M-880で使用されるECL-LSIのランダムアクセススキャン回路の概要を図1に示す。

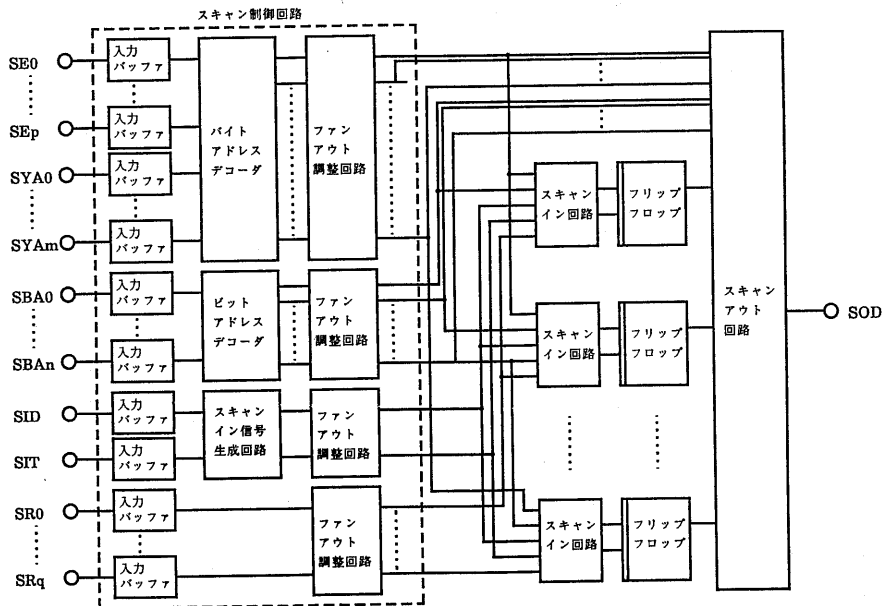


図1 ランダムアクセススキャン回路
Fig. 1 The random-access scan circuit

このスキャン回路はスキャン制御回路、スキャンイン回路、スキャンアウト回路からなり、スキャン制御回路は入力バッファ、バイトアドレスデコーダ、ビットアドレスデコーダ、スキャンイン信号生成回路、ファンアウト調整回路からなる。このスキャン回路の機能は以下のとおりである。

(1) スキャンイン操作

スキャンイネーブル信号SE (0-p) のいずれか一つの信号とスキャンイントリガ信号SITが1にセットされたとき、この操作はスキャンバイトアドレス信号SYA (0-m) とスキャンビットアドレス信号SBA (0-n) で指定されたフリップフロップを選択し、スキャンインデータ信号SIDの値をこのフリップフロップにセットする。ここで、SE (0-p) の各信号とSYA (0-m) で指定されるスキャンバイトアドレス範囲の間には対応関係がある。

(2) スキャンアウト操作

SE (0-p) のいずれか一つの信号が1にセットされたとき、この操作はSYA (0-m) とSBA (0-n) で指定されたフリップフロップを選択し、このフリップフロップの状態をスキャンアウトデータ信号SODに出力する。

(3) システムリセット操作

システムリセット信号SRi (i = 0, ..., q) が1にセットされたとき、この操作はこの信号を入力に有するすべてのフリップフロップをあらかじめ決められている状態にリセットする。

3. ランダムアクセススキャン論理生成

ランダムアクセススキャン論理生成の入力は図2に示すスキャンマップである。スキャンマップはLSI内の各フリップフロップについて以下の仕様を記述した一覧表である。

FF(フリップフロップ)名		
スキャンアドレス	バイトアドレス	
	ビットアドレス	
スキャンアウト信号極性		
スキャンインタイプ		
システムリセットタイプ		

図2 スキャンマップのフォーマット

Fig. 2 The scan map format

(1) フリップフロップ名

フリップフロップ名は当該フリップフロップを識別する。

(2) スキャンアドレス

スキャンアドレスはバイトアドレスとビットアドレスからなる。ここで、スキャンアドレスづけは連続にする必要はない。

(3) スキャンアウト信号極性

スキャンアウト信号極性は当該フリップフロップのスキャンアウトされる出力信号の極性である。

(4) スキャンインタイプ

スキャンインタイプは当該フリップフロップがそのシステムリセット入力信号によってリセットされる状態と、当該フリップフロップがそのスキャンイン入力信号によってセットされる状態の組合せにより決まる。

(5) システムリセットタイプ

システムリセットタイプは設計者が自由に定義可能である。

一方、ランダムアクセススキャン論理生成の出力はECL回路系のゲートで構成されるランダムアクセススキャン回路である。

ランダムアクセススキャン論理生成は次章で述べる定形論理生成方法を使用して行われる。

4. 定形論理生成方法

4.1 基本思想

定形論理生成方法とは、特定の回路構造を生成するためのテンプレートセットを用意し、与えられた仕様に合わせてテンプレートを選択して組立てる方法である。それゆえ、テンプレートが定形論理生成方法の要をなす。定形論理生成方法の基本思想を以下に述べる。

(1) テンプレート設計対象

論理生成対象回路を回路要素に分け、各回路要素についてその回路構造のバリエーションを調べ、このバリエーションが少ない回路要素を一般にテンプレート設計対象とする。

(2) テンプレート設計

テンプレート設計を機能レベルで行う場合、その機能仕様は一般に真理値表／ブール式、マクロのいずれかで記述される。このとき、マクロによる記述はマクロ展開される論理回路を設計しなければならないため、

設計工数上の問題を招く。一方、真理値表／ブール式による記述は、真理値表／ブール式からの多段論理生成方法が現状のレベルでは最適な論理回路を必ずしも生成できないため、生成回路品質上の問題を招く。したがって、テンプレート設計は、設計工数と生成回路品質のいずれを優先させるかにより、テンプレートの機能仕様の記述方法が異なる。

テンプレート設計において、テンプレートの入出力端子に接続される信号線の命名がテンプレート設計時に可能であるか否かにより、テンプレートは二種類に分かれる。すなわち、1回だけ使用されるテンプレートの場合、その入出力信号名はテンプレート設計時に決めることが可能である。このような入出力信号名を有するテンプレートを完全テンプレートと呼ぶ。一方、2回以上使用されるテンプレートの場合、その入出力信号名はテンプレート設計時に決めることは不可能であり、テンプレートが使用されるたびに生成される。このような入出力信号名を有しないテンプレートを不完全テンプレートと呼ぶ。

(3) 定形論理生成方法

定形論理生成方法は最初に与えられた仕様から機能レベルの論理を生成する。すなわち、この方法は論理生成対象回路を回路要素に分け、各回路要素の論理を完全テンプレート方法、不完全テンプレート方法、非テンプレート方法のいずれかの方法で生成する。ここで、完全テンプレート方法は完全テンプレートを選択してコピーする方法であり、不完全テンプレート方法は不完全テンプレートを選択してコピーし、その入出力信号名を生成する方法であり、非テンプレート方法はテンプレートを使用しないで、所定の処理手順で論理（論理構造と信号名）を生成する方法である。

その後、定形論理生成方法は多段論理生成方法またはマクロ展開方法を使用して機能レベルの論理から論理回路を生成する。

4. 2 定形論理生成方法

スキャンマップからランダムアクセススキャン回路を生成する定形論理生成方法を以下に述べる。

ランダムアクセススキャン回路を入力バッファ、バイトアドレスデコーダ、ビットアドレスデコーダ、スキャンイン信号生成回路、ファンアウト調整回路、スキャンイン回路、スキャンアウト回路の七つの回路要素に分け（図1参照）、各回路要素についてその回路構造のバリエーションとその使用回数を調べ、バイトアドレスデコーダ、ビットアドレスデコーダ、スキャンイン信号生成回路は各々完全テンプレートを設計し、入力バッファ、スキャンイン回路は各々不完全テンプレートを設計する。

本方法は数百種類のLSIに適用されるため、生成回路品質を設計工数に優先させ、テンプレートの機能仕様をマクロで記述する。マクロ展開されるテンプレートの論理回路の設計方針は以下のとおりである。

(1) 最適化の評価基準

ランダムアクセススキャン回路はスピードが要求されないため、最適化の評価基準を面積最少（ゲート数最少）とする。

(2) 階層設計

テンプレートの論理回路はその設計工数を低減するために階層設計を行う。すなわち、最初にテンプレート内またはテンプレート間で繰返し使用される回路要素をマクロ化し、各マクロの論理回路を設計する。次に、これらのマクロと通常論理の設計で使用されている標準マクロを使用してテンプレートの論理を設計する。

(3) マクロ展開の最適化能力の制約

マクロ展開の最適化はマクロ展開された論理回路内の未使用ゲートを削除する不要ゲート削除¹⁾により行う。この方法で最適化ができない場合はこの方法で最適化ができる別のテンプレートを設計する。これは、マクロ展開の最適化能力の制約により、同一の回路要素であっても複数のテンプレートを設計する必要があることを意味する。

スキャンマップからランダムアクセススキャン論理を生成する定形論理生成方法をまとめた結果を表1に示す。

表1 定形論理生成方法

Table 1 The regular-type logic synthesis method

論理要素		生成方法
スキャン制御論理	入力バッファ	不完全テンプレート方法 (1)*
	バイトアドレスデコーダ	完全テンプレート方法 (18)
	ビットアドレスデコーダ	完全テンプレート方法 (1)
	スキャンイン信号生成論理	完全テンプレート方法 (1)
	ファンアウト調整論理	非テンプレート方法
スキャンイン論理		不完全テンプレート方法 (24)
スキャンアウト論理		非テンプレート方法

*使用するテンプレート数

本方法はバイトアドレスデコーダ、ビットアドレスデコーダ、スキャンイン信号生成論理を各々完全テンプレート方法で生成し、入力バッファ、スキャンイン論理を各々不完全テンプレート方法で生成し、ファンアウト調整論理、スキャンアウト論理を各々非テンプレート方法で生成する。ここで、バイトアドレスデコーダの生成はマクロ展開の最適化能力の制約により18個のテンプレートを必要とする。また、スキャンイン論理の種類はフリップフロップタイプとスキャンインタイプの組合せの数だけ存在するので、スキャンイン論理の生成は24個のテンプレートを必要とする。

完全テンプレート方法、不完全テンプレート方法、非テンプレート方法を順次以下に述べる。

(1) 完全テンプレート方法

完全テンプレート方法は完全テンプレートを選択してコピーする方法である。バイトアドレスデコーダの生成例を図3に示す。バイトアドレスデコーダのテンプレートは18個存在し、各テンプレートはそのバイトアドレスの適用範囲が決められている。本方法はスキャンマップに記述されたバイトアドレスの最大値をキーにしてこの最大値を適用範囲に含むテンプレートを選択する。ま

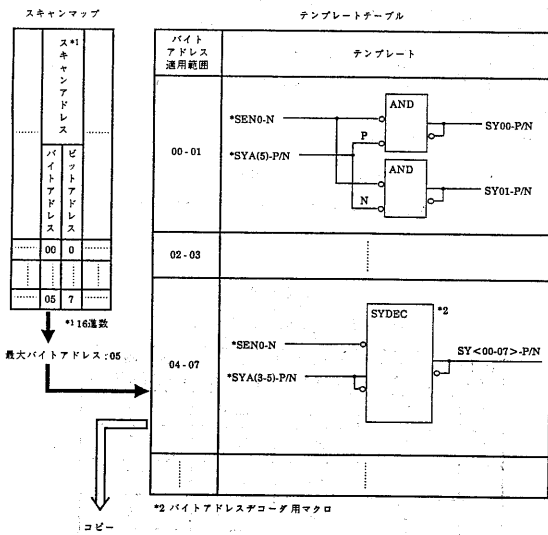


図3 バイトアドレスデコーダの生成例

Fig. 3 A byte address decoder generation example

た、ビットアドレスデコーダ、スキャンイン信号生成論理は各々テンプレートが1個しか存在しないため、そのテンプレートを無条件に選択する。

(2) 不完全テンプレート方法

不完全テンプレート方法は不完全テンプレートを選択してコピーし、その入出力信号名を生成する方法である。スキャンイン論理の生成例を図4に示す。スキャンイン論理のテンプレートは24個存在する。本方法は最初にスキャンマップに記述されたフリップフロップ名をキーにして当該フリップフロップを認識し、そのフリップフロップタイプを得る。次に、このフリップフロップタイプとスキャンマップに記述されたスキャンインタイプをキーにしてテンプレートを選択する。最後に、このテンプレートの入出力信号名をスキャンイン論理の信号名命名規則に基づいて生成する。また、入力バッファはテンプレートが1個しか存在しないため、そのテンプレートを無条件に選択し、そのテンプレートの入出力信号名を入力バッファの信号名命名規則に基づいて生成する。

(3) 非テンプレート方法

非テンプレート方法はテンプレートを使用しないで、標準マクロで構成される論理（論理構造と信号名）を所

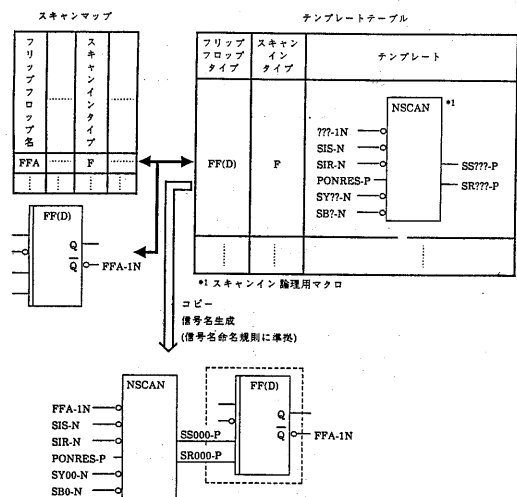


図4 スキャンイン論理の生成例

Fig. 4 A scan-in logic generation example

定の処理手順で生成する方法である。ビットアドレスデコード信号のファンアウト調整論理の生成例を図5に示す。このファンアウト調整論理はファンアウト調整用のアンプを挿入するアンプ挿入方法で生成する。バイトアドレスデコード信号、スキャンイン信号、システムリセット信号各々のファンアウト調整論理も同様にして生成する。また、スキャンアウト論理の生成例を図6に示す。このスキャンアウト論理はすべてのフリップフロップのセレクト信号のOR演算を行い、その結果を出力バッファを介して出力するという方法で生成する。

その後、定形論理生成方法はマクロ展開方法を使用してランダムアクセススキャン論理からランダムアクセススキャン回路を生成する。

5. 適用結果

スキャンマップからランダムアクセススキャン回路を生成する定形論理生成方法を開発し、超大型計算機M-880で使用される12000ゲートECL-LSIに適用した。本方法をいくつかのサンプルLSIに適用した結果を表2に示し、以下に述べる。

(1) 図面枚数比

スキャンマップの枚数は本方法で生成した論理回路図の枚数の1/10以下である。

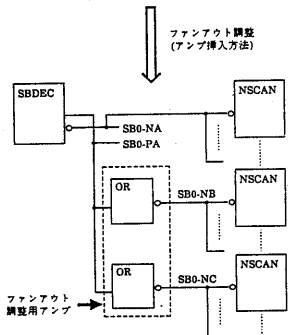
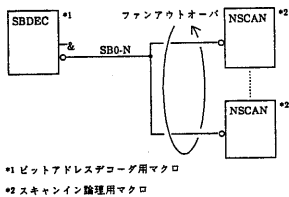


図5 ファンアウト調整論理の生成例
Fig. 5 A fan-out adjuster generation example

(2) 処理時間

本方法の処理時間は10秒以下(M-680H)であり、実用上の問題はない。

(3) 生成回路品質

本方法はその原理により面積最少(ゲート数最少)の論理回路を生成することが可能である。

本方法はマクロ展開を基礎にしているため、本方法の最適化はマクロ展開の最適化能力に依存する。すなわち、本方法で使用するマクロ展開はその最適化能力が不要ゲート削除に限定されているため、本方法を最適化するためにバイトアドレスデコーダのテンプレートを18個設計した。このような設計工数上の問題を解決するにはマクロ展開の最適化能力の向上が必要である。

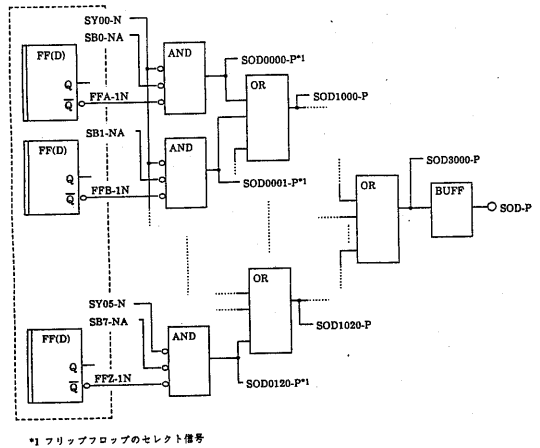


図6 スキャンアウト論理の生成例
Fig. 6 A scan-out logic generation example

表2 適用結果

Table 2 Application Results

LSI NO.	スキャンマップ枚数	論理回路図枚数	図面枚数比	処理時間(秒, M-680H)
1	1	12	12.0	5.2
2	2	27	13.5	4.7
3	2	22	11.0	5.2
4	2	21	10.5	5.6
5	3	37	10.2	5.7
6	3	43	14.3	7.0
7	3	42	14.0	7.4
8	3	32	10.7	6.3

6. おわりに

スキャンマップからランダムアクセススキャン回路を生成する定形論理生成方法を開発し、超大型計算機M-880の開発に適用した。本方法によれば、ランダムアクセススキャン回路をゲートレベルで設計するときと比べて図面枚数を1/10以下にすることが可能である。

定形論理生成方法に関しては、論理設計方法の標準化を推進し、定形論理生成方法の適用範囲を拡大していくことが今後の課題である。

謝 辞

本研究の機会を与えていただいたシステム開発研究所の堂免信義所長と久保隆重部長（当時）ならびに神奈川工場の大野泰廣副工場長と寺井秀一部長、また、本研究内容について有益なご意見・ご討論をいただいた神奈川工場の森田正人主任技師に深謝いたします。

参考文献

- 1) Ando, H. : Testing VLSI with Random Access Scan, Digest COMPCON, pp. 50-52(1980).
- 2) Ito, N. : Automatic Corporation of On-Chip Testability Circuits, Proc. of 27th DA Conf., pp. 529-534(1990).
- 3) Brayton, R. K., Hachtel, G. D. and Sangiovanni-Vincentelli, A. L. : Multilevel Logic Synthesis, Proc. of IEEE, Vol. 78, No. 2, pp. 264-300(1990).
- 4) 高木茂 : テンプレートを用いたALU回路の自動生成, 電子通信学会誌, Vol. J68-D, No. 7, pp. 1369-1375(1985).
- 5) Matsumoto, I., Niimi, F., Iwase, M., Sugimoto, T. and Takahashi, K. : Hierarchical Logic Synthesis System for VLSI, Proc. of Int. Symp. on CAS, pp. 651-654(1985).
- 6) Tsuchiya, Y., Morita, M., Ikariya, Y., Tsurumi, E., Mori, T. and Yanagita, T. : Establishment of Higher Level Logic Design for Very Large Scale Computer, Proc. of 23rd DA Conf., pp. 366-371(1986).