

組合せ回路における n 本の信号線の短絡故障の診断法

山崎浩二 菊池秀和 山田輝彦
明治大学理工学部情報科学科

AND (OR) タイプの短絡故障が生じている回路において、外部出力で誤りの観測されたテストの下での各信号線の値は、短絡している信号線が 0 (1) に縮退している場合と同一である。本稿ではこのことに着目して、多重縮退故障の診断法を基本とした、 $n (\geq 2)$ 本の信号線間の短絡故障の診断法を提案する。予備実験の結果は、診断時間が信号線数とテスト数の積に比例すること、全信号線の 10 ~ 20 % をプローブすることで故障箇所の指摘がかなり高い確度で行えることを示している。

METHOD OF DIAGNOSING BRIDGING FAULTS BETWEEN n NETS IN COMBINATIONAL CIRCUITS

Kouji Yamazaki Hidekazu Kikuchi Teruhiko Yamada
Department of Computer Science, Meiji University
1-1-1 Higashimita, Tama-ku, Kawasaki-shi, 214, Japan

The behavior of circuit with an AND(OR) type bridging fault is equivalent to that of circuit with multiple stuck-at 0(1) faults on all of the bridged nets, under any test that causes errors at the primary outputs. From this point of view, we propose a method to locate bridging faults between $n (\geq 2)$ nets in combinational circuits, based on the diagnosis method for multiple stuck-at faults. Computer experiments show that the computing time is nearly proportional to (the number of nets) \times (the number of test patterns) and the fault locations are almost completely identified by probing 10~20% of the nets.

1. はじめに

多品種少量生産の傾向が強くなるにつれ、VLSIの開発時における設計期間の短縮やコストの低減のために故障診断の効率向上が重要になっている。

従来の故障診断法としては、故障辞書法[1]や結果原因分析法[2]、EBテストを用いる方法[3]などがあるが、それぞれに実用上の問題点を持っている。最近ではより実用的な診断法として、大規模な回路に対しても有効な単一縮退故障診断法[4]や推論とプローブを組み合わせた多重縮退故障診断法[5]などが提案されている。しかし、いずれの診断法も主として縮退故障を対象としており、短絡故障についての研究はほとんど行われていない。VLSIでは短絡と断線の発生頻度が同程度といわれており、短絡故障についても研究の必要がある。

筆者らは、ワイヤードAND (OR) として機能する2本の信号線間の単一短絡故障の診断法[6]を提案したが、この方法では3本以上の信号線が短絡した場合の診断はできなかった。外部出力で誤りの観測されたテストの下での各信号線の値は、短絡している信号線が0 (1) 縮退している場合と同一である。このことに着目して、多重縮退故障の診断法[5]をもとにした、 $n (\geq 2)$ 本の信号線間の短絡故障の診断法を提案し、計算機実験によりその性能を評価する。

2. 短絡故障回路の動作[7]

論理ゲートで構成され、フィードバックをもたない組合せ回路Cにおいて、2本の信号線間に短絡が生じた場合の動作を0遅延モデルの下で考える(3本以上の場合も同様に考えることができる)。回路Cに、信号線aからbに至る経路が少なくとも1つ存在する時、この回路は次の部分回路 C_a 、 C_b 、 C_z を図1(a)の実線で示すように接続した回路 \tilde{C} と等価である。

C_a : v_a を出力、 V を入力とし、各入力から信号線aに至る全てのゲートよりなる回路。

C_b : v_b を出力、 V 及び v_a を入力とし、各入力から信号線bに至る経路上の全てのゲートよりなる回路。

C_z : z を出力、 V 、 v_a 及び v_b を入力とし、各入力から z に至る経路上の全てのゲートよりなる回路。

但し、 V 、 z 、 v_a 、 v_b はそれぞれ回路Cの外部入力、外部出力、信号線a、bの信号を表す。

回路Cの信号線aとbに短絡故障が存在するときの動作は、回路 \tilde{C} に破線で示す短絡故障が存在するときの動作と等価である。さらに、この短絡故障がワイヤードANDとして機能する場合は、同図(b)のようにフィードバックをもつ非同期順序回路としてモデル化できる。この回路を \tilde{C}_{ab} と表す。 \tilde{V} 、 \tilde{z} 、 \tilde{v}_a 及び \tilde{v}_b はそれぞれ回路Cの V 、 z 、 v_a 、 v_b に対応する。以下で、回路 \tilde{C}_{ab} のものであることを明示するために記号“ \sim ”を付す。なお、信号線aからbに至る経路が存在しないときは、信号線 \tilde{m} がない特別な場合と考えることができる。

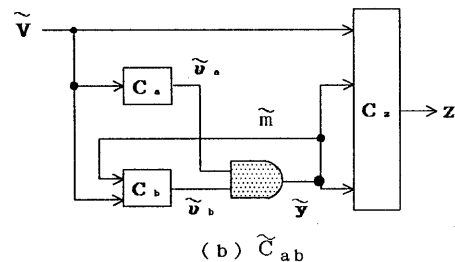
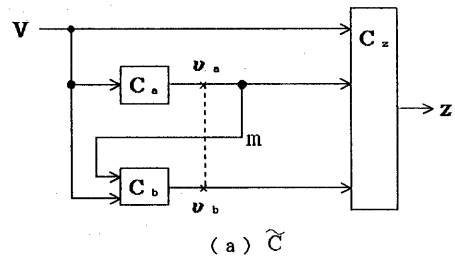


図1 短絡故障をもつ組合せ回路のモデル

テスト t_s における故障回路 \tilde{C}_{ab} の振舞いを、
 t_s における回路 C の信号線 a, b の信号 v_{sa} ,
 v_{sb} に関して、表 1 のように分類することができる。
 なお、以下で $v_{sa} \rightarrow v_{sb}$ は信号線 a から b に至る活
 性化経路が存在し、 v_{sb} の値が v_{sa} によって決まる
 ことを、また、 $v_{sa} \neq v_{sb}$ はそうでないことを表す。

表 1 の”正常”とは誤りが発生しないことを表す。
 また”保持”，”発振”とは、フィードバックループ
 の作用により、以下に例示するような現象が生じるこ
 とを表す。

[例 1] 図 2 の回路 C において、信号線 a と j が短
 絡したとき、この回路は図 3 (a) のようにモデル化
 できる。この故障回路 \tilde{C}_{aj} に (b) のテストを行な
 った場合は、(c) のように動作する。

- ・正常回路 C ではテスト t_1 において $v_{1a} = v_{1j} = 1$ であるが、故障回路 \tilde{C}_{aj} ではテスト t_0 での値を保持するため、テスト t_1 において $\tilde{v}_{1a} = \tilde{v}_{1j} = 0$ となる。
- ・ \tilde{C}_{aj} にテスト t_2 を加えると信号線 \tilde{a} と \tilde{j} には 0 と 1 が交互に現れ、発振する。

ワイヤード OR として機能する短絡故障の場合は、
 図 1 (b) の回路で AND ゲートの代わりに OR ゲート
 を挿入することにより同様に考えることができるの
 で、以下では AND 短絡についてのみ述べる。

短絡故障が生じている回路にテスト $T = \{t_0, t_1, \dots, t_n\}$ を行ったときに、外部出力で誤りの観測されたテストの集合を $T_f \subseteq T$ とする。上で示したモデルより、AND 短絡では短絡した信号線には 0 誤りのみが生じ、1 誤りは生じないので、短絡している信号線の値は $\forall t \in T_f$ で 0 となっている。従って、テスト集合 T_f の下での各信号線の値は、短絡している信号線が 0 縮退している場合と同一である。このことに着目すると、多重縮退故障の診断法を短絡故障の診断に用

表 1 故障回路 \tilde{C}_{ab} の振舞い

v_a	v_b	$v_a \rightarrow v_b$	$v_a \neq v_b$
1	1	保持	正常
1	0	発振	a に 0 誤り
0	1	b に 0 誤り	
0	0	正常	

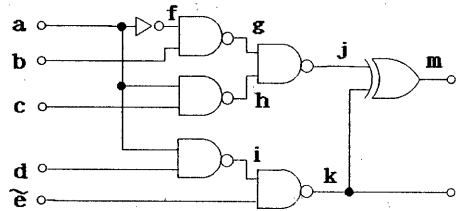
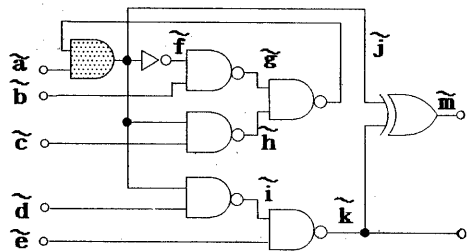


図 2 被検査回路 C



(a) 故障回路 \tilde{C}_{aj}

	\tilde{a}	\tilde{b}	\tilde{c}	\tilde{d}	\tilde{e}	\tilde{k}	\tilde{m}
t_0	0	0	0	1	1	0	0
t_1	1	0	1	1	1	1	0
t_2	1	1	0	1	1	1	1

(b) テスト

	\tilde{a}	\tilde{b}	\tilde{c}	\tilde{d}	\tilde{e}	\tilde{f}	\tilde{g}	\tilde{h}	\tilde{i}	\tilde{j}	\tilde{k}	\tilde{m}
t_0	0	0	0	1	1	1	1	1	1	0	0	0
t_1	0	0	1	1	1	1	1	1	1	0	0	0
t_2	x	1	0	1	1	x	x	1	x	x	x	x

(c) \tilde{C}_{aj} での各信号線の値

図 3 故障回路 \tilde{C}_{aj} における”保持”
 ”発振”の例

いることができる。

3 診断アルゴリズム

ここでは、結果原因分析法[2]による推論とプローブを併用した組合せ回路の多重縮退故障診断法[5]をもとにした短絡故障の診断アルゴリズムについて述べる。

3.1 プローブ箇所を選択基準

診断の過程でプローブを適宜行うが、プローブ箇所の選択基準は、次の4つである。なお、ここでは1回のプローブでその信号線の値を全てのテスト入力について測定するものとする。また、プローブで発振の状態が観測できるものとする。

- (1) 結果原因分析法では、出力線は正常であるが入力線の値を一意に決めることができないゲート（ANDゲートの出力に値0が推論されている場合など。以後、決定点と呼ぶ）が存在するとき、このようなゲートの入力線に出力線の値と矛盾しない値を仮定して推論を続行する。このためバックトラックが生じ、計算時間は信号線数に対して指数関数的に増大する。そこで、このようなゲートの入力線に値を仮定する代わりにプローブにより実測する。
- (2) テスト t_i において短絡している信号線の値が1であれば、 t_i ではどの信号線にも誤りは生じていない。従って、“テスト t_i で期待値が0である信号線は短絡していない（正常である）”と判定できる。そこで、正常な信号線を早期に見つけるために、短絡している信号線が見つかった時点で、これをプローブする。
- (3) 方法[5]で縮退していると診断された信号線の入力側は推論を進めることはできない。そこで、縮退していると診断された信号線の入力信号線をプローブする。
- (4) 状態が未知（故障とも正常とも判定されていない）の信号線をプローブする。

4つの選択基準の優先順位は、(1)～(4)の順とする。また、(1)～(4)のいずれの選択基準も、

条件を満たす信号線が複数存在する場合は、推論が出力から入力に向かって進ことから、外部出力に最も近い信号線を選ぶことにする。

3.2 強制値の概念の拡張

強制値とは、結果原因分析法で推論を行うときに用いられる値で、次のように定義される：

“回路にどのような縮退故障が存在しても、信号線 l がテスト t で値 v をもつか、全てのテストにおいて \bar{v} となると、信号線 l はテスト t において \langle 強制値 $\rangle v$ をもつという”

この強制値を用いると、ある信号線 l のテスト t における既知の値を用いて他のテストにおける l の値を推論することができる。このため、強制値を持つ信号線が多いほど推論の活性化が図れる。

AND短絡では、短絡している信号線に1誤りが起こることはない。よって、外部入力線に加えられた値0は、回路内にいかなる短絡故障が生じたとしても不変である。またANDゲートの入力線に値が0である外部入力線が1本でもあれば、回路内にどのような短絡故障が存在していても、このANDゲートの出力値は0である。

このような性質を用いて従来の強制値の概念を短絡故障の診断を行うために拡張する。表2に拡張した強制値を示す。表2を用いて、回路内にどのような短絡故障が生じていても値0をもつ（以下では強制値 z をもつという）信号線を外部入力から順次決定することができる。

表2 拡張された強制値

ゲート	入力の強制値	強制値
AND	1つ以上 z	z
NAND	1つ以上 z	1
OR	全て z	z
XOR	全て z	z
FOUR	z	z

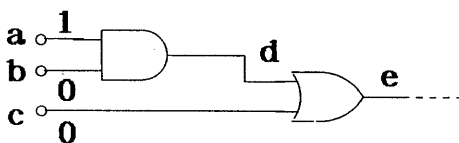
この拡張により、従来よりも多くの信号線が強制値をもつようになり、推論の活性化とプローブ数の削減を図ることができる。

[例2] 図4の回路のテストパターン(a, b, c) = (1, 0, 0)に対する強制値を考える。

従来の強制値では、ゲートの入力線の強制値が全て同じ値を持つときに限り強制値が出力側に伝わる。そのため、この例の場合は(b)上段のように、強制値は伝わらない。

強制値を拡張した場合は、bの強制値zがdに伝わり、更にc, dの強制値が共にzであるのでeにも強制値zが伝わる。

このように、従来では信号線d, eには強制値が伝わらなかったのに対して、強制値の概念を拡張したことにより強制値が信号線d, eに伝わる。



(a) 回路図

	a	b	c	d	e
通常	1	0	0		
拡張	1	z	z	z	z

(b) 強制値

図4 強制値の概念の拡張の例

3.3 診断手順

- (1) $L_n = L_b = L_r = \emptyset$ (空集合) とする。また、 L_n, L_b, L_r のいずれにも属さない全ての信号線の集合を U とする。但し、 L_n, L_b, L_r の要素は、それぞれ“正常”、“短絡”、“短絡の可能性ある”と診断された信号線である。
- (2) 外部出力で通常の出力誤りのみが観測されたテストの全てを要素とする集合を T_f 、その他のテストの集合を T_n とする。発振の観測されたテストは推論の対象から外し、 T_n の要素とする。
- (3) T_f に多重縮退故障診断法[5]を適用して推論と決定点のプローブを繰り返す。但し、プローブは T_n の要素についても行う。その結果、正常、1縮退、非0縮退と診断された信号線を U から

除去し、 L_n の要素とする。 $U = \emptyset$ なら (9) へ。

- (4) U に属する信号線を出力に持つゲートの入出力間で論理的な矛盾があるかどうかを調べる。矛盾のあるゲートの出力線を U から除去し、 L_b の要素とする。その結果、 $L_b = \emptyset$ から $L_b \neq \emptyset$ に変化した場合のみ (7) へ。
- (5) 以下に示す α に該当する信号線のうち1本をプローブする。 α に該当する信号線がないときは、 β に該当する信号線のうち1本をプローブする。なお、該当する信号線が複数ある時は、外部出力に近い信号線を優先する。
 - α) U に属し、(3)において0縮退と診断された信号線を出力とするゲートの入力線のうち、まだプローブされていない信号線。
 - β) U に属する信号線。
- (6) プローブした信号線を入力または出力とするゲートの入出力間で、論理的な矛盾があるかどうかを調べる。矛盾のあるゲートの出力線を U から除去し、 L_b の要素とする。
 $L_b = \emptyset$ であれば (3) へ。
- (7) $\forall t \in T$ において値が既知となっている信号線が L_b に存在するとき、その信号線の1本を l_b とする。上記に該当する信号線が存在しないときは、 L_b の要素のうちの任意の1本をプローブし、その信号線を l_b とする。
なお、 l_b は1つ決まればその後(7)を実行する必要はない。
- (8) l_b と $\forall l_j \in U$ の値をテスト T について比較し、
 - ① 条件 γ または δ を満たすテストが1つでも存在するならば、信号線 l_j を L_n の要素とする。但し、 v_i, e_i はそれぞれ信号線 i の観測値と期待値を表す。
 - γ) $v_b = 1$ かつ $e_j = 0$
 - δ) $v_b \neq v_j$
 - ② $\forall t \in T$ において、 l_b と同じ値を持つ信号線 l_j を L_r の要素とする。(3) へ。
- (9) この段階で U は空集合 (状態が未知である信号線がない) となっている。従って、全てのテスト

トにおける全ての信号線の値を計算によって求めることができるので、未知の値を決定する。

- (10) L_r に属する信号線を出力に持つゲートの入出力間で論理的な矛盾があるかどうかを調べる。矛盾がある場合はその信号線を L_b の要素とし、 L_r から除く。

上記の手順で、 L_n に属する信号線は正常、 L_b に属する信号線は短絡、 L_r に属する信号線は短絡の可能性ありと診断する。

3.4 診断例

前述の手法による診断例として、図5の回路に表3(a)のテストを行ったときに(b)の観測値が得られた場合を考える。表4(c)に各信号線の期待値を示す。

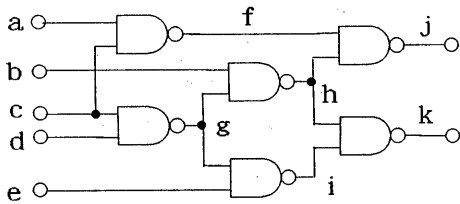


図5 回路図

表3 テスト、観測値及び期待値

(a) テスト		(b) 観測値	
	a b c d e	j k	j k
t0	0 0 1 1 1	0 0	1 1
t1	0 1 0 0 0	1 1	1 1
t2	1 1 1 1 1	1 0	X X
t3	1 0 0 1 0	0 0	0 0
t4	0 0 0 1 1	0 1	1 1
t5	0 0 1 0 0	0 0	1 1

※表中のxは発振を表す

(c) 期待値

	a	b	c	d	e	f	g	h	i	j	k
t0	0	0	1	1	1	1	0	1	1	0	0
t4	0	0	0	1	1	1	1	1	0	0	1
t5	0	0	1	0	0	1	1	1	1	0	0
t1	0	1	0	0	0	1	1	0	1	1	1
t2	1	1	1	1	1	0	0	1	1	1	0
t3	1	0	0	1	0	1	1	1	1	0	0

(診断開始)

- (1) $L_n=L_b=L_r=\emptyset$, $U=\{a, b, c, d, e, f, g, h, i, j, k\}$ とする。
 (2) 表3(a), (b)より、誤りの観測されたテストの集合は $T_f=\{t_0, t_4, t_5\}$ となる。なお、発振の観測されたテスト t_2 は T_f に含まれない。

- (3-1) 推論と決定点のプロープを繰り返すと、表4-1のようになって推論が止まる。この段階で信号線h, j, kが正常であることがわかるので、これらの信号線を L_n の要素とする。なお、表の下段のU, n, b, rはそれぞれ集合U, L_n , L_b , L_r に属する信号線であることを意味し、表中の斜体で示した値はプロープにより実測した値であることを意味する。

表4-1 推論テーブル

	a	b	c	d	e	f	g	h	i	j	k
t0	0					0		1	0	1	1
t4	0					0		1	0	1	1
t5	0					0		1	0	1	1
t1	1					0		0		1	1
t2	1					x		1		x	x
t3	0					1		1		0	0
	U	U	U	U	U	U	U	n	U	n	n

- (4-1) Uの要素で入力との間に論理的な矛盾のある信号線は存在しない。

- (5-1) 条件 α を満たす信号線aをプロープする(表4-2)。

表4-2 推論テーブル

	a	b	c	d	e	f	g	h	i	j	k
t0	0	0				0		1	0	1	1
t4	0	0				0		1	0	1	1
t5	0	0				0		1	0	1	1
t1	0	1				0		0		1	1
t2	x	1				x		1		x	x
t3	1	0				1		1		0	0
	U	U	U	U	U	U	U	n	U	n	n

- (6-1) テスト t_0, t_4, t_5 で、信号線aとfの間に論理的な矛盾がある(表4-2の斜体部)ので、信号線fは短絡している。また、信号線aのテスト t_2 で期待値と異なる値が観測されている(表4-2の斜体部)。信号線aは外部入力で

あるので短絡しているといえる。よって、 f と a を L_b の要素とする。

(7-1) 信号線 f は既にプローブされている。 $l_b = f$ とする。

(8-1) テスト t_3 で $f = 1$ であるため、条件①- γ より、 t_3 で期待値 0 をもつ信号線 b, c, e は正常であるので L_n の要素とする。信号線 c, e は正常な外部入力であるので、推論テーブルに期待値を入れる(表4-3の■部)。

表4-3 推論テーブル

	a	b	c	d	e	f	g	h	i	j	k
t0	0	0	1	1	0	0	1	0	1	1	
t4	0	0	0	1	0	0	1	0	1	1	
t5	0	0	1	0	0	0	1	1	0	1	
t1	0	1	0	0	0	0	0	1	1		
t2	x	1	1	1	x	1	x	x	x		
t3	1	0	0	0	0	1	1	1	0	0	
	b	n	n	U	n	b	U	n	U	n	n

- (3-2) 推論は進まない。
- (4-2) 信号線 i はテスト t_5 で入力との間に論理的な矛盾がある(表4-3の■部)ので短絡している。 i を L_b の要素とする。
- (5-2) 条件 α を満たす信号線 g をプローブする(表4-4の■部)。
- (6-2) プローブした信号線を入力または出力とするゲートの入出力間で論理的な矛盾はない。
- (7-2) l_b は既に決まっているので実行しない。
- (8-2) 条件を満たす信号線は存在しない。

表4-4 推論テーブル

	a	b	c	d	e	f	g	h	i	j	k
t0	0	0	1	1	0	0	1	0	1	1	
t4	0	0	0	1	0	0	1	0	1	1	
t5	0	0	1	0	0	0	1	0	1	1	
t1	0	1	0	0	0	0	0	1	1		
t2	x	1	1	1	x	0	1	x	x		
t3	1	0	0	0	1	1	1	0	0		
	b	n	n	U	n	b	n	n	b	n	n

- (3-3) 推論の結果、表4-4のように値が決まるので、信号線 d は正常であることがわかる。
- (9) 推論テーブルにおいてまだ未知の値を計算によって求める。その結果、推論テーブルはすべて埋まる(表4-5)。

(10) 結果として、信号線 a, f, i の短絡故障と診断される。

表4-5 推論テーブル

	a	b	c	d	e	f	g	h	i	j	k
t0	0	0	1	1	1	0	0	1	0	1	1
t4	0	0	0	1	1	0	1	1	0	1	1
t5	0	0	1	0	0	0	1	1	0	1	1
t1	0	1	0	0	0	0	1	0	0	1	1
t2	x	1	1	1	1	x	0	1	x	x	x
t3	1	0	0	1	0	1	1	1	1	0	0
	b	n	n	n	n	b	n	n	b	n	n

4. 実験結果

前章で述べた手法に基づくプログラムをC言語を用いてSUN4/60上にインプリメントした。

性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズム[8]によって生成された単一縮退故障検出用のテストパターンを用いた。表5に回路の諸元とテスト入力数を示す。

評価実験は、表5の各回路毎に、ランダムにサンプルした100個の3線間の短絡故障について行った。表6に診断に要したCPU時間、プローブ数及び分解能の平均を示す。なお、ここでいう分解能 L_b とは短絡していると診断された信号線の数をいい、分解能 L_r とは短絡している可能性があるとして診断された信号線の数をいう。

分解能 L_b は、注入した故障信号線数3に対して、ほぼ3となっている。短絡した信号線のほとんどが L_b に含まれ、 L_r に含まれる信号線まで入れれば、全ての短絡した信号線が指摘できた。強制値の概念を拡張したことにより、拡張しなかった場合よりプローブ数は5%程度削減されている。その結果、プローブ数は全信号線数の10~20%程度となっており、これは誤りの観測されたテストしか推論に用いていないにも関わらず、文献[5]の方法と同程度である。診断に要する時間は、ほぼ(信号線数×テスト数)に比例している。また、強制値の概念を拡張して推論を活性化しても、診断に要する時間にはほとんど差がなかった。

5. むすび

ワイヤードAND (OR) として機能する短絡故障が存在する回路では、外部出力で誤りの観測されたテストの下での各信号線の値が、短絡している信号線が0 (1) 縮退している場合と同一であることを着目して、多重縮退故障の診断法を流用した短絡故障の診断法を提案し、計算機実験によりその性能を評価した。また、強制値の概念を拡張してプローブ数の削減を図った。実験結果は、全信号線の10~20%程度をプローブすることにより、かなり高い確度で故障点の指摘が可能であることを示している。

しかし、発振のみが観測され、通常の出力量誤りが観測されない場合はこの方法では診断を行うことができないので、別の方法を考える必要がある。

謝辞

テスト生成プログラムFAN及び評価用の回路データを提供して頂きました本学藤原秀雄教授に感謝致します。

参考文献

- [1] H. Y. Chang, E. Manning and G. Metz: "Fault diagnosis of digital systems", Jhon Wiley & Sons, Inc. (1970).
- [2] M. Abramovici and M. A. Breuer: "Fault diagnosis based on effect-cause analysis: an introduc-

tion", Proc. 17th DAC, pp. 69-76 (June 1980).

- [3] T. Tamama and N. Kuji: "Integrating an electron-beam system into VLSI fault diagnosis", IEEE Design & Test, 3, 4, pp. 23-29 (Aug. 1986).
- [4] 山田輝彦, 中村芳行: "組合せ回路における単一縮退故障の一診断法", 信学論, (D-1), 投稿中
- [5] 山田輝彦, 濱田周治, 松本竜男, 高橋利彦, 中山尊雄: "組合せ回路における多重縮退故障の診断法", 信学論(D-1), J74-D-1, 1, pp. 50-57 (1990-1).
- [6] 山田輝彦, 山崎浩二: "組合せ回路における単一短絡故障の診断法", 信学論(D-1), J74-D-1, 1, pp. 58-64 (1991-01).
- [7] 山田輝彦: "組合せ論理回路における短絡故障のテスト", 信学論誌D, J64-D, pp. 963-998 (Oct. 1981).
- [8] H. Fujiwara and T. Shimono: "On the acceleration of test generation algorithms", IEEE Trans. Comput., C-32, pp. 1137-1144 (Dec. 1983).

表5 評価用回路の諸元とテスト数

回路名	入力数	出力数	ゲート数	テスト
c 8 8 0	6 0	2 3	3 8 3	7 6
c 1 3 5 5	4 1	3 2	5 4 6	1 2 2
c 1 9 0 8	3 3	2 5	8 8 0	1 6 3
c 2 6 7 0	2 3 3	1 4 0	1 1 9 3	1 4 7
c 3 5 4 0	5 0	2 2	1 6 6 9	2 0 8

表6 実験結果

回路名	c 8 8 0	c 1 3 5 5	c 1 9 0 8	c 2 6 7 0	c 3 5 4 0
プローブ数	5 8 . 9 (13.3%)	8 4 . 6 (14.4%)	1 0 2 . 8 (11.3%)	2 6 3 . 9 (18.5%)	3 6 9 . 7 (21.5%)
	1 0 9 . 6 (24.7%)	1 1 1 . 4 (19.0%)	1 2 7 . 2 (13.9%)	3 4 9 . 0 (24.5%)	4 6 2 . 5 (26.9%)
CPU時間(s)	4 . 0 4 . 1	9 . 5 9 . 4	1 9 . 2 1 7 . 0	2 6 . 1 2 6 . 2	4 9 . 1 4 6 . 6
	L b 2 . 9 2	2 . 8 7	2 . 9 7	2 . 8 6	2 . 9 5
L r	1 . 5 7	2 . 3 5	1 . 8 6	5 . 5 1	7 . 8 0

※プローブ数, CPU時間の上段は強制値の概念を拡張した場合の結果

下段は拡張しない場合の結果

※プローブ数の()内は, 全信号線数に対するプローブ数の割合

※使用計算機: SUN4/60 (12MIPS)