

部分スキャン設計に関する一考察

濱田 周治

相京 隆

町田 泰秀

富士通株式会社

あらまし 論理回路において、複数のフリップフロップ（以下FFと略す）で構成するループの全てを削除するFFの極小集合と、セルフループをつくるFFで可観測性あるいは可制御性のないものだけをスキャンバス化する部分スキャン手法を提案し、生成された回路は非冗長故障に対し、全スキャンの場合と同じ高検出率のテスト生成が行えることを示す。

A Study on Partial Scan Design

Shuji HAMADA

Takashi AIKYO

Yasuhide MACHIDA

FUJITSU LIMITED

Abstract We propose a new partial scan approach which selects scan flip-flops to remove all cycles longer than one and to remove self-loops except having controllability and observability. And we show that our approach guarantee a complete fault coverage using combinational test pattern generation method.

1. まえがき

回路の大規模化に伴いテスト費用の削減が重要な問題となっている。これまで大規模回路に対するテスト容易化設計方法としてスキャンバス方式が広く用いられてきた。近年は、チップ面積に占めるテスト回路のオーバーヘッドを小さくするために部分スキャン方式が重要視されている。

これまでにいくつかの部分スキャン手法が提案されているが、それぞれに実用上の問題点を持っている [1] ~ [5]。テストビリティ解析によってスキャンFFを選択する手法 [1] は、順序回路の深さが浅くなることで順序回路用テスト生成手法適用できるが、必ずしも完全な検出率を得ることはできない。機能ベクトルと組合せ回路用テスト生成手法を併用する手法 [2] は、検出率は保証されるもののスキャンFFの数が機能ベクトルの良否に大きく依存し、故障シミュレーションのコストも膨大である。また、回路を有向グラフ化しその構造を解析してスキャンFFを選択する手法は、テスト生成の立場から二つに大別できる。一方は回路の全ループを取り除き組合せ回路用テスト生成手法を用いるもの [3] [4] であり、もう一方はスキャン化によって回路の複雑性を減少させ順序回路用テスト生成手法を用いるもの [5] である。前者は多くのFFをスキャン化しなければならないといった問題点を、後者は十分な故障検出率が得られないという問題点を持っている。

文献 [3] ~ [5] ではISCAS'89ベンチマーク回路 [6] に対する評価結果は示されていないか、あるいは一部に対してのみ評価されているにすぎない。そこで、各手法について略説し、スキャンFF数の評価結果を示す。更に、複数のFFで構成するループの全てを削除するFFの極小集合と、セルフループをつくるFFで可観測性あるいは可制御性のないものだけをスキャンバス化する部分スキャン手法を提案し、生成された回路は非冗長故障に対し全スキャンと同じ高検出率のテスト生成が行えることを示す。

2. 部分スキャン設計及びテスト系列生成手順

ここで扱う回路は一般ゲート (AND, NAND, OR, NOR, XOR, NOT) 及び DFF のみからなる一相のクロックで動作する同期順序回路とし、非冗長な単一縮退故障を対象とする。

2. 1. 従来手法

従来手法の中で有向グラフを利用するものは3種類に大別できる。その一つはBALLAST [3] と呼ばれる手法で、回路中の全ループを削除し、更に任意のFF間の経路長が等しくなる (あるFFの出力変化が他のFFの入力へ同時に伝播する) ようにFFをスキャン化するものである。残った回路に対してはFFをバッファに置き換えて、そのまま一般の組合せ回路用ATGを適用できる。二つめのINSPIRATION [4] なるシステムは回路中のループを全てを削除するようにFFをスキャン化し、被検査回路を等価な組合せ回路に変換 [7] する。そして9値の組合せ回路用ATGを用いてテスト生成を行う。最後は [5] に述べられている方法で、順序回路用ATGである程度の検出率が得られるようにセルフループ以外のループを削除し、順序回路の深さも一定の値より小さくなるようにFFをスキャン化するものである。

2. 2. 提案手法

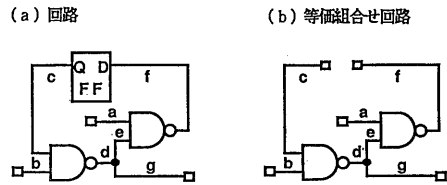
ここで提案する手法は2番目のINSPIRATIONで取り除いたループのうち、セルフループを構成する可制御性・可観測性のあるFFはスキャン化しないようにするものである。テストは基本的に制御系列、テスト入力、観測系列の順で印加することになる。以下にその手順を述べる。

手順：

- (1) 与回路 N を非ループ化する。
 - ・ N からセルフループを無視して、複数の FF で構成しているループを削除する極小の FF を取り除く。それらの FF をスキャン FF 集合 S とし、 FF の取り除かれた回路を N' とする。
 - ・ N' からセルフループを構成している FF を削除し、スキャン FF 候補集合 SC とする。ループの無くなった回路を N'' とする（取り除いた FF への入力、 FF の出力はそれぞれ疑似外部出力、入力とする）。
- (2) ネットリスト N'' より、等価な組合せ回路 NC を求める。
- (3) NC に対し組合せ回路用テスト生成手法を適用し、テスト入力集合 $T = \{t_1, t_2, \dots, t_n\}$ (n : テスト入力数) 及び各テスト入力で検出できる故障リスト集合 $FL = \{f_{11}, f_{12}, \dots, f_{1n}\}$ を求める。但し、疑似外部出力の故障は疑似外部入力の故障と考える。
- (4) NC と T より期待値を求める。
- (5) $i = 1, 2, \dots, n$ について、次の条件 (a)
 - (b) を満たさない FF ($\in SC$) を S に加える。条件を調べる際に求めた各系列は記憶しておく。
 - (a) t_i において、 FF の出力に対応する疑似外部入力に印加すべき値を v とするとき、故障 f ($\in f_{1i}$) が存在しても FF の出力を v とする系列が存在する。
 - (b) t_i において、 FF への入力に対応する疑似外部出力に期待値と異なる値を伝播する故障 f ($\in f_{1i}$) に対し、誤りを他の出力で観測できるようにする系列が存在する。
- (6) T 、 NC 及び (5) で記憶した系列よりテスト系列と出力の期待値を求める。同時に、 N の $\forall FF$ ($\in S$) をスキャンバス化し、最終的な回路を求める。

[例1] 図1 (a) に示す回路について考える。ループを取り除き組合せ回路に変換すると (b) に示す回路が得られる。代表故障は $a/1, b/1, c/1, d/0, d/1, e/1, f/0, f/1, g/0, g/1$ であるが、ここでは信号線 c 、 f の故障は同一と考えるので、 $f/0, f/1$ は対象から外す。(b) の回路

に対するテスト入力及び検出される故障は (c) に示す通りである。テスト入力に対する期待値、また、テスト入力と期待値から信号線 c にテスト入力値を設定するための系列及び信号線 a 、 e での誤りを信号線 g で観測できるようにするための系列は (c) に示すように求まる。これらは故障が存在しても機能する。最後に、テスト入力、回路及び二つの系列から (d) に示すテスト系列とそれに対する期待値が得られる。従って、(a) の回路は FF をスキャン化することなく、また、検出率を下げることなくテストできる。 □



(c) テスト入力、検出する故障、期待値、初期化系列及び誤りを観測するための系列
(d) テスト系列及び出力の期待値

入力 abc	検出する故障	期待値 abcdefg	初期化 系列	観測 系列	ab	g
t_1	101	$b/1, d/0, g/0$	1011101	$a=0$	0x	x
t_2	110	$c/1$	1101101	$a=1, b=0$	(t1)10	1(t1)
t_3	010	$a/1$	0101111	$a=1, b=0$	(t2)11	1(t2)
t_4	111	$d/1, e/1, g/1$	1110010	$a=0$	10	x
				$b=1$	(t3)01	x
				$b=1$	01	0(t3)
				$b=1$	(t4)11	0(t4)
				$b=1$	x1	1(t4)

図1. テスト系列生成例

(a) テスト入力、検出する故障、期待値、初期化系列及び誤りを観測するための系列
(b) テスト系列及び出力の期待値

入力 abc	検出する故障	期待値 abcdefg	初期化 系列	観測 系列	ab	g
t_1	x01	$b/1$	x0111x1	$a=0$	0x	x
t_2	x01	$d/0$	x0111x1	$a=0$	(t1-t3)10	1(t1-t3)
t_3	x01	$g/0$	x0111x1	$a=0$	(t4)x1	1(t4)
t_4	x10	$c/1$	x1011x1	$a=1, b=0$	(t5)00	x
t_5	00x	$a/1$	00x1111	$a=1, b=0$	01	1(t5)
t_6	00x	$f/0$	00x1111	$a=1, b=0$	(t7, t8)01	0(t7, t8)
t_7	x11	$d/1$	x110010	$a=0$	(t9)11	x
t_8	x11	$g/1$	x110010	$a=0$	x1	1(t9)
t_9	111	$e/1$	1110010	$a=0$		
t_{10}	10x	$f/1$	1110010	$a=0$		

図2. 1故障1テストの例

2. 3. 可制御性・可観測性の改善

図1 (b) の回路に対して生成したテスト入力 t_1 が $(a, b, c) = (1, 1, 0)$ 、そのとき検出すべき故障 f が $(c/1, d/0, g/0)$ であったとする。 t_1 を印加するためには故障 f が存在しても信号線 c を 0 に設定できなければならないが、故障 $d/0$ により信号線 c を 0 とすることができない。従って、この場合 FF はスキャン化しなければならない。このように、故障によって制御あるいは観測できない場合をできるだけ減少させるために次のようにテストを生成する。ただし、ここではスキャン FF の削減に重点を置き、テスト系列が長くなることについては考慮しないものとする。

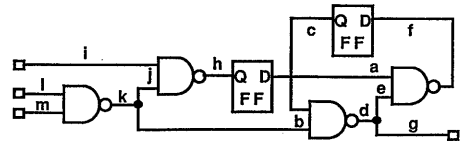
- ・ターゲット故障を検出するための入力値が決定したとき、未決定の入力信号線は値を割り当てずに未知数 X のままにしておく。
- ・一つのテストで複数の故障が検出可能な場合は故障の数だけ繰り返し印加する。

[例2] 例1と同様の回路について考える。前述のようにテスト生成を行うと図2 (a) に示す入力及び検出される故障が得られる。テスト入力に対する期待値、また、テスト入力と期待値から信号線 c にテスト入力値を設定するための系列及び信号線 a, e での誤りを信号線 g で観測できるようにするための系列も (a) に示すように求まる。テスト入力、回路及び二つの系列から (b) に示すテスト系列とそれに対する期待値が得られる。実際に印加するときは、このように系列を圧縮することができる。 □

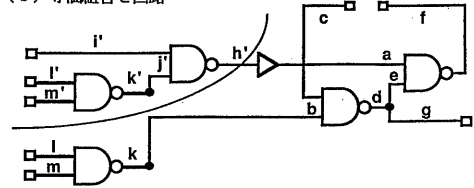
前述の例では、等価回路への変換はループを開くだけでよかったが、経路上に FF が存在する場合は時間を考慮する必要がある。

[例3] 図3 (a) の回路について考える。ループを取り除き等価回路に変換すると (b) のようになる。経路上の FF はバッファに置き換え、その入力に繋がる部分回路 (曲線左側の ' を付した信号線) は 1 クロック前のものとして取り扱う。また、テスト生成は信号線 k, l, m の故障が二箇所で同時に存在しているものとして行う。この回路の代表故障は $a/1, b/1, c/1, d/$

(a) 回路



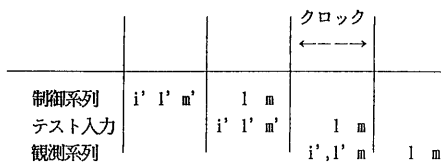
(b) 等価組合せ回路



(c) テスト入力、検出する故障、制御系列及び観測系列

テスト入力	検出する故障	制御系列	観測系列
		$i' l' m' c l m$	$i' l' m' l m$
t_1	$b/1$	$10xxx$	$xxxxxx$
t_2	$d/0$	$10xxx$	$xxxxxx$
t_3	$g/0$	$10xxx$	$xxxxxx$
t_4	$c/1$	$0xxx11$	$xxxxxx$
t_5	$a/1$	$xxxxxx$	$xxxx0x$
t_6	$d/1$	$0xx11$	$xxxxxx$
t_7	$g/1$	$0xxx11$	$xxxxxx$
t_8	$e/1$	$10xxx$	$xxx0xx$
t_9	$i/1$	$xxxxxx$	$xxx0xx$
t_{10}	$j/1$	$xxxxxx$	$xxx0xx$
t_{11}	$k/0$	$10xxx$	$xxxxxx$
t_{12}	$k/1$	$10xxx$	$xxxxxx$
t_{13}	$l/1$	$10xxx$	$xxxxxx$
t_{14}	$m/1$	$10xxx$	$xxxxxx$

(d) 系列圧縮順序



(e) テスト系列

	ilm	ilm	ilm		ilm		
t_1	$10x$ xxx $x11$ xxx	t_3	$10x$ xxx $x11$ xxx	t_5	xxx $10x$ $x11$ $x0x$	t_{13}	$10x$ xxx $x01$ xxx
t_2	$10x$ xxx $x11$ xxx	t_4	$0xx$ $x11$ $x11$ xxx	t_6	$0xx$ $x11$ $x0x$ xxx	t_{14}	$10x$ xxx $x10$ xxx

図3. 経路上に FF がある場合の例

0, d/1, e/1, f/0, f/1, g/0, g/1, i/1, j/1, k/0, k/1, l/1, m/1 であるが、先例と同様、信号線 c, f の故障を同一と考えテスト生成終了後 f/0, f/1 は対象から外す。各故障に対するテスト入力、制御系列及び観測系列は (c) に示すとおりである。信号線 i', l', m' は 1 クロック前の状態を意味するので、実際には (d) のように印加することになり、重なっている部分で信号線に 0 と 1 が重複して割り当てられなければ、テスト系列は (e) に示すとおり求まる。必要であれば更に系列を圧縮する。 □

上記の例は一故障一テストの採用にによって可能となっており、これは本手法の有効性を示すものである。

3. 評価結果

表 1 に [3] ~ [5] 各手法の ISCAS'89 ベンチマーク回路に対する評価結果を示す。

手法 1 は BALLAST [3]、手法 2 は INSPIRATION [4]、そして手法 3 は [5] の順序回路 ATG を用いる手法である。表中の * 印は回路の非ループ化の際に発見的手法を用いたことを表している。

提案手法において通常のテスト入力を用いた場合と、未知数 X を含む 1 故障 1 テストを用いた場合の評価結果を表 2 に示す。今回の評価は可制御性までであり、s9234 は、組合せ回路への変換が必要であったが、とりあえず FF をバッファに置き換えて評価した。表中の非スキャン・セルフープ数は全てのテストにおいて制御できた FF の数であり、可観測でもあるとすれば手法 2 (INSPIRATION) のスキャン FF 数からこの数を減じたものが本手法におけるスキャン FF 数となる。これらの結果からテスト長の問題さえ解決すれば、1 故障 1 テストがかなり有効であることが分かる。

4. むすび

有向グラフを利用する 3 種類の従来手法を紹介し、それらの ISCAS'89 ベンチマーク回路に対する評価結果を示した。また、全スキャン手法

表 1. 従来手法によるスキャン FF 数

回路名	ゲート数	FF数	スキャン FF 数 (全 FF に占めるスキャン FF の百分率)		
			手法 1	手法 2	手法 3
s27	13	3	3(100)	3(100)	1(33.3)
s208	104	8	8(100)	8(100)	0(0)
s298	133	14	14(100)	14(100)	1(7.1)
s344	175	15	15(100)	15(100)	5(33.3)
s349	176	15	15(100)	15(100)	5(33.3)
s382	179	21	15(71.4)	15(71.4)	7(33.3)
s386	165	6	6(100)	6(100)	5(83.3)
s400	183	21	15(71.4)	15(71.4)	6(28.6)
s420	212	16	16(100)	16(100)	0(0)
s444	202	21	15(71.4)	15(71.4)	9(42.9)
s510	217	6	6(100)	6(100)	5(83.3)
s526	214	21	21(100)	21(100)	3(14.3)
s526n	215	21	21(100)	21(100)	3(14.3)
s641	398	19	19(100)	15(78.9)	7(36.8)
s713	412	19	19(100)	15(78.9)	7(36.8)
s820	294	5	5(100)	5(100)	4(80.0)
s832	292	5	5(100)	5(100)	0(80.0)
s838	422	32	32(100)	32(100)	0(0)
s1196	547	18	16(88.9)	0(0)	0(0)
s1238	526	18	16(88.9)	0(0)	0(0)
s1423	731	74	72(97.3)	71(95.9)	* 33(44.6)
s1488	659	6	6(100)	6(100)	5(83.3)
s1494	653	6	6(100)	6(100)	5(83.3)
s5378	2958	179	162(90.5)	* 30(16.8)	* 30(16.8)
s9234	5825	228	217(95.2)	152(66.7)	* 54(23.7)
s13207	8620	669	536(80.1)	310(46.3)	* 69(10.3)
s15850	10369	597	561(94.0)	441(73.9)	* 98(16.4)
s35932	17793	1728	1728(100)	306(17.7)	*306(17.7)
s38417	23815	1636	1397(85.4)	1080(66.0)	*385(23.5)
s38584	20705	1452	1447(99.6)	1115(76.8)	*340(23.4)

表 2. 提案手法の評価結果

回路名	ゲート数	FF数	セルフープ数	通常		1故障1テスト	
				非スキャンセルフープ数	スキャン FF 数	非スキャンセルフープ数	スキャン FF 数
s27	13	3	2	1	2	1	2
s298	133	14	13	4	10	7	7
s344	175	15	10	0	15	6	9
s386	165	6	1	1	5	1	5
s510	217	6	1	0	6	1	5
s526	214	21	18	1	20	7	14
s9234	5825	228	98	—	—	36	116

より少ない、更に文献 [3] [4] の方法よりも少ないスキャンFFで、組合せ回路用のテスト生成手法を用いて全スキャン手法と同一の故障検出率を得られることを示した。プロトタイプ実験システムにより可観測性までではあるがISCAS'89ベンチマーク回路で本手法の有効性を示した。

今後は本手法の更なる評価及びテスト系列圧縮アルゴリズムについて検討していきたい。

参考文献

- [1] E. Trischler, "Incomplete Scan Path with an Automatic Test Generation Methodology," International Test Conference, pp.153-162, 1980.
- [2] V.D.Agrawal, K.T.Cheng, D.D.Johnson and T.Lin, "A Complete Solution to the Partial Scan Problem," International Test Conference, pp.44-51, 1987.

[3] R.Gupta, R.Gupta and M.A.Breuer, "BALLAST: A Methodology for Partial Scan Design," Proceedings 19th International Symposium on Fault Tolerant Computing, pp.118-125, 1989.

[4] A.Kunzmann and H.-J.Wunderlich, "An Analytical Approach to the Partial Scan Problem," Journal of electronic testing: Theory and Applications, 1, pp.163-174, 1990.

[5] K. Cheng and V. D. Agrawal, "An Economical Scan Design for Sequential Logic Test Generation," Proceedings 19th International Symposium on Fault Tolerant Computing, pp.28-35, 1989.

[6] F.Beglez, D.Bryan and K.Kozminski, "Combinational Profiles of Sequential Benchmark Circuits," ISCAS, pp.1929-1934, 1989.

[7] A.Miczo, "Digital Logic Testing and Simulator," Harper & Row, Publishers, Inc., pp.98-115, 1986.