

ICCAD 報告

石浦菜岐佐

大阪大学工学部情報システム工学科

1991年11月に米国 Santa Clara で開催された ICCAD-91 に参加する機会を得た。この会議での発表の中から、論理合成、設計検証、テストに関するものについて概観する。

A Report of ICCAD

Nagisa ISHIURA

Department of Information Systems Engineering
Faculty of Engineering
Osaka University

This report introduces an overview of the papers on logic synthesis, design verification and testing which were presented at IEEE International Conference on Computer-Aided Design (ICCAD-91), held on November 1991 at Santa Clara, U. S. A.

1 概観

ICCAD の設計検証, 論理合成, テストに関連するセッションの一覧は表 1 のとおりである. 分類の仕方にもよるのであるが, 論理合成関係のセッション数が多い. これは, 研究の対象が組合せ回路から順序回路, 非同期回路など多様になってきたことに起因するものと思われる. また, タイミング解析に関するセッションが多いことも注目される. 以下では, 分類毎に傾向や特長ある発表を紹介していきたいと思う.

表 1. セッションの一覧 (検証, 合成, テスト関係)

	Session	テーマ
高レベル合成	1C	Controller Synthesis
	2C	Scheduling
論理合成	3C	Topics in Logic Synthesis
	5C	Encoding Algorithms
	7C	Asynchronous Circuit Synthesis
	8C	Sequential Synthesis and Verification
	9C	High-Level Synthesis – FSM Synthesis
	11C	Advances in Combinational Synthesis
	12C	Synthesis for FPGA's
設計検証	10C	Verification Algorithms
タイミング解析	4C	Timing Analysis and Performance Optimization
	5B	The False Path Problem in Timing Analysis
	7B	Timing Analysis
テスト	5A	Diagnostics and Testability Analysis
	10B	Automatic Test Pattern Generation
	11B	Design for Testability
	12B	Fault Simulation

2 設計検証

設計検証に関するセッションは, タイミング解析を別にすれば, Session 8C の一部と 10C のみで, 今回は少ないかたように感じられる. Symbolic model checking (BDD を用いた状態列挙に基づく順序回路の検証法) に関する研究が一段落したためとも思われる.

10C.4 (S.-W. Jeong, B. Plessier, G. D. Hachtel and F. Somenzi: “Variable Ordering and Selection for FSM Traversal”) はその symbolic model checking に関するもので, 順序回路の状態列挙のための BDD の変数の順序づけについて考察したものである. n 入力 m 出力論理関数に対して入出力間の依存関係を $n \times m$ の行列で表現し, これを利用して次状態遷移関数の BDD 表現が小さくなる変数順序を計算するようである. また, image computation のための変数順序づけのヒューリスティックも示している.

10C.2 (J. Jain, J. Bitner, D. S. Fussell and J. A. Abraham: “Probabilistic Design Verification”) は 2 つの組合せ回路の論理関数を照合する新しい手法を提案したものである. この手法は「確率的」な検証法であり, $1 - \epsilon$ (ϵ はいくらでも小さくできる) の確率で設計誤りを見逃す可能性がある分, 完全な検証法では扱えない規模の問題が解け得るという特長を持つ. 基本的には 2 つの回路に乱数を与え, その出力が一致するかどうかを調べる手法であるが, 信号値は $\{0, 1\}$ の 2 値ではなく整数値を用いることにより, 現実的な時間で ϵ を十分に小さくすることに成功している. そのために, 論理式に代数式を対応させるのであるが, この部分が難しく, いろいろな工夫をしているようである.

3 タイミング解析

今回の ICCAD で最も著者の目についたのがタイミング解析に関する論文で、小さなテーマの割に多くの方が研究をやっているものだという印象を受けた。

対象となる問題はさまざまなバリエーションがあるが、代表的なものを一つ上げるとすれば「組合せ回路の実効遅延 (活性化されるパスの最大遅延) を正確に計算せよ」である。この計算の妨げになる「false path (活性化されないパス)」を見つける問題 (Session 5B) や、回路の実効遅延を解析する手法 (Session 4C, 7B), およびこれを用いて回路の遅延の最適化や遅延故障のテスト生成を行なう研究 (Session 4C) が発表されている。これらの研究は実際にどれだけ意味を持つかはともかくとして、学術的には大変興味深く感じられる。特に、Session 4C の 1, 2, 3 の論文は、内容的にも優れていると思われる。

4C.1 (S. Devadas, K. Keutzer and S. Malik: "Delay Computation in Combinational Logic Circuits: Theory and Algorithms") は組合せ回路の最長活性化パス長を計算する新しいアルゴリズムを提案したものである。従来の方法では、個々のパスが false path かどうかを判定する方法に基づいていたために、膨大な数のパスの列挙が必要であったのに対し、この手法はパス長が δ 以上のすべてのパスをまとめて扱うため効率的であると考えられる。

4C.2 (P. C. McGeer, A. Saladanha, P. R. Stephan, R. K. Brayton and A. L. Sangiovanni-Vincentelli: "Timing Analysis and Delay-Fault Test Generation Using Path-Recursive Functions") はパスが活性化される条件を示す path sensitization function を効率的に表現する方法を提案している。式が多くて難解であるが、path sensitization function から再帰表現を経由してこれを多段論理回路として表現すれば、表現が与えられた回路の規模の線形でおさえられるとのことである。これを用いて最長実効パス問題や遅延故障のテスト生成を解いている。

4C.3 (P. C. McGeer, R. K. Brayton, A. L. Sangiovanni-Vincentelli and S. K. Sahn: "Performance Enhancement through the Generalized Bypass Transform") は与えられた組合せ回路をより実効遅延の小さな回路に変換する手法を提案している。ある変換によって実行遅延の大きなパスを false path にし、これを除去することによって実行遅延を小さくするという手法である。

4 論理合成

論理合成に関する発表は、組合せ回路に関するもの、同期式順序回路に関するもの、非同期回路に関するものに分けられるが、合計の発表件数は 20 件近くにもなる。

組合せ回路の合成および最適化手法の研究は一段落した感があるが、それでも質の高い論文が発表されていたように思う (Session 3C, 11C)。

11C.1 (M. Fujita, Y. Tamiya, Y. Kukimoto and K.-C. Chen: "Application of Boolean Unification to Combinational Logic Synthesis") は、題目通り「ブール単一化 (Boolean unification)」の論理合成への応用を示したものである。組合せ回路の再設計、don't care set や Boolean relation に基づく多段論理合成にこれを応用するアイデアを述べている。ブール単一化はこの他にも応用が考えられそうな題材のように思われる。

11C.2, 11C.3 はそれぞれ local don't care, observability don't care を用いた多段論理最適化の発表である。

また、「FPGA のための論理合成」で一セッション (Session 12C) が設けられ 4 件の発表があった。順序回路の合成に関しては状態割り当てに関するもの (Session 5C) 2 件と順序回路の分解/最適化 (Session 9C) に関するもの 3 件があった。非同期回路の合成に関するセッション (Session 7C) では、ハザードの無い組合せ回路を合成する話が 2 件 (7C.2, 7C.3), local clock を持つ非同期制御回路の合成に関する話が 1 件あった。残念ながら、これらの発表に関しては理解が追いつかないため、詳細は割愛させて頂く。

5 テスト

テストに関しては、テスト容易性解析 (Session 5A), テスト生成 (Session 10B), テスト容易化設計 (Session 11B), 故障シミュレーション (Session 12B) とバランス良くセッションが組まれているが、この中ではテスト生成の発表に活気が感じられた。

5A.1 (T. Grüning, U. Mahlstedt and H. Koopmeiners: “DIATEST: A Fast Diagnostic Test Pattern Generator for Combinational Circuits”) は、故障検出だけではなく故障の同定 (fault location) まで行なえるテストを生成する方法を提案したものである。対象は単一縮退故障が仮定された組合せ回路で、まず、通常の故障検出を行なうテストを生成し、続いてどの故障が検出されたかを識別するためのテストを追加生成する。ISCAS 85 ベンチマークのすべての検出可能故障を検出し、かつすべての識別可能故障を識別するテストを生成することに成功している。

10B.1~3 は順序回路のテスト生成を扱ったものであるが、いずれも Iowa 大学からのものである。

10B.1 (D. H. Lee and S. M. Reddy: “A New Test Generation Method for Sequential Circuits”) はアルゴリズムの提案である。Forward time processing, backward time processing の組合せによるオーソドックスなアルゴリズムのようである。

10B.2 (I. Pomeranz and S. M. Reddy: “Test Generation for Synchronous Sequential Circuits Based on Fault Extraction”) は、縮退故障を状態遷移表上での故障に変換し、これに基づいてテスト生成を行なうものである。

10B.3 (I. Pomeranz, S. M. Reddy and L. N. Reddy: “Increasing Fault Coverage for Synchronous Sequential Circuits by the Multiple Observation Time Test Strategy”) はリセットを仮定しない順序回路のテスト生成法について述べたもので、小規模回路にしか適用されていなかった “multiple observation time test strategy” なるものを中規模回路にも適用できる方法を提案している。

故障シミュレーションに関する発表は 4 件あったが (Session 12B), うち 2 件は順序回路の故障シミュレーションの高速化に関するものである。

12B.1 (N. Gouders and R. Kaibel: “PARIS: A Parallel Pattern Fault Simulator for Synchronous Sequential Circuits”) は PPSFP の順序回路への拡張を試みたものである。順序回路にはフィードバック・ループがあるため parallel pattern のシミュレーションは決して効率良くないが、“heuristic look-ahead” でこの問題を解決している。PROOFS に比べ 10 倍以上早くなることもあるが、故障のドロップが遅れるために、数倍の時間を要することもある。

12B.2 (E. M. Rudnick, T. M. Niermann and J. H. Patel: “Methods for Reducing Events in Sequential Circuit Fault Simulation”) は PROOFS においてゲート評価の回数を減らす工夫をしたという話で、1.3 倍程度高速化されているようである。

6 むすび

ICCAD は参加者が 1,000 強と DAC に比べて小じんまりしており、会議そのものを楽しむには良い規模かも知れない。著者が前回 ICCAD に参加したのは 4 年前である。その時に比べて会議の活気が増しているのかどうかはわからなかったが、少なくとも同じかそれ以上という印象である。4 年前に比べて明らかに異なると思ったのは、日本人の参加者が多かったということで、ほとんど英語を話さずに済んでしまったことが妙に印象に残っている。

謝辞

3 節のタイミング解析のまとめに関して御助力を頂きました京都大学の出口豊氏に感謝します。