

アナログニューロシステムの構成

A Design of an Analog Neurosystem

中津 欣也      兵庫 明      関根 慶太郎

Kinya NAKATSU      Akira HYOGO      Keitaro SEKINE

東京理科大学 理工学部 電気工学科

Faculty of Science and Technology, Science University of Tokyo

1. はじめに

コンピュータの主流となっているノイマン型コンピュータには幾つか不向きな処理がある。例えばパターン認識、連想記憶、組み合わせ最適化、最適な制御などが挙げられる。これらの問題に対して生物の情報処理システムを工学的にモデル化し、その能力を利用することで解決出来るのではないかとの考えからニューロコンピュータは盛んに研究されている。

現在のニューロコンピュータは、汎用シミュレータ上などでソフトウェア的に実現されているが実時間処理が難しく応用範囲が制限されるため専用ハードウェアが必要と考えられる。

ニューロコンピュータをハードウェア化する方式としては、アナログ方式、デジタル方式両者のハイブリッド方式、光方式などが考えられるがそれぞれ一長一短がある。<sup>[1][8]</sup>

例えばアナログ方式に関しては高集積化が可能であるが、シナプス結合の重みの実現、精度などの問題、またデジタル方式の場合高精度なシステムの構成が可能であるが構成回路規模が大きくなってしまふなどの問題が生じる。この様にどの方式についてもいくつかの問題点が考えられる。しかし、筆者らはアナログ回路の規模の小ささ等のメリットを考えアナログ方式のニューラルネットを検討し、小規模なシナプス回路を提案しネットワークの構築を行ってきた。<sup>[1]</sup> 本報告では、この方式に基づきチップ化されたニューロ素子を用いたシステムを構成したので報告する。構成したニューロシステムを用いて学習実験を行いシステムが良好に動作

している事を確認した。

2. アナログニューロンモデル

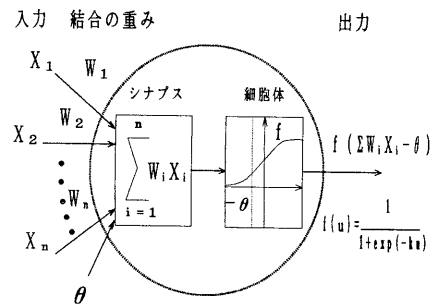


図1：ニューロンモデル

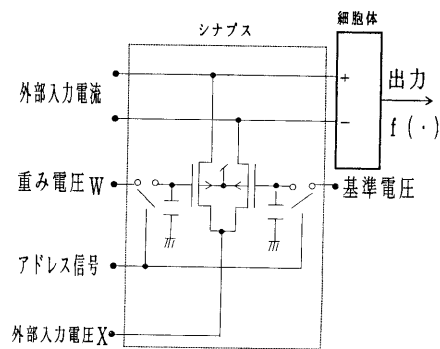


図2：アナログニューロモデル

図1に示したような生物の神経細胞をモデル化し、その動作を電子回路で置き換える事で生物の神経細胞を工学的に実現する。図2に今回使用したアナログ方式によるニューロンのモデルを示す。<sup>[1]</sup>

今回のモデルでは、シナプス回路において各ニューロンの結合の重みを可変なアナログ電圧として記憶する。この機能を実現するためにホールドキャパシタを使用し、ホールドキャパシタをリフレッシュする事で可変とする。

尚、ホールドキャパシタからのリーク電流による出力への影響は、シナプス回路を差動型とする事によって打ち消している。

### 3. 使用ニューロチップ概要

今回使用するニューロチップは、N基板p-wellのCMOSプロセス、全素子644素子電源電圧±3V、消費電力約100mWであり16個のシナプス回路と4個の細胞体があり入力4系統、出力4系統が備わっている。ネットワーク構成に関しては、幅広いアプリケーションが取れるように構成してある。図3にニューロチップ全体の構成を示す。

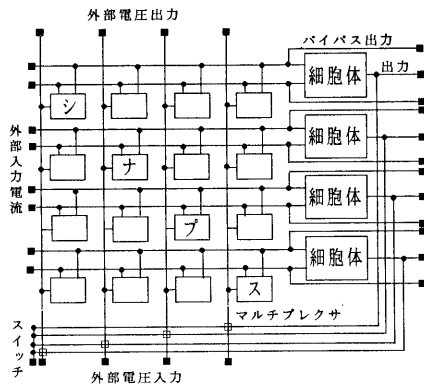
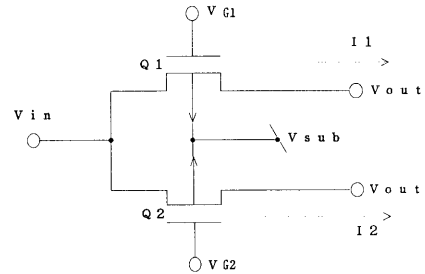


図3：ニューロチップ構成

ニューロン全体の動作は、シナプス回路においてホールドされた電圧と外部入力電圧との積に比例した差動出力電流が細胞体回路に送られ非線形素子に入り出力電圧となる。

### 4. シナプス回路特性

今回使用したシナプス回路は、シナプスの動作であるシナプスへの入力と重みの積に比例した出力が得られるように差動型MOSFET回路<sup>[1]</sup>を用い高い線形性が得られるように構成されている。図4にその回路構成を示す。



$$I1 - I2 = \beta (VG1 - VG2) (Vin - VOUT)$$

$\beta$  : 伝達コンダクタンス

図4：シナプス回路構成

このシナプス回路の出力特性を図5に示す。測定方法としては、 $V_{in}$ にシナプスの入力となる電圧を入力し、Q2のゲートに基準電圧 $VG2$  ( $-2.0V$ )を入力しておき、Q1のゲートにシナプスの結合の重みとなる電圧 $VG1$ を入力する。この重み電圧を $-1.0V$ から $-0.5V$ 刻みで $-3.0V$ まで変化させてその設定毎にシナプス入力電圧 $V_{in}$ を $0.0V$ から $2.0V$ まで変化させ差動出力電流 $I_{OUT} = (I1 - I2)$ を測定した。

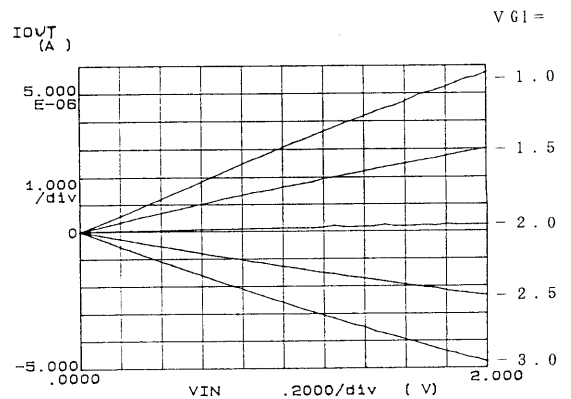


図5：シナプス回路特性

この2つのMOSFETのゲートには結合の重みを保持するホールドキャパシタが接続されるが、このホールドキャパシタからのリーク電流によるシナプス回路出力への影響は、差動型MOS回路によりどちらかのホールドキャパシタのホールド電圧が零になるまで、つまり差動電圧が一定の間、打ち消される構成になっている。このことを確認するためシナプス回路の出力変動を実測した。その測定回路構成を図6に示す。

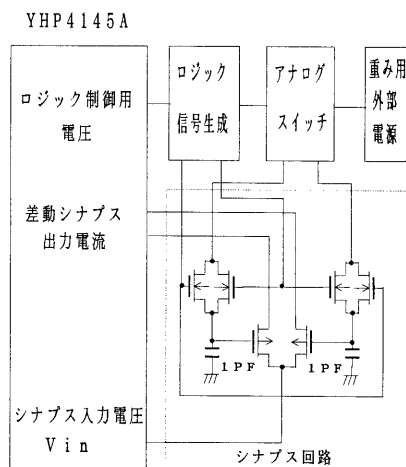


図6：リーク電流によるシナプス出力変動測定回路

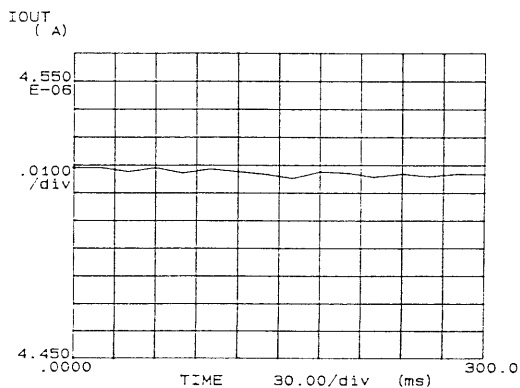


図7：リーク電流によるシナプス出力変動

初めに片側のみのホールドキャパシタのリーク特性を測定したところ、チップによるバラツキはあるものの、片側の出力電流が1%変動するのにかかる時間は約50ms程度であった。次に、差動型とした場合の差動出力特性について測定した結果を図7に示す。差動形とした場合、リーク電流の差によるシナプス出力の変動量が小さいことがわかる。また、どちらか一方のホールドキャパシタの電荷がなくなると片側のリーク特性に従ってシナプス出力に変動が発生することになる。このようなリーク電流によるシナプス出力の変動をより小さくする事が必要となる。

### 5. 細胞体回路構成

今回使用した細胞体回路構成を図8に示す。

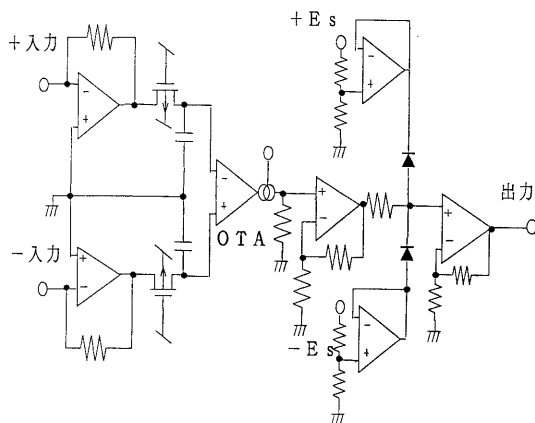


図8：細胞体回路構成

神経細胞の細胞体出力特性(シグモイド関数)を得るためにOTA回路とダイオードリミッタを使用して構成している。

細胞体回路の動作としては、シナプス回路から出力された差動電流をI-Vコンバータにより次段のOTAの入力範囲に適した電圧に変換し、利得の可変なOTAの伝達コンダクタンスを電流制御する事により出力を可変とし最終的に出力段で飽和特性を得ている。この細胞体出力特性を図9に示す。

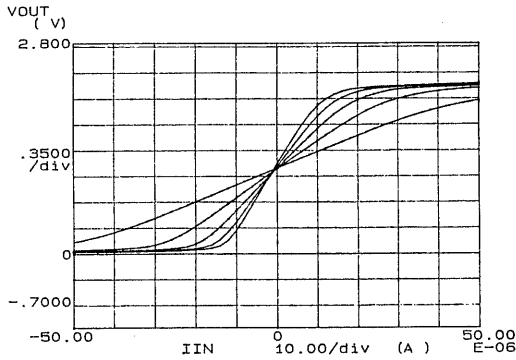


図 9 : 細胞体出力特性

## 6. シナプス用周辺回路設計

シナプス回路のホールドキャパシタの動作は MOS アナログスイッチによりホールドされたアナログ的の重み量の記憶である。しかし、先に述べた 2 つのホールドキャパシタからのリーク電流によるシナプス出力変動が問題となる。ここではこの問題を解決するため、ホールドキャパシタを高速にリフレッシュし、アナログ的の重み量の変動を抑える事により対処する。また、アナログ的の重みの実現には数多くの電源が必要となるが、この方式の場合時分割で各キャパシタ電圧を与える事により重み設定電源が少なくすむという利点も考えられる。図 10 に以上の事を考慮した周辺回路構成を示す。

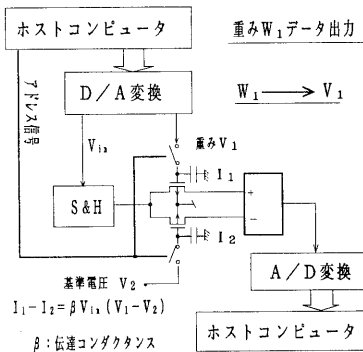


図 10 : 可変重み実現用ボード構成

本構成では、ホストコンピュータからシナプス結合の重みデータをデジタルで出力し、D/A

変換器を用いて電圧に変換する。この電圧はチップ内のアドレスセクタにより目的のシナプスへ送られる事になる。この方式により数多くのシナプスを目的とするシナプス結合重み電圧に設定、リフレッシュできる。なお、今回使用した D/A 変換器のデータは、8 bit である。

## 7. 制御ボード

図 11 に今回設計した制御ボードを示す。

### (1) 電圧変換回路

基準電源と OP アンプを使用したアナログ回路により、D/A 変換器からの出力電圧を変換しチップの仕様にあう重み量 W に変換して出力する。又もう一方のホールドキャパシタに送る基準電圧を生成する。

### (2) S & H 回路

シナプスへの入力電圧は、D/A 変換器からの出力電圧を S & H 回路によりサンプルホールドして生成する。

### (3) マルチプレクサ

ボード内にはいくつかの細胞体があり、それぞれの細胞体の出力を選択して取り込み A/D 変換器に送るためマルチプレクサを使用する。

### (4) アドレス生成

各シナプス回路ブロックをリフレッシュするためのアドレスを指定する。

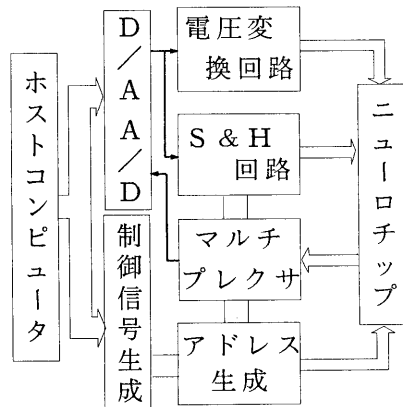


図 11 : 制御用ボード構成

今回製作した制御ボードの概要は、ホストコンピュータにPC-9801E (CPU-8086)を使用し、A/D・D/AコンバータにAD7569 (8bit)、S&HにはLF398を使用した。1シナプス当たりのリフレッシュ所用時間は約4 $\mu$ s、1細胞体出力取り込み時間は約5 $\mu$ sであった。本システムを使用してネットワークを構成した時、シナプスのリフレッシュ最大可能個数は約500個と考えられる。

### 8. 本ボードの動作確認

本システムを用いて一つのニューロンを構成しリフレッシュ動作させながら細胞体出力を取り込むことにより本システムの動作を確認した。この時、本システムの精度は、制御回路においては $\pm 1/2$ LSB以下の誤差であり、システム全体では各ニューロチップ特有のオフセットなどの影響から場合によっては $\pm$ 数LSB程度の誤差が現れた。

### 9. 学習実験

本システムを用いて図12に示すような3層1出力のパーセプトロン型ネットワークとしシステムを構成し、学習実験を行った。

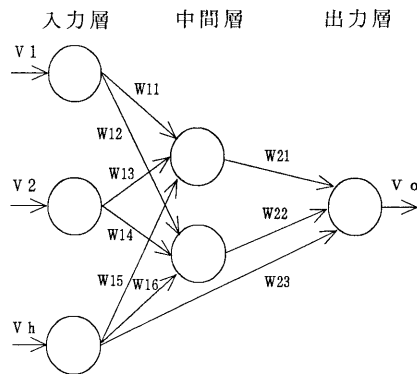


図12：構成したネットワーク

#### (1) 学習方式

本ボードでは、ホストコンピュータを使用している事からホストコンピュータ上で特定の学

習アルゴリズムに従って学習させその結果により各シナプスの重み値を変える事を繰り返し収束させる。

今回の学習アルゴリズムは、バックプロパゲーションアルゴリズムを使用し、学習係数は経験に基づく値とした。シナプス結合の重みの初期値は、乱数により生成した。

#### (2) 学習結果と問題点

このニューロシステムを用いてEX-OR (4パターン)の学習を行った。

図13に出力と教師信号との誤差の平均を示す。

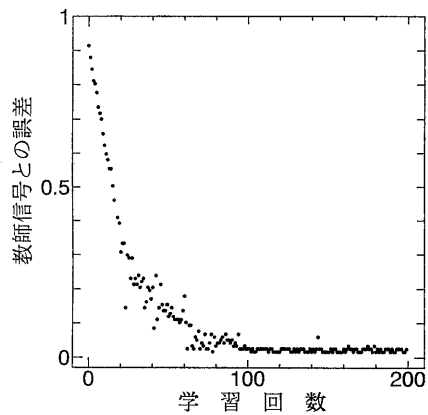


図13：学習時の教師信号と出力との誤差

| 重み  | 学習前   | 学習後   |
|-----|-------|-------|
| W11 | 0.93  | 0.52  |
| W12 | -0.31 | 0.12  |
| W13 | 0.25  | 0.43  |
| W14 | 0.13  | 0.21  |
| W15 | -0.22 | 0.16  |
| W16 | 0.10  | 0.25  |
| W21 | -0.11 | -0.63 |
| W22 | 0.31  | 0.78  |
| W23 | 0.24  | 0.13  |

表1：重みの変化

表1で示した重みは、-1.0から+1.0までのスケールで示したものである。

このように比較的良好な結果が得られているがEX-ORの4パターンの学習順序の変化に

よって学習速度が大幅に異なるという問題があった。これは、コンピュータ上とチップ上での細胞体回路出力特性の誤差が学習に影響を及ぼしたものと考えられる。

## 9. まとめ

本システムにより今回使用したニューロチップの特徴であるホールドキャパシタを用いた可変重み記憶方式の有効性が確認できた。

学習実験の一例としてEX-ORを学習させ良好な結果を得た。今後は、ネットワーク規模の拡大、システムのより高精度化、学習回路の集積化等の問題について検討していく予定である。

## 10. 謝辞

本ニューロチップを試作していただいた沖電気工業株式会社、電子デバイス事業本部、宮原課長、亀井係長に深く感謝いたします。

## 11. 参考文献

- [1] 兵庫 明、中里 聡、関根 慶太郎  
"アナログ回路によるニューラルネットワーク"  
信学技報, 1990, CAS90-84
- [2] 合原 一幸: "ニューラルコンピュータ"  
東京電機大学出版局, 1988
- [3] 中野 馨、飯沼 一元、ニューロン  
ネットグループ、桐谷 滋  
"ニューロコンピュータ"  
技術評論社, 1989
- [4] 増本, 市来, 吉沢, 加藤, 浅川  
"アナログニューロプロセッサとその階層ニューラルネットワークシステムへの適応"  
信学論J74-C-11 N0.5 pp.359-368
- [5] 森下 賢幸, 田村 洋一, 大槻 達男  
"ダイナミックリフレッシュ方式アナログニューロプロセッサ"  
信学技報, ICD90-1

[6] 森江 隆, 雨宮 好人, 岩田 穆  
"誤差逆伝搬学習機能組み込み型アナログニューロLSIの回路的検討"  
信学技報ICD-90-126

[7] 中本 高道, 高木 秀昭, 森泉 豊栄  
"アナログ逆伝搬学習回路"  
信学論J75-D-11 N0.1 PP.128-136

[8] 江口 裕俊, 古田 俊之, 堀口 浩幸  
"学習機能を持つパルス密度型ニューロンモデルとそのハードウェア"  
信学論J74-C-11 N0.5 PP.369-376