

## 3層チャネルレスSOGのための高速配線手法

山崎一弘 高橋一浩 寺井正幸

三菱電機(株) システムLSI開発研究所

3層配線CMOS SOG (sea-of-gates array) 用高速自動配線手法 (HGALOPルータと呼ぶ) について報告する。本手法はSOGのレイアウト構造の規則性を有効利用したもので、汎用的な市販ツールより平均10倍高速である。本手法が対象とするSOGレイアウトモデルと配線アルゴリズムの概要を述べ、本手法の有効性をSOG実品種とよく知られたベンチマークデータを用いた実験結果によって示す。

## A New Efficient Routing Method for Channel-less Sea-of-Gates Arrays

Kazuhiro Yamazaki, Kazuhiro Takahashi, Masayuki Terai

System LSI Laboratory Mitsubishi Electric Corporation

4-1 Mizuhara, Itami, Hyogo 664, Japan

A fast route (termed HGALOP router) for CMOS triple-metal-layer sea-of-gates (SOG) arrays is reported. The HGALOP router employs an algorithm which efficiently utilizes the regularity in layout structures of channel-less SOG chips, and, on average, is 10 times faster than the commercially available router which is commonly used by ASIC makers. The layout structures that the router deals with and the routing algorithm is outlined. The effectiveness of our method is demonstrated by our experimental results on industrial SOG chips and a well-known benchmark circuit.

## 1. はじめに

現在、ASIC (Application Specific IC) ではPNのトランジスタペアを隙間なく敷き詰めたCMOS SOG(Sea Of Gates)が主流になっている。SOGでは、予め用意されたセルをベースレイ上に配置し、セルの端子間を結線してレイアウトを行なう。SOGのセルには、マクロセルとメガセルの2種類がある。マクロセルは高さがPNのトランジスタペアの高さと等しく、トランジスタペア列に沿って列状に配置される。メガセルはRAM、ROM等のように複数列のトランジスタペアを含む様々なサイズのセルである。以降、マクロセルのことを単にセルと呼び、マクロセルの列をセル列と呼ぶ。3層配線SOGでは、このセル列間に殆んど隙間がないチャンネルレススタイルでレイアウトされるのが一般的である。すなわち、殆んどセル列はすき間なく配置され、狭い配線チャンネルがわずかに存在するだけである。

これまで幾つかのSOG配置配線ツール[1][2]が報告され、CADベンダーが開発したいくつかの配置配線ツール (例えば[3]) も市販されている。この内、チャンネルレスレイアウトを扱うシステム[2][3]は、メズルータ[4]に基づくgeneral area routerを用いて配線を行う。general area routerは矩形領域内で障害物を避けて端子間を接続するものである。これらの障害物と端子の形状や位置に制約はない。general area routerを用いた上記のシステムの主な欠点は、処理時間の大きいことである。その理由は以下の2点である。(1)general area routerはチャンネルルータのような高速なルータに比べると処理速度が遅い。(2)信号を一本づつ配線することにより、先に配線した信号が後から配線する信号の障害となるため、処理時間を要する引き剥し再配線手法と組み合わせる必要がある。大規模なSOGチップほど処理時間の大きさが顕著となり、例えば400K raw gate規模のSOGでは市販ツールで8時間以上も要する。しかも、チップの設計過程において配置配線ツールは複数回実行される。SOGの特長は短期間でチップを開発できる点にあり、SOGの特長を生かすためには高速なレイアウト手法の開発が急務となっている。

本稿では、チャンネルレスレイアウトにおいて初めてチャンネルベース配線手法を適用した高速な新配線手法を提案する。チャンネルルータ[5]等のチャンネルベース配線手法は、メズルータに比べ非常に高速だが、これまでチャンネルレスレイアウトには適用できなかった。

これは、チャンネルレスレイアウトでは、(a)配線チャンネルが存在せず、又、(b)端子が様々な層、位置でセル内に定義されるため、端子の層、位置を限定する従来のチャンネルベース配線手法[6]では取り扱えなかったためである。本手法では、(a)配線チャンネルがない場合でも、隙間のないセル列間に容量0の配線チャンネルを仮定し、かつ(b)スタブルータを用いて様々な層、位置に定義された端子をセル内の特定層に割り付けることにより、2チャンネルモデルに基づく独自のover-the-cell channel routing [7]を適用する。以下では、本手法のレイアウトモデルとアルゴリズムの概要を説明し、チャンネルレスSOGにおける有効性をSOG実品種とベンチマークを用いた実験結果により示す。

## 2. チャンネルレスSOGレイアウトモデル

本手法で対象とするSOGチップのレイアウト構造を図1に示す。配線には3層 (M1,M2,M3層) を使用し、M1,M3層は水平方向、M2層は垂直方向に配線方向を限定するHVHモデルを用いる。チップ上には配線のための格子線が設定され、水平方向格子線をトラック、垂直方向格子線をコラムと呼ぶ。

SOG回路は、セルとセルの端子間を結ぶ配線から成る。この配線をネットと呼ぶ。各ネットには1~nまでのネット番号が割り付けられている。各端子にもそれぞれネット番号が割り付けられており、同じネット番号が割り付けられた端子は同電位である。セル内の配線にはM1層を用い、M1層で配線できない場合、M2層も用いる。電源/グラウンド配線は、セル列上のトランジスタに対し、M1層で水平方向になされる。セル上領域でのネットの配線にはM2,M3層を主に用いる。

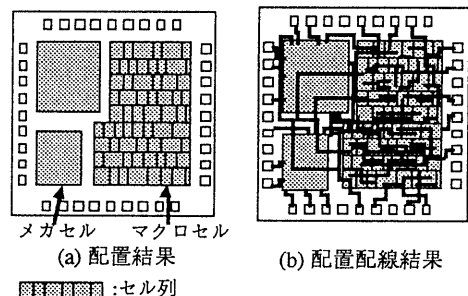


図1 SOGの例

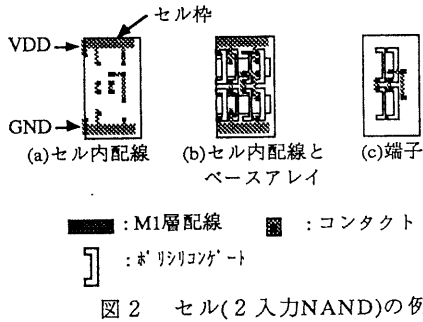


図2 セル(2入力NAND)の例

図2にセルの例を示す。セルの端子は、M1,M2層もしくはポリシリコン層(以降、p層)上にある。端子がP層にある時はその上にP層とM1層のパターンを接続するためのコンタクトを置くことができる。端子は、セル内配線とポリシリコンゲートの集合(正確にいうと、配線とポリシリコンゲートで制限される隣合う格子点の集合)であり、セル内に存在する。この端子モデルはチャンネルレスレイアウトでは必須である。このモデルは従来のセル上チャンネル配線[6]のモデル(端子はM2層に制限し、位置もセル境界の1格子点に制限するというもの)とは異なる。

### 3. チャンネルベース配線アルゴリズム

上記の端子モデルを取り扱うことと、セル上領域において高密度の配線結果を得ることがチャンネルレスSOGを成功させる鍵である。これを実現するため、セル内の端子を取り扱える独自のチャンネルベース配線アルゴリズム[7]を用いる。本配線アルゴリズムは(1)スタブルータ、(2)概略配線、(3)詳細配線、の3つのステップから構成される。以降、各ステップについて述べる。

#### 3.1 スタブルータ

スタブルータでは、様々な層で定義されたセルの端子をM2層の格子点(以降、ピンと呼ぶ)と対応付け、各端子とピンとを接続する。これは、HVHモデルに基づく我々のセル上チャンネル配線では、セルの端子はM2層の端子でなければならないためである。各ピンはセル内の各コラム上に高々1つしか存在しないように設定される。ピンとして各セルの中心トラックになるべく近い格子点を選択する。これは、後で説明

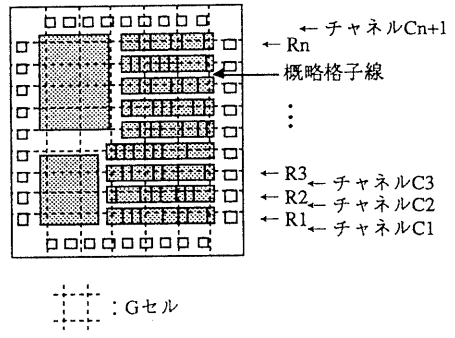


図3 高さ0のチャンネル挿入後の概略配線

する幹線割り付け制約の定義から容易に分かるように、セル上領域へ割り付け可能な幹線数 $t$ (水平方向配線セグメント)を減らさない( $u(t)-l(t)$ を小さくしない)ようにすることで、幹線の割り付けを容易にするためである。

もし、セル列内のM1層のみを用いてネットの全てを配線できる場合、この段階で配線し、後の段階ではこの配線は障害物として扱われる。メガセルの端子については、端子上の1格子点をピンとする。

### 3.2 概略配線

相互に接しているセル列間の境界上に垂直方向の高さが0のチャンネルを挿入する。図3に示すように、概略格子線によってSOGチップは矩形の領域に分割される[8]。分割された各矩形の領域をGセルと呼ぶ。概略配線経路は正確な格子線ではなく、横切るGセルの境界線の集合で表される。Gセルの境界線の容量は、Gセルの境界線と交差するトラック(コラム)の本数である。Gセルの境界線の容量以上に概略配線経路が割り付けられることをオーバーフローと呼ぶ。概略配線問題は、全てのネットの経路に対して各Gセルの境界線でオーバーフローを無くすことである。

詳細配線の段階で最終的にセル上領域内で配線されるネットの幹線も、概略配線の段階ではそのセルの上下に隣接するチャンネル(正確にはチャンネルに対応するGセル群)内に割り付けられる。この理由は、もし、概略配線でネットをセル上領域にも割り付けるならば、容量制限に加えて後述の垂直制約を考慮して各ネットの概略配線を行なわなければならない、概略配線問題ははるかに複雑となるからである。チャンネル内にだけ幹線を割り付けることにより短時間により概略配線結果を得ることができる。

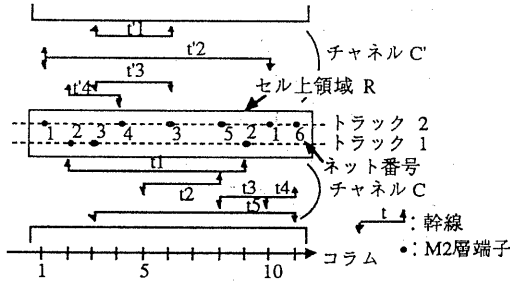


図4 2チャンネルモデルの例

### 3.3 詳細配線

詳細配線では、概略配線結果に基づいて、各配線経路を格子線上に割り付ける。詳細配線の第1ステップでは、各ネットを一つのチャンネルとそれに隣接するセル上領域（もしくはメガセル上領域）で配線できる部分ネットの集合に分解する。第2ステップでは、各チャンネルに割り付けられた部分ネットをチャンネルとその上下に隣接するセル上領域を使って配線し、メガセル上の領域に割り付けられた部分ネットをメーブルータを用いてその領域内で配線する。以下では、我々のセル上チャンネル配線について述べる。

#### (1) 2チャンネルモデル

従来のセル上チャンネル配線[6]が対象とするモデルは、一つのチャンネルとそれに隣接する2つのセル上領域からなる。我々のモデルでは、2つのチャンネルとその間のセル上領域からなる。このモデルは、従来のモデルに比べ以下の2つの点で優れている。(a) 端子がセル列の境界上でなくセル列内にあるため、セル列上に端子を有しない幹線もセル上領域に割り付けられる。(b) 隣合うチャンネル間では最も混雑したコラムが異なる場合が多い。本モデルでは、隣合う2つのチャンネルを同時に配線対象とする為、両者の最も混雑したコラム上の幹線をそれぞれ有効にセル上領域に割り付け、配線することができる。

2チャンネルモデルの一例を図4に示す。Rはセル上領域、CとC'はそれぞれRの下と上に隣接するチャンネル、T (T')を概略配線によりC (C')に割り付けられた幹線の集合とする。セル上領域R上のトラックには下から上へ順に番号を1, 2, ..., \$h\_r\$と付け、この番号をトラック番号と呼ぶ。コラムには左から右へ順に番号を1, 2, ..., wと付け、この番号をコラム番号と呼ぶ。セル上領域RではM2層とM3層のみ、チャンネルC、C'では3層全てを配線に使用し、端子はスタブルータにより必

ずセル内のM2層で定義されるものとする。セル上領域Rの各コラム上には高々1つのピンが存在するだけである。各ピンにはネット番号が割り付けられており、同一ネット番号を持つピンは、ネットiにより接続される。幹線の両端にある矢印は接続すべきピンの方向を示す。

セル上チャンネル配線では配線領域にピンが存在するため、Tに含まれる幹線には割り付け可能なトラック番号に上限値が、T'に含まれる幹線には割り付け可能なトラック番号に下限値が生じる。例えば、幹線\$t\_4\$へ接続する垂直線分はトラック2とコラム10の交点にあるピンを越えることができないため、幹線\$t\_4\$はトラック2に割り付けられない。このような制約を幹線割り付け制約と呼び、幹線毎に割り付け可能なトラック番号の上限値と下限値で表す。幹線tが割り付け可能なトラック番号の上限値を\$u(t)\$、下限値を\$l(t)\$と表す。幹線\$t\_5\$のようにTに含まれる幹線がRへ割り付けできない場合、上限値\$u(t)\$は0とする。幹線\$t'\_5\$のようにT'に含まれる幹線がRへ割り付けできない場合、\$l(t)\$は\$h\_r+1\$とする。Tに含まれる幹線が割り付け可能なトラック番号の下限値\$l(t)\$は常に1、T'に含まれる幹線が割り付け可能なトラック番号の上限値\$u(t)\$は常に\$h\_r\$である。この制約を導入することにより、セル上チャンネル配線でM2層のセル内配線とセル内のピンを扱うことができる。

2チャンネルモデル上でのセル上チャンネル配線の結線要求は以下に示す5つの変数(T, T', U, L', H)により与えられる。

$T = \{t_1, t_2, \dots, t_k\}$  : チャンネルCに割り付けられた幹線の集合

$T' = \{t'_1, t'_2, \dots, t'_k\}$  : チャンネルC'に割り付けられた幹線の集合

$U = [u(t_1), u(t_2), \dots, u(t_k)]$  : Tの各幹線の幹線割り付け制約

$L' = [l(t'_1), l(t'_2), \dots, l(t'_k)]$  : T'の各幹線の幹線割り付け制約

$H = \{h, h', h_r\}$  : C(C')内のM1, M3層トラック数h(h')とR内のM3層トラック数\$h\_r\$の集合

セル上チャンネル配線問題は次のように定義される。

「セル上領域Rとこれに隣接するチャンネルCとC'に対するセル上チャンネル配線問題とは、結線要求(T, T', U, L', H)が与えられた時、チャンネルCとC'での配線において使用されるトラック数がそれぞれhとh'以下になるようにC, C'とR内の配線を行なうことである」

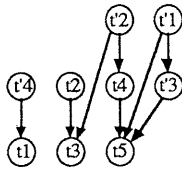


図5 垂直制約グラフ

(2) セル上チャンネル配線手法

従来のセル上チャンネル配線と同様に、セル上チャンネル配線問題をセル上配線問題とチャンネル配線問題の2つに分割する。セル上配線問題は、制約を設けたチャンネル配線問題に定式化する。チャンネル配線問題には3層に拡張したyoshimuraのチャンネル配線[5]を用いる。

セル上配線問題は、セル上領域の上下のチャンネルに割り付けられた幹線間の水平制約、垂直制約に[5]に加えて、幹線割り付け制約を満たすように幹線をセル上領域内のトラック上で配線することである。あるコラムと交差する2つの幹線も、それらが異なるネット番号を持つならば同じトラックに置くことができない。この制約を水平制約と呼ぶ。また、あるネットの垂直線分は他のネットの垂直線分と同一コラム上で交差することができない。この制約を垂直制約と呼ぶ。さらに、セル上配線では、与えられた結線要求で異なるチャンネルに割り付けられていた2つの幹線間にも垂直制約が課せられる。例えば、図4でチャンネルCのコラム8に注目した時、幹線 $l_2$ は $l_3$ より上に置かなければならない。また、同図のコラム2に注目した時、幹線 $l_4$ は $l_1$ より上に置かなければならない。これらの関係は図5に示す垂直制約グラフG(TUT)で表される。

セル上配線では、TUTの中からセル上領域Rに配線する幹線の集合Pを決定した後、Pに含まれる幹線をセル上領域のトラックへ割り付けて配線する。集合Pは、「TUTの中から幹線を一本選択し、選択された幹線をPに加えても、Pに属する全ての幹線をR上のトラックへ割り付けられると判断した時、これをPに加える」という処理を繰り返して決定する。幹線をR上のトラックに割り付けられるかどうかは、幹線間の垂直制約、水平制約[5]と幹線割り付け制約から判断する。

図4を例にとり、我々のアルゴリズムがどのように

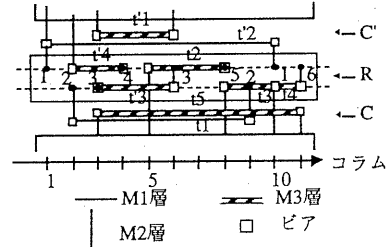


図6 配線結果

働くかを示す。チャンネルCとC'内で使用されるトラック数を最小化するために、Tの中で最も混雑したコラムを通過し、かつ、Tの中で最も混雑したコラムを通過しない幹線(逆もまた同様)をR内で配線することを試みる。2チャンネルモデルを用いるとこの処理を有効に行なえる。この例では、幹線 $l_2, l_3, l_4, l_5, l_1$ がR内で配線される幹線の候補として連続して選択される。 $T_R$ をその時点でR内で配線されるべく選択された幹線の集合とする。最初は $T_R = \{\}$ である。1,2回目の繰り返して $l_2$ と $l_3$ が選ばれ、新たな集合 $T_R' = \{l_2, l_3\}$ が得られる。"マージ操作"と"幹線割り付けアルゴリズム"[7]により $T_R'$ 内の全ての幹線がR上で配線可能かどうかをチェックする。この場合、 $T_R'$ は配線可能なので、 $T_R'$ は $T_R$ と置き換えられる。3回目の繰り返して $l_4$ が選択される。 $l_4$ を $T_R$ に加えることにより新たな集合 $T_R' = \{l_2, l_3, l_4\}$ を得る。 $T_R'$ 内の全ての幹線はR内で配線できないので、 $T_R$ はそのままである。4回目の繰り返して $l_5$ を選択する。 $l_5$ を $T_R$ に加えて $T_R' = \{l_2, l_3, l_4, l_5\}$ を得る。この場合、 $T_R'$ は配線可能なので、 $T_R'$ は $T_R$ と置き換えられる。この処理を最終的な幹線の集合 $T_R = \{l_2, l_3, l_4, l_5, l_1\}$ を得るまで繰り返す。ついで、 $\{l_3, l_4, l_5\}$ と $\{l_2, l_4\}$ をトラック1とトラック2にそれぞれ割り付けて、最終的な結果図6を得る。

図5に示すようなSOGチップ全面でこのアルゴリズムをセル上領域 $R_k$ とその下と上に隣接する $C_k$ と $C_{k+1}$ に適用する。ただし、 $k=1,2,\dots,n$ である。この $R_k, C_k, C_{k+1}$ に対するセル上配線アルゴリズムの過程において、 $C_k$ と $C_{k+1}$ に最初割り付けられていた幾つかの幹線をR内で配線する。その後、チャンネル $C_k$ 内に残った幹線を $C_k$ 内で配線する。ただし、 $C_{k+1}$ に残った幹線はまだ配線しない。これらは、 $R_{k+1}, C_{k+1}, C_{k+2}$ に関してセル上配線を行なう時に、 $C_{k+1}$ もしくは $R_{k+1}$ 内で配線し得るからである。

#### 4. 評価

本手法をC言語を用いてSPARCserver690(28.5MIPS)上に実装し、当社製3層CMOS SOG配置配線ツールHGALOPに組み込んで評価を行った。HGALOPによるSOG回路の配線結果を表1に示す。配置もHGALOPで行っている。全ての回路において、配線不能無しで配線完了した。特に回路Eではゲート使用率が98%と高い(完全な)チャンネルレスレイアウトを実現している。表1と同じ配置結果に対し、市販ツールを用いて配線した結果を表2に示す。HGALOPは市販ツールと比べて、6~15倍高速であった。回路によって処理速度の比に幅がある。これは、HGALOPではチャンネルベース配線アルゴリズムで配線できなかったネットをメズルータで結線するため、配線が混雑しメズルータで結線するネット数が多くなるほど遅くなるためである。

次に、MCNC(Microelectronics Center of North Carolina)によるベンチマーク回路PRIMARY1-GAで評価した結果を表3に示す。表中のチャンネル幅は、全ネットを配線するのに必要な配線チャンネルの高さである。配線に要した処理時間は35秒であった。ほとんどの配線チャンネルに配線経路を出力しておらず、本ルータによりチャンネルレスレイアウトを生成できることがわかる。ただし、実験では以下の仮定を行った。(1)M1層とM3層の配線ピッチは等しい。(2)セル上領域では、M2、M3層のみ使用する。(3)セル上領域でビアの配置を許す。(4)ピンは各セルの中心トラックに存在する。

表1 HGALOPによるSOGの配線結果

	A	B	C	D	E
ベースレイサイズ [raw-gates]	250K	400K	250K	400K	30K
マクロセル数	23,771	19,412	47,380	40,850	6,574
メガセル数	14	0	0	0	0
信号数	26,509	36,318	53,011	58,587	10,840
CPU時間 [時間]	0.5	0.7	0.9	2.0	0.2
配線不能本数	0	0	0	0	0

表2 市販ツールによる表1と同じSOGの配線結果

	A	B	C	D	E
CPU時間 [時間]	7.5	8.5	6.9	12.2	2.1
配線不能本数	0	0	0	0	0

表3 HGALOPによるPRIMARY 1-GAの配線結果におけるチャンネル幅、使用トラック数

チャンネル番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
チャンネル幅	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	1	1	0	0	0	0
M1,M3層での使用トラック数	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	2	1	2	1	0	0	2	1	0	0	0	0

#### 5. 結論

隙間のないセル列間に容量0の配線チャンネルを設けることにより、チャンネルベース配線手法を3層チャンネルレスSOGへ適用し、市販ツールよりも平均10倍の高速化を実現した。HGALOPは高速なタイミング駆動min-cut配置プログラム[9]と本配線プログラムから成り、現在までに70以上のSOG実品種に適用している。

#### 謝辞

本研究を企画され、御指導を戴いた当社佐藤興二博士に感謝します。

#### 参考文献

- [1] C.Ng, S.Ashtaputre, E.Chambers, K.Do, S.Hui, R.Mody, and D.Wong, "A hierarchical floor-planning, placement, and routing tool for sea-of-gates designs," in Proc. CICC, May 1989, no. 3.3.
- [2] M.Igusa, M.Beardslee, and A.Sangiiovanni-Vincentelli, "ORCA A sea-of-gates place and route system," in Proc. 26th DAC, 1989, pp.122-127.
- [3] A. Fujimura, "Automating the layout of very large gate arrays," VLSI System Design, April 1988, pp.22-27.
- [4] C.Y.Lee, "An algorithm for path connections and its applications," IRE Trans. on Electronic Computers, vol.EC-10 No.3, September 1961, pp.346-365.
- [5] T.Yoshimura, "An efficient channel router," in Proc. 21st DAC, 1984, pp.38-44.
- [6] J.Cong and C.L.Liu, "Over-the-cell channel routing," IEEE Trans. CAD, vol.CAD-9, pp.408-418, 1990.
- [7] M.Terai, K.Takahashi, K.Nakajima and K. Sato, "A new model for over-the-cell channel routing with three layers," in Proc. of ICCAD 1991, pp.432-435.
- [8] B.S. Ting and B.N.Tien, "Routing techniques for gate array," IEEE Trans. CAD, vol.CAD-2, no.4, pp.301-312, 1983.
- [9] M.Terai, K.Takahashi and K.Sato, "A new min-cut placement algorithm for timing assurance layout design meeting net length constraint," in Proc. 27th DAC, 1990, pp.96-102.