

## 予測法に基づく高精度イベントドリブン回路シミュレーション方式

藤澤 久典 川藤 富美代 北浦 智康 鹿毛 哲郎

(株) 富士通研究所

〒243-01 神奈川県厚木市森の里若宮10-1

あらまし

我々は、MOS回路を対象とした新しい回路シミュレーション方式を開発した。本方式は、インプリシットな計算法を予測電位式の計算に用い、予測電位の変化を伝える信号をイベントとして取り扱うイベントドリブン式回路シミュレーションである。さらに、解析に必要な部分回路のみを自動的に抽出しシミュレーションを行う有効ブロック選択機能と組み合わせることにより、精度の低下を招くことなく処理時間の短縮を可能にする。いくつかの実用回路に対して適用した結果、従来の汎用回路シミュレーション方式と比較して、同等もしくはより良い精度で、約3～5倍、有効ブロック選択機能を使用することにより10～20倍の速度性能が得られた。

和文キーワード 回路分割、回路シミュレーション、イベントドリブン法、有効ブロック選択

## A Precise Event-Driven Circuit Simulation Based on Voltage Prediction

Hisanori Fujisawa Fumiyo Kawafuji Tomoyasu Kitaura Tetsuro Kage

Fujitsu Laboratories Limited

10-1 Morinosato-Wakamiya, Atsugi, Kanagawa 243-01 Japan

Abstract

We have developed a new circuit simulation method for MOS transistor circuits. This method adopts implicit calculation method for prediction voltage formula and an event-driven method in which an event is used as a signal to communicate the variety of the prediction voltage formula. And adding effective block selection function which selects necessary blocks for analysis automatically and simulates only the blocks, a precise simulation can be fasten. Actually compared to a SPICE-like simulator, the same or a higher level of accuracy and 3 to 5 times the speed, in the case of utilizing effective block selection function 10 to 20 times the speed, can be achieved in several industrial circuits.

英文 key words Circuit Partition, Circuit Simulation, Event-Driven, Effective Block Selection

## 1. 序章

SPICE [1]やASTAP [2]に代表される汎用回路シミュレータの開発以来、回路シミュレータは回路設計の分野において必要不可欠なものとなった。しかし、近年の設計技術の進歩に伴う回路の大規模化や設計期間の短縮化の要求により、直接法による回路シミュレータは収束性による回路規模の限界や処理速度が問題となってきた。そのため、大規模な回路を高速に取り扱うことのできるシミュレーション方式が要求されるようになってきた。

その後、MOTIS [3]やSPLICE [4]といったMOSFETの特徴を利用したタイミングシミュレータの開発が活発に行われた。これらはマルチレート性を生かすため緩和反復の回数を制限することでシミュレーションを実現していたが、精度や信頼度の点で難があった。また、緩和法を用いたシミュレータの開発も行われたが、緩和により回路が安定するまでに多くの反復計算が必要になるなど、効率の点で問題があった。

そこで、CINNAMON [5]などエキスプリシットな計算法を用いることにより処理速度の改善をめざしたシミュレータの開発が盛んに行われた。しかし、これらの方式は大幅な処理速度の向上を実現したものの、複雑なトランジスタモデルが取り扱えないなどによる精度の問題や、場合によっては安定性の問題が存在する。

我々は、MOS回路を対象に、精度に重点を置き、従来の汎用回路シミュレータにかわる回路シミュレータを目指して開発を行った。今回開発したシミュレータは、回路をいくつかの部分回路（以下ブロックと呼ぶ）に分割し、ブロック間でイベントの送受を行うイベントドリブン方式である。本方式の特徴としては、汎用回路シミュレーション方式に用いられているインプリシットな計算法を、緩和反復計算ではなく予測電位式の計算に使用していること、イベントを予測電位の変化を伝える信号として使用すること、効率的なシミュレーションを実現する有効ブロック選択機能を備えていることなどが挙げられる。以下、本方式について説明する。

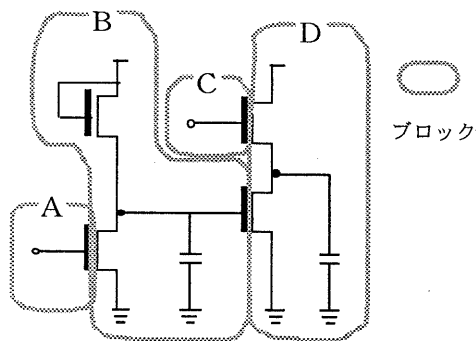


図1 ブロック分割

## 2. 方式

### 2. 1. 回路分割

異なるブロック間のノード電位変化の影響は、イベントを介して伝えられる。そのため、強く結合したノードを、別々のブロックに分離してしまうと、イベントが多数発生して計算効率が劣化するばかりでなく、全体の精度を保つために、より厳しい条件でイベントを発生させる必要が生じ、一層の計算効率の劣化が考えられる。そのため、回路分割では、相互に強く結合したノードがひとつのブロックに含まれるように回路分割を行なう必要がある。

一方、回路のマルチレート性を最大限生かすためには、異なる電位変化レートを持つノードはできるだけ多くのブロックに分割することが望ましい。

以上、2点をふまえて回路分割を行なう必要がある。我々が対象としているMOS回路を構成するMOSトランジスタは、トランジスタのゲートと、ソースおよびドレインとの間は電氣的に絶縁しており、またゲートはその電界効果によりチャンネル電流を制御することによりソースおよびドレインに影響を及ぼしているため、異なるレートで変化する傾向にある。そこで、本シミュレーション方式では、MOSトランジスタのゲートにて分離することにより、回路を分割する。図1の回路を例として回路分割を行なうとA、B、C、Dの4つのブロックに分割される。

### 2. 2. ブロック内部ノード予測電位計算

本方式において、イベントはブロックに対して以降の内部ノードの予測電位を再計算すべき時刻を知らせる信号と捉えることができる。こ

ここでは、ブロックがイベントを受けとった後のノード電位変化の予測式の計算手法について説明する。

イベントを受け取ったブロックは、まず陰的積分法による内部ノード電位計算による打ち切り誤差が規定値内におさまる時刻を予測する。この予測時刻は、前回の内部電位計算時の誤差から類推して求める。次にこの予測時刻における内部ノード電位を陰的積分法とニュートンラフソン法により計算する。計算にあたっては、この時刻におけるブロック外部ノードの電位情報が必要となるが、この値として各ブロック外部ノードの予測式から求められる値を用いる。

次にこの時刻での正確な打ち切り誤差を計算する。もし、打ち切り誤差が規定値内であれば、このノード電位の結果を採用する。それに対し、規定値を越えているようなノードが一つでも存在する場合には、新たに規定値内におさまると予測される時刻を求め、再びその時刻において内部ノード電位計算を行ない、打ち切り誤差をチェックする。このようにして、最終的に打ち切り誤差が規定値以内におさまるまで、時刻の予測と電位計算を繰り返す。この陰的積分法の打ち切り誤差を制御する規定値を与える変数を時間ステップ制御変数 (Time Step Control Parameter、以下TSC変数とする) と呼ぶことにする。

以上の結果、得られた時刻と値から補間法により、イベントを受けとった時刻以降の内部ノード電位の変化を表す予測式を求める。

### 2. 3. イベントの生成

イベントには二つの種類が存在する。一つは、自身のブロックに対するイベントであり、もう一つはファンアウトブロックに対するイベントである。

自身のブロックに対して送付されるイベントは、ブロック内部ノード電位計算による打ち切り誤差を規定値内に抑えるために生成されるイベントであり、自己制御イベントと呼ぶ。このイベントは、ブロック内部ノード電位計算において、最終的な計算結果が規定誤差内におさまった計算時刻において生成され、自分自身のブロックに対して送付される。

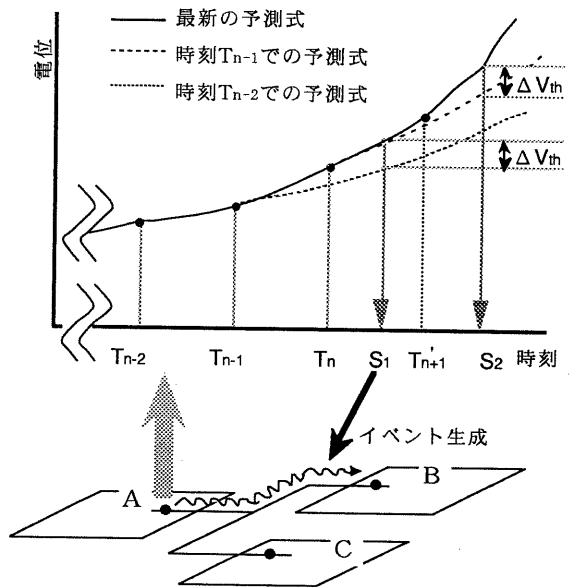


図2 イベントドリブン方式

一方、ファンアウトブロックに対するイベントは、ブロックの予測電位の変化を伝えるものであり、予測補正イベントと呼ぶ。ブロックの内部ノード電位はファンインブロックの予測電位値を用いて計算されるが、シミュレーションの進行に伴い、計算に用いた予測電位と実際の電位との間で誤差が生じる。予測補正イベントは、この差が規定値に達した場合に、古い予測電位を用いて計算したブロックに対して送付されるイベントである。例えば、ブロックAのファンアウトにBとCの二つのブロックがつながっているような回路 (図2) を考えてみよう。時刻 $T_{n-2}$ 、 $T_{n-1}$ 、 $T_n$ はブロックAがイベントを受け取った時刻であり、 $T_{n+1}$ は時刻 $T_n$ 以降の予測計算を行った時刻である。また、時刻 $S_1$ は時刻 $T_{n-2}$ と $T_n$ における予測式の電位差が規定値 $V_{th}$ に達する時刻であり、時刻 $S_2$ は時刻 $T_{n-1}$ と $T_n$ における予測式の電位差が規定値 $V_{th}$ に達する時刻とする。これらの間には $S_1 < T_{n+1} < S_2$ という関係があるものとする。もし、ここで、ブロックB、Cにて内部ノード電位の計算を、各々時刻 $T_{n-2}$ と時刻 $T_{n-1}$ における予測式を用いて行っていたとすると、時刻 $S_1$ になるとブロックBに対してのみ予測補正イベントが送付されることになる。一方、ブロックCに対する時刻 $S_2$

のイベントは生成しない。何故ならば、少なくとも時刻 $T_{n-1}$ には自己制御イベントが生じ新しく予測電位が計算されるためである。

この予測補正イベントの生成条件を決定する規定値を、予測補正制御変数 (Prediction Reverse Control Parameter、以下PRC変数とする) と呼ぶことにする。

## 2. 4. イベント スケジューリング

生成されたイベントは一度イベントキューに送られる。イベントキューでは、そのイベントが有効かどうかの検査を行う。送られてきたイベントが予測補正イベントの場合、イベントキューに積まれている同じブロックに送付される自己制御イベントと時刻の比較を行い、新しく送られたイベントの方が遅い時には廃棄される。一方、自己制御イベントの場合には、同じブロックに対して送付されるイベントはこのイベントを除いてすべてイベントキューから削除される。いずれの場合も、自己制御イベントによる新しい電位計算では、新しい予測値が用いられるため、古い予測値に基づいて発生したイベントは無意味なものとなるからである。

削除されずに残った新しいイベントはイベントキューに時間順に積まれる。これらのイベントは指定の時刻になると、イベントキューから引き出され、目標のブロックに送付される。

## 2. 5. 有効ブロック 選択機能

回路シミュレーションを実行する場合、常に回路内のすべてのノードについて解析を必要としているわけではない。ある特定のノードについてのみ解析をしたい場合も多い。そのような場合に、有効ブロック選択機能は、そのノードの解析に必要なブロックを自動的に選択し、選択したブロックに対してのみイベントを発生させることにより、効率的にシミュレーションを実行する機能である。

有効ブロックの選択は、大きく2段階の処理に分けられる。まず、第一段階では、各ブロックのファンアウトレベルの深さの計算を行なう。ここで、ファンアウトレベルの深さとは、あるブロックから解析対象であるブロックまでのパスを抽出し、そのパスを解析対象であるブ

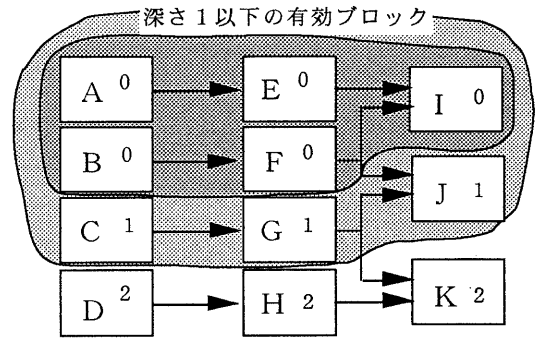


図3 有効ブロック選択

ロックからたどった場合に、ブロックからブロックの接続パスを信号の流れの方向に通過した回数である。パスが複数ある場合や、解析対象ブロックが複数ある場合には、最も少ない深さをそのブロックのファンアウトレベルとして選択する。例として図3の回路を考える。今、ブロックIを解析対象回路とすると、例えばブロックCまでのパスは $I \rightarrow F \rightarrow J \rightarrow G \rightarrow C$ である。このパスにて信号と順方向の流れは $F \rightarrow J$ のパスのみである。従ってブロックCの深さは1となる。このようにして、図3の回路のブロックの深さを求めると、深さ0のブロックがA、B、E、F、I、深さ1のブロックがC、G、J、深さ2のブロックがD、H、Kとなる。

次の段階では、規定した深さ以下のブロックを選択して、そのブロックを有効ブロックとする。MOSトランジスタでは、ゲートに対するソースおよびドレインの影響はほとんどないとはいえ、寄生容量が存在するためわずかながらも影響が存在する。そのため、高精度のシミュレーションを実現するためには、ある程度ファンアウトブロックの影響を考慮する必要がある。そこで、有効ブロックの選択にあたっては、ファンイン側のみブロック (深さ0のブロック) を選択するだけでなく、必要な精度に応じて深さを規定することにより、ファンアウトからの影響を考慮したブロック選択を可能にしている。

## 3. 実験

### 3. 1. 精度と速度の関係

本方式では、TSC変数とPRC変数を変化させ

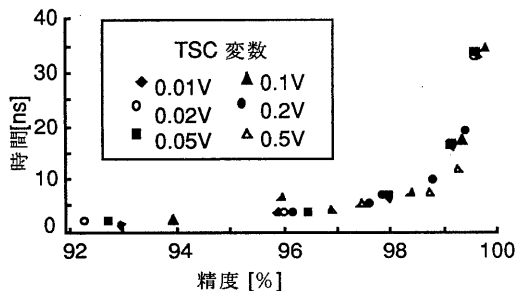


図4 精度と時間の関係

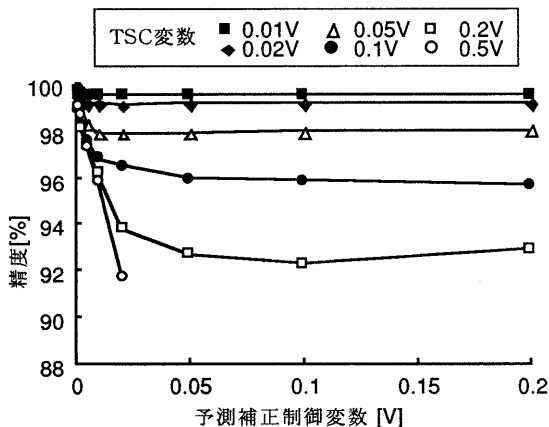


図5 精度と変数の関係

ることによりシミュレーションの精度と処理速度を変えることができる。

トランジスタ数11、ノード数5の5段インバータチェーンループ回路を対象に、時間と精度の関係を示したものが図4である。ここで、精度とは、外部入力が中間電位（VDDが5Vであれば2.5V）を通過した時刻から、対象としているノードの電位が中間電位を通過するまでの時間を遅延時間とし、この遅延時間を基準とする遅延時間との比で表している。精度の低いレベルでは、精度の悪化に比べて速度はあまり向上していないが、基本的に精度と時間との間にはトレードオフの関係があることがわかる。

二つの変数と精度の関係を詳しく示したものが図5である。ここでは、PRC変数の値を横軸に精度を縦軸にとっている。図からわかるようにPRC変数が小さな範囲では、PRC変数の減少に伴い精度が向上するが、PRC変数が大きくなるとほぼ一定の値を示すようになる。これは、PRC変数が大きな範囲ではTSC変数により制御

表1 テスト回路

回路	種類	回路構成		
		接点数	トランジスタ数	二端子素子数
A04	加算器	568	1080	1199
B11	バッファ	92	232	239
C43	カウンタ	636	1144	1247
C48	カウンタ	724	1352	1352

表2 回路分割結果

回路	ブロック数	節点数		トランジスタ数		ループ数
		平均	最大	平均	最大	
A04	324	1.79	6	3.51	12	0
B11	72	1.25	2	3.62	20	4
C43	240	2.04	7	3.76	14	16
C48	252	2.36	9	4.51	18	15

されるタイムステップ間におけるファンインノードの予測電位がPRC変数で規定される誤差の範囲内におさまってしまうためと考えられる。事実、この領域ではほとんど予測補正イベントは発生していない。

### 3. 2. SPICE式シミュレータとの比較

本シミュレータの目標が高精度のシミュレーションの実現にあるため、SPICE式回路シミュレータとの比較を行った。対象とした回路はノード数92~724、トランジスタ数232~1352の規模の4つの回路である（表1）。これらの回路をブロックに分割した結果が表2である。各回路は平均3以下、最大でも9のノード数を持つブロックに分割することができる。トランジスタ数も各ブロックあたり平均3~4個、最大でも20個となっている。また回路にはループが存在し、特にC43回路では6つのブロックからなるループが16個存在している。

これらの回路に対してシミュレーションを実行した結果が表3である。精度比較の基準値としては、通常のSPICE式シミュレーションにおけるシミュレーションパラメータを厳しく設定し、3倍以上の時間をかけて高精度にシミュ

表3 シミュレーション結果

回路	SPICE方式			本方式				有効ブロック選択機能付本方式			
	誤差[%]		時間 [s]	誤差[%]		時間		誤差[%]		時間	
	最大	平均		最大	平均	実測[s]	倍率	最大	平均	実測[s]	倍率
A04	0.83	0.66	1185	0.73	0.45	287	4.12	0.71	0.46	53	22.3
B11	1.07	0.66	184	0.99	0.79	54	3.41	0.88	0.72	17	10.9
C43	1.03	0.67	8456	0.91	0.69	2137	3.96	0.91	0.69	545	15.5
C48	1.07	0.72	11345	0.90	0.68	2298	4.94	0.90	0.68	593	19.1

- \*1 誤差は高精度の条件で行ったSPICE式シミュレータの結果との差を百分率で表したものである。
- \*2 S-4/2を計算機として使用。

レーションした結果を用いている。この実験においてTSC変数は0.03V、PRC変数は0.2Vに設定した。有効ブロック選択機能を使用していない場合、SPICE式シミュレーション方式とほぼ同等の精度で約3～5倍の速度性能が得られた。図6に本方式とSPICE方式のシミュレーション結果の波形の一部を示す。

有効ブロック選択機能を適用したシミュレーションでは、有効ブロックの選択基準となるファンアウトブロックのレベルは1に設定し、また解析対象ノードとしてすべての外部出力ノードのうち4分の1を選択した。その結果、この機能を使わない場合に比べて精度を悪化させることなく、さらに3～4倍高速な結果が得られている。この値は解析対象ノードの割合から考慮して、ほぼ妥当な値となっている。

#### 4. 総括

本方式により、SPICE型回路シミュレーション方式と同等の精度で、3～5倍高速なシミュレーションを実現することができた。さらに有効ブロック選択機能を利用することで、精度を悪化することなく10～20倍高速化することができ、回路の一部をシミュレーションしたいような場合に有効であることを示した。

今後は、有効ブロック選択機能におけるファンアウトレベルの深さの精度への影響について詳細に説明を行うとともに、さらに多くの回路に対してテストして性能評価を行い、その実用性について検証していく予定である。また、並列プロセッサシステム上への応用も考えている。

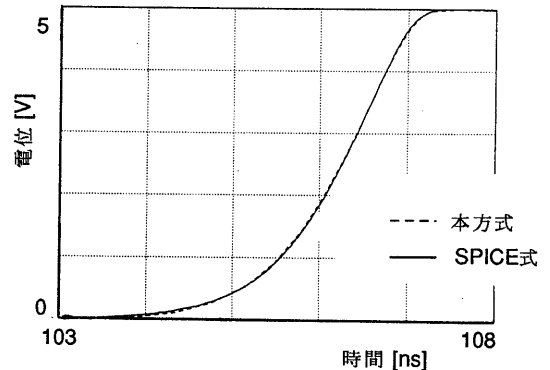


図6 シミュレーション波形

#### 参考文献

- [1] L.W.Nagel, "SPICE2, A Computer Program to Simulate Semiconductor Circuits", Univ. of California, Berkeley, Memo No. ER-M520, May 1975.
- [2] W.T.Weeks, A.J.Jimenez, G.W.Mahoney, D.Mehta, H.Qassemzadeh, and T.R.Scott, "Algorithms for ASTAP - A Network Analysis Program", IEEE Trans. Circuit Theory, CT-20(6), pp 628-634, Nov. 1973.
- [3] B.R.Chawla, H.K.Gummel and P.Kozak, "MOTIS-an MOS Timing Simulator", IEEE Trans. Circuits Syst., Vol. CAS-22, pp901-909, Dec. 1975.
- [4] R.A.Saleh, J.E.Kleckner, and A.R.Newton, "Iterated Timing Analysis and SPLICE1", ICCAD'83 Digest, Sept. 1983.
- [5] L.M.Vidigal, S.R.Nassif, and S.W.Director, "CINNAMON: Coupled Integration and Nodal Analysis of MOS Networks", IEEE DAC-86, pp179-185, 1986.