

## 並列処理型DSPによるデペンダブルな信号検出

楢原 長次 黒川 恭一 松原 隆 古賀 義亮

防衛大学校 情報工学教室

〒239 神奈川県横須賀市走水1-10-20

電子メール: MATUBARA@JPNDA.BITNET

あらまし 近年、各種信号処理において汎用性や高速化のため専用の高性能プロセッサDSPが広く用いられている。DSPはデジタル信号処理に多用される積和演算を高速化しており、命令とデータを同時にアクセスすることが可能である特徴を有する。

本報告では、試作した複数のDSPをバス結合した並列処理型DSPによって、デペンダビリティ向上を目標としたFFT及びデジタルフィルタによる信号検出法について提案し、その有効性を明らかにする。

和文キーワード 並列処理, デペンダビリティ, バス結合, DSP, FFT, デジタルフィルタ

## Dependable Signal Detection by Parallel Processing DSP's

Choji NARAHARA, Takakazu KUROKAWA, Takashi MATSUBARA and Yoshiaki KOGA

Department of Computer Science, National Defense Academy

1-10-20 Hashirimizu, Yokosuka 239, Kanagawa

E-mail: MATUBARA@JPNDA.BITNET

Abstract In recent years, high performance processor DSP's on the market are broadly applied to various applications for high speed signal processing. DSP's are designed to have such features that the product-sum operation is performed within single clock for signal processing and are accessible concurrently instruction and data.

In this paper, we present dependable signal detection methods by FFT and digital filter to be processed in the parallel processing system developed in our laboratory by DSP's. We also present experimental results to show effectiveness of the presented methods.

英文 key words parallel processing, dependability, bus connection, DSP, FFT, digital filter

## 1. はじめに

近年、様々な信号処理の応用分野において制御の高速化・高精度化に伴い、さらに高速で大規模な信号処理を要求とする場合が多くなっている。その要求に答えるため、専用プロセッサによる並列処理システムの導入が進められ<sup>[1]</sup>、その一環として積和演算を高速化し、プログラムをパッケージ化して内部に保有しているDSPを使用した並列処理システムによる信号処理の研究が進められている<sup>[2]</sup>。

本報告では分散並列決定方式のバス結合方式を用いた複数個のDSPによる並列処理システム<sup>[3]</sup>によって、デベンダビリティの向上を目標としたFFT、デジタルフィルタの並列信号処理方式について提案し、その評価を行った結果について述べる。

ハードウェア構成としてシステムの概要及び機能について述べ、次に並列処理手順の概要を述べる。さらに、このシステムを用いた並列信号処理への応用として、デベンダビリティを向上したFFT、デジタルフィルタによる信号の周波数検出法及びその実験的な検証結果を示す。

## 2. 並列DSPシステムのハードウェア構成

### 2.1 システムの概要

本システムは、複数のDSPをバス結合したMIMD型並列処理システムである。本システムの概要を図1に示す。

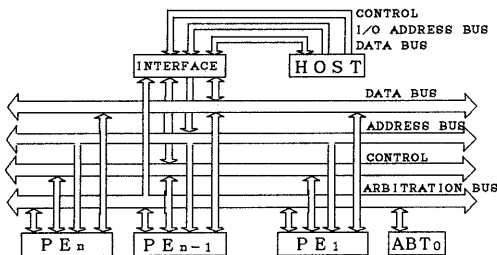


図1 システムの概要

データの入出力及びシステムの監視用に汎用パーソナルコンピュータのホストを設けてある。システムバスは、32ビットデータバス、15ビットアドレスバス、21本のコントロールと6ビットアービトレーションバスから構成されている。コントロールは、ホストと各PE間のハンドシェイク信号等から構成される。アービトレーションバスの終端に、相互通信の終了通

知にかかわる回路(ABT:Arbitration Bus Terminator)を組み込んである。

なお、各PEの添え字は、PEに与えられたID番号であり、特に0番をABTに与えている。

バス結合方式による構成は、拡張が容易であること、複数のPEに同時にデータ転送可能である点等が特徴である。本システムにおいて個々のPEは、基本的には非同期、独立して並列に動作することができるようにしてあり、PE間のバスの使用権を調停し、バスマスタを決定するために、各PEには非同期に動作する分散型並列決定方式のローカルアービタを用意した。全てのPEが同時にデータを受信するブロードキャストを重視した制御方式を採用している。

### 2.2 PE

個々のPEは、図2のような構成となっている。32ビットDSPを核とし、32KワードのRAM×2、1チップのPAL上に構成した6ビットローカルアービタ、インタフェース回路等によって構成される。このDSPはデータとインストラクションを別々のRAMを用いるハーバード方式である。図3に試作したボードの外観を示す。1枚のボードに2組のPEを組み込んである。

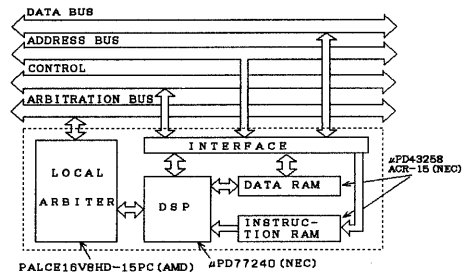


図2 PEの概要

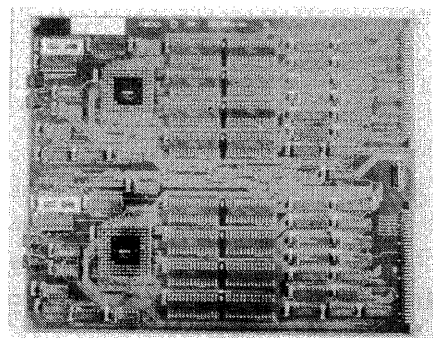


図3 ボードの外観

### 2.3 ハンドシェイク

ホストと各PEとのデータ通信には以下に述べる様にハンドシェイク機構を用いている。

ホストとのハンドシェイク用として、各PEには、ホストに対して並列処理の完了を知らせるためのハンドシェイクポート(FLAGポートとBUSPREZポート)を設けてある。各PEのFLAGポートは、ワイヤード論理により互いに接続され、これがホストの監視用ポートとDSPの入力ポートに入る。これによって全PEが処理を完了してFLAGポートをアクティブにすると、DSPはBUSPREZ信号を受信することになり、これによりデータRAMを切り放してホストからのアクセスの準備をする。

一方ホストは、全てのPEが処理を終了したことを了解し、各PEのデータRAMに処理結果を読み取る方式を用いている。

### 2.4 アービタ

一般にアービタの種類としては、大きく分類すると集中型と分散型の2つがある。このうち拡張性の高いのは分散型の方である。分散型を更に分類するとトークンパッシング、トークンリング、デジチェーン、並列決定方式、CSMA/CD等がある。その中で、調停時間が短いのは並列決定方式なので、本システムではFuture Busで用いられている分散並列決定方式のアービタを採用した。

### 2.5 相互通信

本システムは、出力を必要とするアービトレーションに勝ち残った1つのPEがデータをブロードキャストし、他の全てのPEがそれを受信するという通信形式をとる。

各PEが並列にデータを処理した結果、データ出力の必要が無い、又はデータ出力の必要があってもアービトレーションの結果バスマスタになれなかった時にはデータを受信する。

### 3. 並列処理手順の概要

本システムの基本的な処理手順を図4に示す。処理は大きくホスト側とPE側に分かれる。

まずイニシャルロードとしてホスト上に用意した各PE用のインストラクション及び入力データをインストラクションRAM及びデータRAM

AMに転送する。イニシャルロードが完了したあと、ホストからのリセット解除によりDSPは動作を開始する。次に、DSPにインタラプトをかけることにより、各PEはイニシャルロードされたインストラクションに従ってそれぞれの処理を開始する。各PEは処理が終了するとハンドシェイク信号をアクティブにする。ホストはPEが処理をしている間、システムの監視をしており、PEの処理が終了した時点でPEのデータRAMの内容を読み込み、結果の解析を行うと同時に次の処理を実行させる。

各プログラムは、ホスト側はC言語、DSP側はアセンブラ言語で作成した。

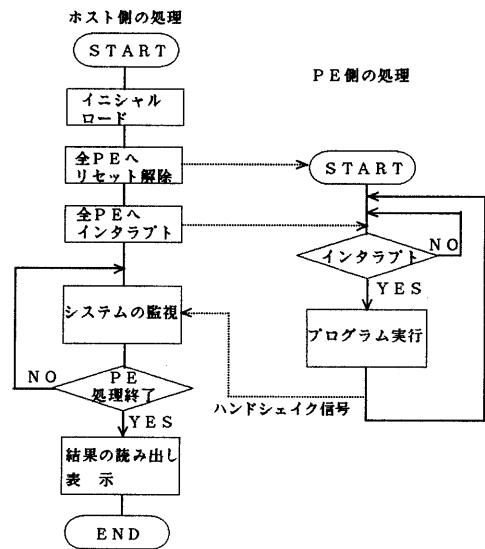


図4 処理手順

### 4. 並列信号処理

信号処理への応用として、デペンダビリティの向上を目的とした例えばドップラ信号のように周波数変動のある信号の検出を試みた。未知の信号を検出し周波数を決定する手段としてFFT及びデジタルフィルタが考えられる<sup>[4]</sup>。そこで、本システムを用いたFFTによるデペンダブルな信号検出法及びデジタルフィルタによる信号の周波数検出法の提案と実施例を以下に示す。

#### 4.1 FFTによる信号検出

##### 4.1.1 FFTによる信号検出法

FFTプログラムは、DSPの内部RAMに格納できるデータ数として512ポイント、内

部のバス構造を有効に利用できる時間間引き型を用いた。

本システムを使用した信号検出法を図5に示す。各PEは、512ポイントFFTを繰り返し実行する。ここで、FFT処理範囲の一部を互いにオーバーラップさせるよう入力データの開始ポイントを128ポイントずつずらしたデータに対し各PEはFFT処理を実行する。

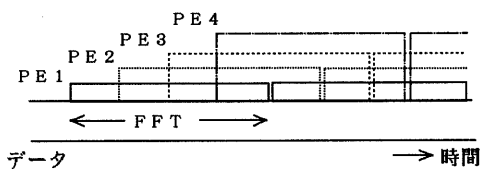


図5 FFTによる信号検出法

#### 4.1.2 FFT信号検出実施例

##### (1) FFT入力データ

雑音が重なった断続波信号には、疑似雑音として物理的な乱数発生器より取得した乱数データを用い、この乱数データに正弦波信号を加えて入力データとしている。なお、正弦波信号の振幅を変えて加えることによってSN比を変化させている。図6、図7に入力データ作成のブロック図とそれぞれのデータを示す。

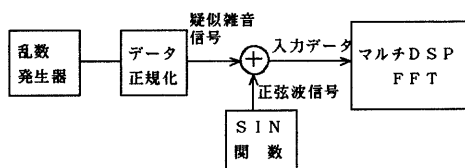


図6 入力データ作成

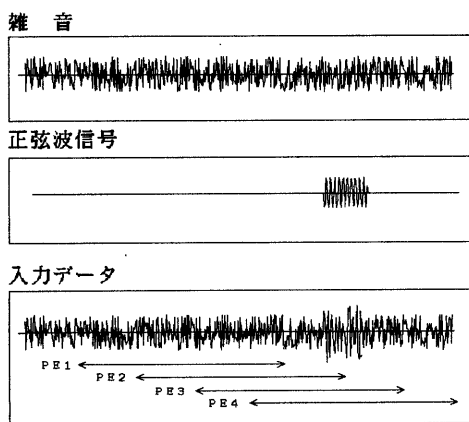


図7 入力データ (SN比 0dB)

##### (2) FFT出力結果

雑音が重なっている正弦波信号にFFT処理を行った結果を図8に示す。

それぞれのFFT処理範囲は、図7に示すようにPE1は雑音のみであり、PE2は正弦波信号の半分のみを処理している。PE3とPE4は信号全体をカバーしている。

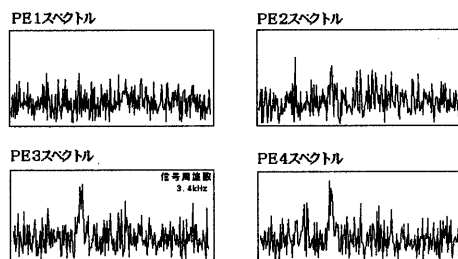


図8 FFT出力結果

1PEのみで実施した場合、PE2のように信号がFFT処理の境界部分に入ってきたときには、雑音レベルより信号レベルが低く信号を見逃してしまう可能性もある。しかし、本実施例のように処理の一部を互いにオーバーラップさせることにより、信号をより確実に検知することができる。また、PE3とPE4は同様に信号を検知することができるが、PE3により検出結果が報知する時間はPE4による信号発生時間からFFT処理完了までの時間に比べて短くてすみ情報をより速く得ることができる。

さらに、仮にPE1台が故障しても他のPEが動作しているため、データの取り逃しがなく致命的な欠陥とならないためデペンダビリティが向上する。なお、512ポイントFFTに要する処理時間は約5.2msecである。

##### 4.1.3 周波数検出能力の検討

サンプリング周期を50μsecとし、信号の持続時間とSN比をパラメータにしたときの512ポイントFFTの周波数検出能力を調べた結果を図9に示す。図中のプロットは、検知可能レベルを(信号レベル-雑音レベル)>0.1dBとしたときのFFTの信号の持続時間に応じて検知できる最低のSN比を表している。

FFTでは信号の持続時間が短い場合、SN比が低いときは雑音のパワーレベルが高くなっているため誤って検知してしまうことがある。

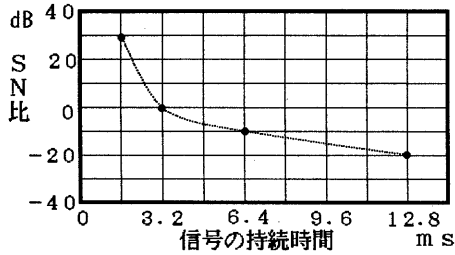


図9 周波数検出能力

#### 4.1.4 等価Q特性の検討

信号の持続時間によるFFTによる場合の等価的なQの変化を調べた結果を図10に示す。なお、Qは信号スペクトルピークの-3dBの基本周波数分解能幅と定義している。

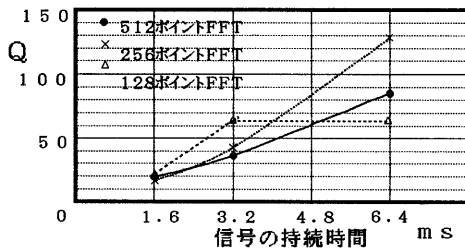


図10 FFTのQ特性

FFTポイント数に対し信号の占める割合が少ないと等価的にQが低くなるのがわかる。

## 4.2 デジタルフィルタによる信号検出

### 4.2.1 デジタルフィルタによる信号検出法

信号検出法は、基本的な手段として2分探索法を用いた。検出法を図11に示す。第1段階として全探索範囲を4分割し、それぞれの区間を4PEに担当させフィルタ処理を行っている。まず、4つの各フィルタ出力を比較して信号の存在範囲を限定する。出力が最も大きいフィルタの領域に信号が存在するので、第2段階として周波数探索範囲をその領域に設定し同様の比較をする。ここで、近づいてきた目標が遠ざかるときのドップラ周波数の変化のように急変する周波数に対処するため2PEは検出・追尾用として使用し、残りの2PEは、バックアップ監視フィルタとして全探索範囲をカバーするように設定する。フィルタ1、2の出力がスレッシュホールド以下の場合、バックアップ監視フィルタに依る。これを3回、4回と繰り返すこと

により特定の周波数を検出、追尾する。

使用したフィルタ構成は2次のIIR帯域通過フィルタである。

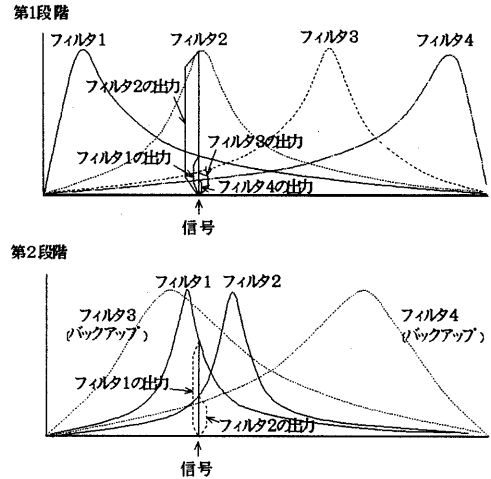


図11 フィルタによる信号検出法

### 4.2.2 検出用フィルタの設計

信号の周波数範囲を限定していくために、フィルタのQを高めていく必要がある。この場合、フィルタのQが高くなるとフィルタ出力が安定するまでにかなりの時間がかかるという問題がある。サンプリング周期を50μsecとし、出力が安定するまでに要する時間を図12に示した。

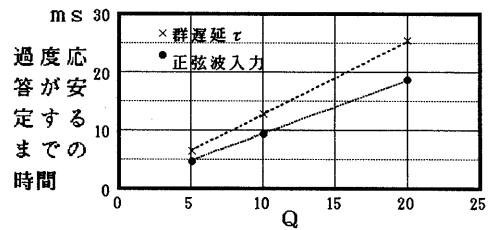


図12 フィルタ出力が安定するまでに要する時間

この問題に対処するためフィルタ出力が安定する以前に出力判定することを考え、フィルタの出力判定に必要な信号のデータ数を実験的に検討した。その結果を表1に示す。データ数はフィルタ出力の絶対値とすなわち過渡状態での周波数特性が凸形を維持し、かつ最大振幅が約20dBになるのに必要な値である。フィルタ特性を変えず雑音ののっている信号に対して実施した結果を合わせて示している。

表1 出力判定に要するデータ数

フィルタのQ	信号のみ	SN 0dB	SN -10dB
4	8	16	16
8	16	32	32
16	32	32	32
32	64	96	128

上記の結果から、Qが32では多くのデータ数を必要とするため、今回の基礎実験ではデータ数を32とし、最終段のフィルタは全探索範囲の中心近傍でのQを約16とし、128のフィルタで構成した。従って周波数精度は全探索範囲/128となる。構成するフィルタは過渡状態でのデータであるため設計時とは異なる特性をもつことから、対となるフィルタの出力値が一致する周波数が設計時と同じ周波数になるようにフィルタの入力値にある倍率をかけスケールリングを施している。

4.2.3 フィルタ能力

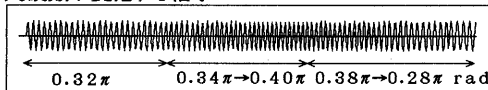
4.1.3と同様、信号の長さやSN比をパラメータに信号と雑音の分離能力を評価した結果、信号の長さに依らずSN比-10dB以上あれば信号の存在を検知できることが分かった。なお、分離能力をフィルタ処理後の平均雑音レベルと平均信号存在域レベルの比で評価した。本実験において、SN比-10dB以上の信号を検出できればよいと仮定すれば4.2.2の設計で妥当と考えられる。

4.2.4 信号検出実施例

(1) 入力データ

サンプリング周波数20kHz、雑音に埋もれた信号として周波数が3.2kHzから4.0kHzに上がり、さらに2.8kHzに下がるような信号を模擬的に用いた。図13に入力データを示す。

周波数に変化する信号



入力データ

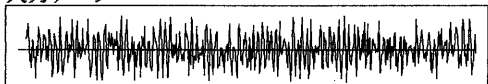


図13 入力データ (SN比 0dB)

(2) 信号検出結果

デジタルフィルタによる信号の周波数検出の結果を図14に示す。

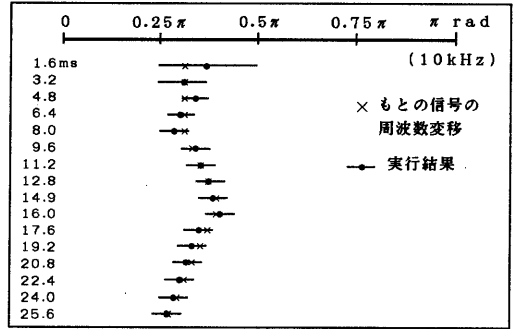


図14 信号検出、追尾結果

フィルタ処理に要する時間は1サンプル値当たり約4μsecと高速に並列処理できた。本方式が信号の周波数が時間的に変化するような信号の検出等に有効であると考えられる。

5. おわりに

本報告では、並列処理型DSPを使用したデペンダビリティを向上するための信号検出の基本的な検出法について示した。FFTにおいては、並列処理の導入により、間欠的に発生する信号を確実に信号検出できるための条件を実験的に示した。また、ここで提案したような方式によりデジタルフィルタによる信号検出、追尾が可能であることを示した。今後は、デジタルフィルタによる信号検出の実験的検証をさらに進め実用性を明かにする予定である。また、高速かつデペンダビリティを有する信号処理方式のシステム開発を考えている。

参考文献

[1]持田侑宏：“DSPの現状と動向”，情報処理，30，11，pp.1291-1299(1989-11)。  
 [2]吉川和宏等：“マルチDSPシステムのアーキテクチャと並列信号処理開発環境”，情報処理学会第43回(平成3年)全国大会予稿集，7U-1(1991)。  
 [3]高橋，黒川，古賀：“バス結合方式による並列処理システム”，信学技報CPSY93-38(1993)。  
 [4]樋口龍雄：“デジタル信号処理の基礎”，昭晃堂，(1993)。