

モジュール配置問題を解く限定スライス構造の提案

中武繁寿* 村田洋* † 藤吉邦洋* 梶谷洋司* †

* 北陸先端科学技術大学院大学 情報科学研究科

〒 923-12 石川県能美郡辰口町旭台

電子メール：nakatake@jaist.ac.jp

† 東京工業大学 工学部 電気・電子工学科

〒 142 東京都目黒区大岡山

‡ 株式会社 村田製作所

〒 923 石川県小松市光町

VLSI チップのモジュール配置問題を解く限定スライスと呼ばれる構造を導入する。まず2単位長の限定スライスラインからなるBSGと呼ばれる標準格子，およびサイジングと呼ばれる限定スライスラインの伸縮演算を定義する。BSG上のモジュール配置にサイジングを施し，モジュールの形状を考慮した配置問題を解く手法を与える。これは，最適解を漏らすことなく異なる形状のモジュールの対交換などヒューリスティック最適化の様々な手段を可能にする抜本的に新しい手法である。背景となる詳細な議論は別の機会にまわし，今回は本方式の効果を実験例で示すことを主目的とする。

2次元パッキング，モジュール配置，フロアプラン，ヒューリスティック，サイジング，限定スライス

Bounded-Slicing Structure for Module Placement

Shigetoshi Nakatake* Hiroshi Murata* † Kunihiro Fujiyoshi* Yoji Kajitani* †

* School of Information Science, Japan Advanced Institute of Science and Technology

Asahidai, Tatsunokuchi, Ishikawa 923-12, Japan

E-mail : nakatake@jaist.ac.jp

† Department of Electrical and Electronic Engineering, Tokyo Institute of Technology

Ookayama, Meguro-ku, Tokyo 142, Japan

‡ Murata MFG. CO., LTD.

Komatsu, Ishikawa 923, Japan

We introduce a bounded-slicing structure to approach the placement problem of modules in VLSI chip layout. First, a standard grid, called the BSG, which consists of length 2 bounded slice-lines with the sizing operation is introduced. The placement is complete through sizing operations which stretch or shrink the slice-lines so that each room of BSG is enough to embed the assigned modules. The placement on BSG does not restrict the feasible solutions. It makes swapping modules of different shapes possible. This paper is to show the advantages of the method by experiments rather than the detailed discussions on the facts in the background.

2-dimensional packing, module placement, floorplan, sizing, heuristics, bounded-slice

1 まえがき

VLSI チップレイアウト設計において、モジュール配置は最初の工程であり、以降の工程に大きな影響を与える。

これは、単純化して述べれば、チップと呼ばれる指定された矩形の中にモジュールと呼ばれる小矩形を相互の接続関係を考慮し、重なりなく配置する問題で、2次元パッキング問題を高度化したものであり、自動化手法はもちろん、人手によっても高品質な結果を得ることが難しい問題として知られている。実際、2次元パッキング問題についても、近似比が抑えられている近似解法の研究は古くからあるが [2, 3, 4, 10], 実用上の観点からは性能が劣り、さらに、問題の制限が強いため、レイアウト問題には不適である。

レイアウト問題における従来の自動化手法としては、

- 初期解としてモジュールどうしの重なりを許す配置を与え、序々にその重なりを制限していく手法 (forced-directed relaxation) [1, 6, 7, 11],
- モジュールの組み合わせを木の構造によって表現することによって、再帰的にモジュールを組み合わせていく手法 (slicing structure method) [8, 9, 12, 13],

などがある。

前者は、どのように重なりを解除するのかによって解の質が影響され、必ずしも良くない局所最適解に容易に陥る。

後者は、少数のモジュールを特定な方法によって再帰的に融合しボトムアップ的に解を生成する。例えば、スライス構造に基づく発見的手法では、2個のモジュールの融合が縦あるいは横であるかを2分木によって表現し、その組織的な変形によって許容解を探索する [8]。また、order5 と呼ばれるこの方法の一般化もある [12, 13]。少数モジュールの融合結果をライブラリ形式で保持している方法もある [9]。スライス構造と order5 の例を図1に示す。これらの従来手法では、モジュール融合の組合せの自由度を限定することにより、許容解空間を大幅に制限している。そのため、実用には程遠い配置しか得られない。

モジュールおよび配線領域の割り当ての前に、フロアプランを実行することが多い。これはチップ全体を、モジュールを埋め込むための領域(ルーム)に隙間なく分割する。ルーム内の詳細配置は、ルームごとの独立な処理を許すことにより、計算量の削減をはかっている。この手法が、多段にわたって階層的に適用されることを考慮すると、各段階で一般性を失わないフロアプランの提案が重要である。本文は、これに応えるものである。

まず、限定スライスグリッド (Bounded-Slicing Grid, BSG) を導入し、サイジングと呼ばれる演算と合わせて、モジュールを矩形と見なしたときの一般2次元パッキング問題を解く方法を提案する。

本研究の一部は、文部省科学研究費一般(B)(05452209)及びCAD21研究体(於北陸先端科大)の援助による。

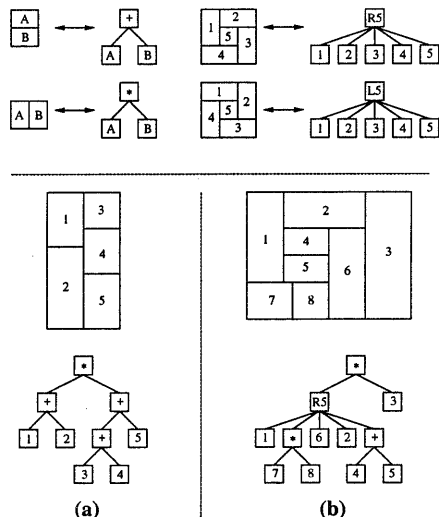


図1: スライス構造(a)とorder5(b)によるフロアプラン

フロアプランは、領域の分割に隙間を許さないという点でパッキング問題と異なる。本文では、同様な手法により組織的に全許容フロアプランを生成する方法を導く。今までのフロアプランの構造、例えばスライス構造などは、極めて強く限定された許容解しか得ることができなかった。

ヒューリスティックな最適化手法としては、シミュレーテッドアニーリング [5] と遺伝的アルゴリズム [14] を用いた。前者による実験結果は、従来見られない高品質なモジュール配置を与えている。ここでは、実験例を挙げるにとどめるが、本手法は、モジュールの隣接関係や配線領域なども十分に考慮し得る能力を持つことを示す。

なお、本文では、方式の提案と実験に焦点を絞り、その背景となる定理などは列挙するにとどめる。

2 限定スライス構造の導入

配置されるべき矩形 (Rectangle) の集合を $R = \{r_1, r_2, \dots, r_\mu\}$ とする。

限定スライスグリッド (bounded slicing grid, BSG) を定義する: 2 単位長の水平線分系列を水平方向に 1 単位長ずつずらしたものを垂直方向に 1 単位長ずつずらし繰り返した結果得られる図形を **h-shift** と呼ぶ (図 2(a)). これを 90° 回転して、**v-shift** を得る (図 2(b)). 2 単位長の線分を限定スライスライン (bounded slice-line, BS-line) と呼ぶ。

h-shift と v-shift を BS-line が (内点どうしで) 交差しないうように重ねて得られる図形が BSG である (図 2(c)). BSG の各領域をルーム (room) と呼ぶ。

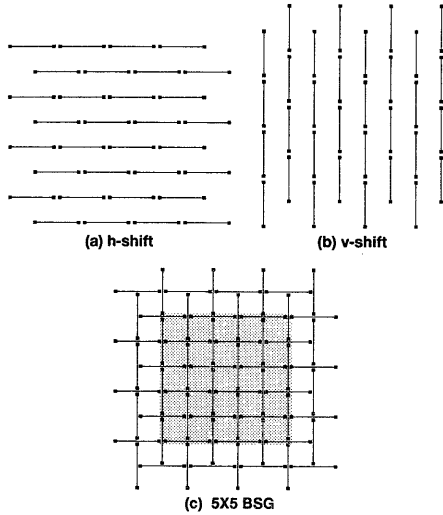


図 2: 限定スライグリッド (BSG)

十分に大きい有限 BSG を考え、その部分を考えるときには、含まれる room の集合で指定する。例えば、図 2(c) の示すような矩形部分 BSG は 7×8 BSG と呼ばれる。

$\alpha \times \beta$ BSG において、 $\alpha \times \beta \geq \mu$ のとき \mathcal{R} の全要素 (矩形) を各 room に高々 1 個ずつ割り当てた図形を **BSG 種 (BSG-seed)** と呼ぶ。

BSG-seed において、矩形が割り当てられた room を **実 (actual) room**、そうでない room を **空 (empty) room** と呼ぶ。(ここまでの段階では、 \mathcal{R} に属す矩形についても BSG の room についても、サイズは考慮していない。)

3 2次元パッキング問題の解法

与えられた矩形の集合 \mathcal{R} を重なりなく配置することを (\mathcal{R} の) **パッキング** と呼ぶ。パッキングによって得られた配置を囲む最小矩形を **基矩形 (base rectangle)** と呼ぶ。ここでは、パッキング問題を基矩形の面積が最小になるように、パッキングすることと定義する。

本手法は、BS-line を伸縮させる **サイジング** と呼ばれる操作によって、このパッキング問題を解くことを目的とする。

3.1 矩形サイジング

BSG-seed の各 room が、そこに割り当てられた矩形を含むのに十分な大きさようにサイジングすることを (\mathcal{R} に関する) **矩形サイジング** と呼ぶ。BS-line を十分に伸ばすことを考えれば、矩形サイジングは常に可能であることがわかる。本稿では、以下に定義するサイジンググラフを用い

て、矩形サイジングが行なわれる。目的は、得られる基矩形の面積最小化である。

3.2 サイジンググラフ

1 つの BSG-seed を仮定する。サイジンググラフは、**h BS-line** サイジンググラフ G_h と **v BS-line** サイジンググラフ G_v とからなる。

G_h は以下のように定義されるが、 G_v についても同様である (図 3)。

点集合: BSG-seed 上端にある BS-line の全部を 1 つのソース点に対応させる。BSG-seed 下端にある BS-line は、同様に 1 つのシンク点に対応させる。それら以外の水平な BS-line は、それぞれ 1 つの点に対応させる。

枝集合: 1 つの room に対し、その上にある BS-line に対応する点から下にある BS-line に対応する点へ向かう有向枝に対応させる。

重み: その枝に対応する room に割り当てられた矩形の高さとする。なお、empty room には、高さ = 幅 = 0 の矩形を仮想する。

サイジンググラフは次のような性質を持つ。

[性質]

1. 有向無閉路グラフ (DAG) である。
2. G_v と G_h は平面グラフで、枝向きも含めて 2 端子双対である。

性質 1 は、最長パスが容易に求まることを保証している。次の定理を証明するのは容易である。

[定理 1] ある BSG-seed について、 G_h の最大パス長を λ_h 、 G_v のそれを λ_v とすると、 \mathcal{R} は、サイズ $\lambda_h \times \lambda_v$ の基矩形にパッキングすることができる。縦あるいは横がこれを下回る基矩形にはパッキングできない。□

1 つの BSG-seed に対する上の定理で述べたようなパッキングを求めるには、次のようにすれば良い。

アルゴリズム (最適サイジング)

(入力: BSG-seed)
(出力: 配置)

G_h において、ソース点からすべての actual room の上にある BS-line に対応する点までの最大パス長を計算する。それらの値が room 内に配置される各々の矩形の上辺の y 座標となる。同様に G_v から各矩形の左辺の x 座標を求める。 END.

パッキング問題においては、矩形の対交換を BSG 上で行なうことを考える。更新された BSG-seed 上に対するサイジンググラフは、枝の重みだけを変更して得られる。そ

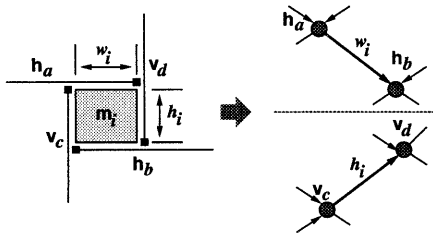
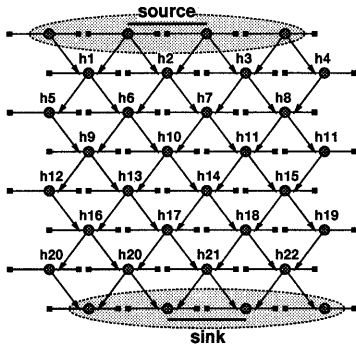


図 3: h BS-line サイジンググラフ

のために、矩形の対交換がサイズを考慮することなく実行できる。(従来は、形状の異なる矩形の対交換は困難であった。) 対交換による発見的手法によって、最適パッキングを漏らさず探索できることを次の定理が示している。

[定理 2] 任意のパッキングに対応する BSG-seed が存在する。 □

4 フロアプランの解法

通常、回路から得られるモジュールは、様々なサイズであり、それらの間には接続の強弱がある。それらを考慮して配線領域などを確保しなければならない。

このような複雑な配置問題を分割して扱うために基矩形を小領域に分割することがフロアプランである。今回は、モジュール間接続の問題は考慮せず、フロアプランとは、

1. 基矩形が隙間なく分割されている (無定義領域が存在しない),
2. 各小領域には、ちょうど1つのモジュールを割り当てられている,
3. 各領域は、割り当てられたモジュールに由来するサイズを持つ,

を満たすものとする。

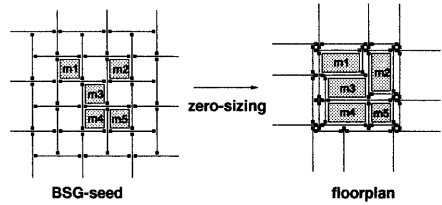


図 4: ゼロサイジング: BSG-seed からフロアプランへ

つまり、フロアプランを得るには、周辺を矩形に保ち、actual room の面積を非ゼロに保ち、すべての empty room の面積をゼロ (高さあるいは幅が0) にすることが第1段階である。このサイジングを特にゼロサイジングと呼ぶ。ゼロサイジングの例を図4に示す。このゼロサイジングによってサイジンググラフは、以下のように変形される。

モジュールの集合 $M = \{m_1, m_2, \dots, m_\mu\}$ が与えられたとする。各モジュールに由来するサイズとして、ここでは、モジュールそのもののサイズを採用する。

アルゴリズム (ゼロサイジング)

(入力: BSG-seed
出力: フロアプラン)

1つの empty room を r_e とし、 G_v と G_h において、 r_e に対応する枝をそれぞれ e_v, e_h とする。もし、 e_v の両端点を結ぶすべてのパスの最大パス長が0であるならば、この両端点を結ぶすべてのパスを1つの点とする (図5(a))。また、この変形の際、縮退してしまった G_v の枝と同じ room に対応する G_h の枝も削除する (図5(b))。さらに、入り枝数、出枝数ともに0になった点の削除も行なう。

そうでなければ、 e_h に対して同様な操作を施す。この変形操作を empty room がなくなるまで、繰り返す。 END.

このアルゴリズムの正当性は、処理する empty room の順序によらず、常に G_h あるいは G_v に最大パス長ゼロが成り立つかどうかにかかわらず。

[定理 3] 任意の BSG-seed は、少なくとも1つのフロアプランを生成する。 □

逆に、任意のフロアプランに対し、それを生成できる BSG については、次のような推測がある。

[推測] 任意の μ 個の room からなるフロアプランは、 $\mu \times \mu$ BSG による BSG-seed から生成できる。 □

図6(a)に $\mu = 7$ のフロアプランを示す。これを生成する「最小の」矩形形状の BSG-seed の1つを図6(b)に示す。

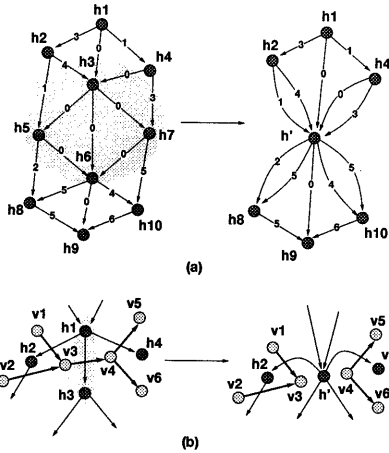


図 5: ゼロサイジングにおける G_v, G_h の変形

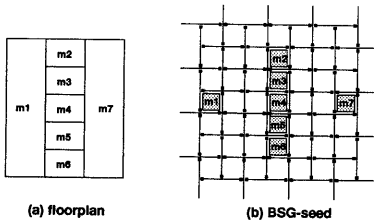


図 6: フロアプランの 7×7 BSG における BSG-seed

第 2 段階として、このように変形されたサイジンググラフで、パッキング問題と同様な矩形サイジングを実行すれば良い。この可能性についての詳細は次の機会に回す。

5 実験

5.1 問題と手法

本方式の有効性を示すために、次のような実験を行った。ただし、 $P(*)$ および $LP(*)$ は小規模および大規模パッキング問題を示し、 $M(*)$ は、矩形サイジングに当たって配線領域を考慮したパッキング問題 (これをモジュール配置問題と呼ぶ) である。 $*(sa)$ および $*(ga)$ は、それぞれシミュレティッドアニーリング、および遺伝的アルゴリズムを適用したことを示す。

実験	モジュール数	ネット数	最適化手段
$P(sa)$	146	0	SA
$P(ga)$	146	0	GA
$LP(sa)$	500	0	SA
$M(sa)$	30	30	SA

それぞれの定式化について説明する。両者とも、基矩形の面積の小ささを評価関数としている。

(SA) BSG-seed の初期解として、BSG 上に入力順に矩形が並べられたものを用い、BSG 上で room 対の内容 (モジュールあるいはサイズゼロの仮想モジュール) 交換、または単一モジュールの 90 度回転により新しい解を生成する。このとき、基矩形の面積の減少分を利得とする。

アニーリングスケジュールは標準的な方法にしたがった。

(GA) GA を配置問題に適用する報告として [14] があるが、モジュール配置を染色体表現する標準的手段がなかったためにモジュールの形状は均一であると仮定していた。すなわち、配置問題を単なる割り当て問題として扱っている。

本稿では、BSG をそのまま行列型の染色体として利用することで、形状の異なる矩形の配置問題をそのまま扱えるようにできた。

第 1 世代として、乱数により作成した 300 個の BSG を用い、淘汰、交差、突然変異により次世代を得る処理を 150,000 世代繰り返した。

サイジンググラフの枝重みは任意に設定できるので、配線領域を現在のモジュール配置に沿って加味することができる。すなわち、現在の BSG-seed に対して、概略配線を実行する。BS-line を配線チャネルとして、その連結系列により配線経路を表現する。矩形サイジングは、BS-line がそこを通るネット数に比例する幅を持つとして行なわれる。これが実験 $M(sa)$ である。

対交換によって更新された配置に対応するネットの配線経路の変更は、局所的に計算できるので、計算量は room 間の距離に比例するだけである。

5.2 結果および考察

実験結果は、次のように示されている。

実験	計算機	実行時間	配置結果
$P(sa)$	SUN-IPX	5(h)	図 7(a)
$P(ga)$	HP 755	4(day)	図 7(b)
$LP(sa)$	SUN-IPX	20(h)	図 8
$M(sa)$	SUN-IPX	5(min)	図 9

実験 $P(sa), LP(sa)$ においては、問題規模 (モジュール数) によらず、信じ難いほどの高品質パッキングを得ている。注目すべきことは、この配置 (パッキング) 結果には、従来、例えばスライス構造などにしたがう結果のような、乱暴なカットラインが見当たらないことである。

また、実験 $P(sa), P(ga)$ で、GA は SA の結果と比較して劣っているが、これは、GA の交差アルゴリズムや突然変異確率などの細かなパラメータの設定が最適化されていないためであると考えられ、今後の研究対象である。

また、BSG おいて、ネット情報を考慮した際には、実験 $M(sa)$ の結果わかるように、配線の混みそうな領域においては、あらかじめ多くの配線領域を割り当てることに成功している。(図 9 において、ネットの接続要求は、ラツツとよばれる直線分で表現されている。) これは、BSG に基づ

く本手法が、矩形のパッキング問題だけでなく、配線領域などを十分に考慮し得ることを示している。

6 結び

2次元パッキング問題およびフロアプラン問題に接近する手法として、限定スライスグリッドと呼ぶ構造とその上に定義されるサイジング演算を導入し、これに基づく手法の効果を実験により示した。

従来の配置手法と異なり、数学的な近似解法よく見られる問題の制限もレイアウト問題でよく行なわれる解空間の限定も不要であり、発見的手法の性能によっては、従来に見られない高品質な解が得られることを実証した。

VLSIチップレイアウト問題に適用するには、様々な境界条件を考慮しなければならないが、我々の方法は、それらを受け入れることに対し、極めて柔軟であると信じられる。

本稿では省略した数学的裏付け、および上記のような応用に関する研究が今後の課題である。

参考文献

- [1] N.R.Quinn, M.A.Breuer, "A force directed component placement procedure for printed circuit boards," IEEE Trans. CAS. vol.CAS-26, pp.377-388, 1979.
- [2] I.Golan, "Performance Bounds For Orthogonal Oriented Two-dimensional Packing Algorithms," SIAM J.Comput., vol.10, pp.571-582, 1981.
- [3] B.S.Baker, D.J.Brown and H.P.Katseff, "A 5/4 Algorithm for Two-dimensional Packing," J. Algorithms, vol.2, pp.348-368, 1981.
- [4] B.S.Baker and J.S.Schwarz, "Shelf Algorithms for Two-dimensional Packing Problems," SIAM J.Comput., vol.12, pp.508-525, 1983.
- [5] S. Kirkpatrick, C. D. Gelatt, Jr., M. P. Vecchi, "Optimization by Simulated Annealing", since, vol.220, pp.671-680, 1983.
- [6] A.Iosupovici, C.King, and M.A.Breuer, "A module interchange placement machine," Proc. 20th DAC, pp.171-174, 1983.
- [7] C.Cheng and K.S.Emest, "Module Placement Based on Resistive Network optimization," IEEE Trans.on CAD, vol.CAD-3, pp.218-225,1984.
- [8] D.F.Wong and C.L.Liu, "A NEW ALGORITHM FOR FLOORPLAN DESIGN," Proc. 23th DAC, pp.101-107, 1986.
- [9] W.M. Dai and Ernest S.Kuh, "Simultaneous Floor Planning and Global Routing for Hierarchical Building-Block Layout," Proc. IEEE Trans.on CAD Vol.CAD-6, No. 5, pp.828-837, 1987.
- [10] G.G.Conffman, Jr. and J.C.Lagarias, "Algorithms for Packing Squares: A Probabilistic analysis," SIAM J.Comput., vol.18, pp.166-185, 1989.
- [11] A.Alon and U.Ascher, "Model and Solution Strategy for Placement of Rectangle Blocks in the Euclidean Plane," Proc. IEEE Trans.on CAD Vol.7, No.3, pp.378-386 1988.
- [12] D.F.Wong and P.Sakhamuri, "Efficient Floorplan Area Optimization," Proc. 26th DAC, pp.586-589, 1989.
- [13] D.F.Wong and S.K.The, "An Algorithm for Hierarchical Floorplan Design," Proc. ICCAD, pp.484-487, 1989.
- [14] 井上, 島本, 坂本, "遺伝的アルゴリズムを用いたモジュール配置手法", 信学論 A Vol.J77-A No.8 pp.1189-1191, 1994

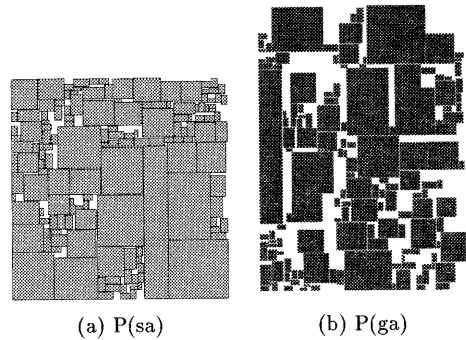


図7: 実験 P(sa),P(ga) の結果 (モジュール数 146)

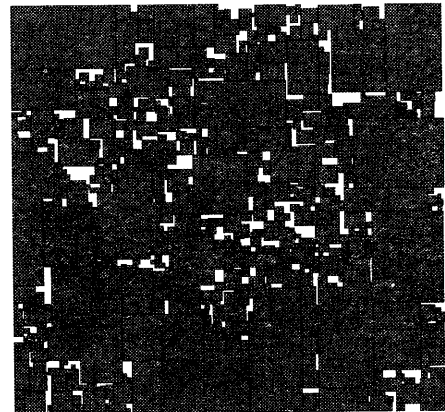


図8: 実験 LP(sa) の結果 (モジュール数 500)

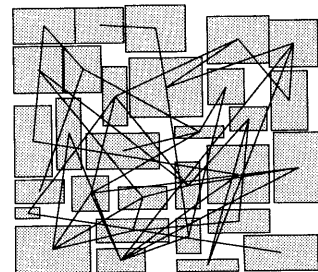


図9: 実験 M(sa) の結果 (モジュール数 30, ネット数 30)