

## VLSIのリーフセル合成に関する一手法 (コンパクト化方法の開発とその評価)

福井 正博、秋濃 俊郎  
松下電器産業株式会社 半導体研究センター  
570 守口市八雲中町3-1-1

あらまし

従来のセル合成方法は、Uehara他の方法[1]に代表されるように、線形配置を前提とするものが主流であった。本文では、人手設計並の高集積なリーフセルの合成を目指して、より汎用的な2次元配置モデルに対応したセル合成手法を提案する。特に、2次元配置モデルに対応し、できるだけコンタクトの発生を抑えた配線方法と、2次元コンパクト化に関する新手法を提案する。実際の回路の合成に適用し、人手設計並の好結果が得られた。

和文キーワード セル合成 コンパクト化 配置 配線 格子

## An Algorithm for VLSI Leaf Cell Generation (Development and Evaluation of Compaction Program)

Masahiro Fukui, Toshiro Akino  
Semiconductor Research Center, Matsushita Electric Industrial Co., Ltd.  
3-1-1 Yakumo-Nakamachi, Moriguchi, Osaka 570, Japan.

Abstract

A great deal of conventional leaf cell generation methods has been proposed, and most of them have been based on Uehara and others' linear placement method. However, aiming at generation of leaf cell as highly integrated as hand-crafted ones, we propose a new cell generation method that uses 2-dimensional placement model. The structure of the model is more general than that of the linear model.

We mainly discuss its routing method that finds the routing paths with least number of contacts, and its new 2-dimensional compaction method. We applied it to actual cell design and achieved as well results as hand-crafted design.

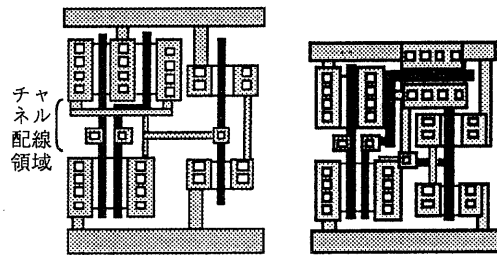
英文 key words Cell generation Compaction Placement Routing Grid

## I. 緒言

近年、半導体製造技術の微細化、多様化と共に回路方式の多様化も飛躍的に進んだため、LSIのマスク設計の基本単位として用いられるスタンダードセルや、I/Oセル、データバスセル等のリーフセルの設計件数は非常に増大している。そのため、リーフセルの設計の自動化による開発の効率化が、重要な課題となっている。

従来のセル合成方法は、Uehara等の方法[1]に示されるように、P型とN型のMOSトランジスタをそれぞれ1列に配置(図1(a)参照)し、グラフのアルゴリズムを用いてできるだけ多く拡散の共有化を行なえるように線形配置を最適化する方法が知られている。

しかしながら、人手設計並の好結果を得るためには、もっと一般的な構造(図1(b)参照)、すなわち、2列以上で配置したり、トランジスタの向きを変えなどを扱うことが必要となる。



(a) リニア配置構造 (b) 本手法で扱う構造  
図1 レイアウト構造

配線に関しては、従来法[1-3]でチャンネル配線方式が一般的に使われたのに対し、トランジスタ配置を2次元的に行うことを考えると、配置配線領域としてより一般的な格子ベースの構造が適している。ゲートマトリックスタイプの構造に対する迷路法をベースとした手法も提案されているが[5]、まだ十分汎用的な格子構造を扱うものは提案されていない。

一般にコンタクトの発生は、面積増加につながる。コンタクトの発生を抑えるほうが良いが、一方、コンタクトを作らないようにするために遠回りするとそれも面積増加につながる。このように、コンタクトを作ることと、配線の遠回りをすることとの間のトレードオフの関係にある。この

トレードオフをうまく扱うことも重要である。

更に、2次元配置手法では、レイアウト構造が複雑なため、コンパクション機能が重要となる。

従来のコンパクション方法の中では、Zone Refine法[4]が最も着目に値する。同手法はセル内部の配置要素の内、最も下に位置するものから順に下詰めするが、そのとき同時に水平方向の最適配置を求め、2次元的な意味で最適化を行なう。但し、[4]の方法では、配置が変化したことにより、配線に歪みを生じ、配線の最適性が損なわれることがあった。

本文では、人手設計並の柔軟な配置モデルを用い、且つ、拡散の共有化、配置配線等を、高速に行なうセル合成方法について報告する。本報告では、特に、配線に関しては、できるだけコンタクトの発生を抑え、且つ、短い配線経路を求める方法を、コンパクションに関しては、Zone Refine法[4]の上述の課題を改善した方法を提案する。

## II. アルゴリズム概要

本手法は、2次元的なトランジスタの隣接関係を最適化するための処理が必要であり、以下のSTEP1とSTEP2がそれを扱う。その後の、STEP3、4では配線及びコンパクション処理を行う。配線及びコンパクション処理については、次章以下でさらに詳しく述べる。

### <セル合成アルゴリズム>

(STEP1) 拡散の共有化のしやすさと接続強度を評価指標とし、トランジスタのグループ化と、同グループをさらに大きなグループにまとめる操作を、全体が1個のグループになるまで階層的に繰り返す。

(STEP2) 階層的なグループ化の情報を使用して、セルに対応する1個のグループがセル配置領域全体を占める状態から始め、グループを構成するサブグループの各々に、同グループの占める領域内での部分領域を与える操作を順次繰り返し、各々のトランジスタの隣接関係を求める。

(STEP3) トランジスタを配置する格子を設け、格子上にトランジスタを配置し、トランジスタ間の格子上で配線経路を求める。

(STEP4) 格子上の配置配線結果を初期値として、トランジスタの配置および配線のコンパクションを行なう。

### III. ローカル配線方法

#### 3.1) データ構造

本手法の格子モデルは、一般のグローバル配モデルのように縦横別の配線層を用いるものではない。また、一般の迷路配線で用いられる格子モデルのように、各格子辺に一本の配線のみを通過可能とするものでもない。前者のメリットである高速処理と、後者のメリットである、配線の柔軟性（できるだけ、一層で配線を行い、コンタクトの発生を最小化する）を兼ね備えることを目的とする。

本手法で用いる格子構造は、図2に示されるような格子点と格子辺の組み合わせで表現される。

トランジスタ及びピンは、複数の連続する格子边上に配置される。配線は、格子点上に配置される配線接続点と、格子辺上に配置される配線要素の組み合わせで表現される。各格子辺には複数の配線要素を配置することが可能であるが、1個の格子辺上に配置される配線要素の間には上下あるいは左右の順番が与えられる。これにより、一層での配線経路探索が可能となる。

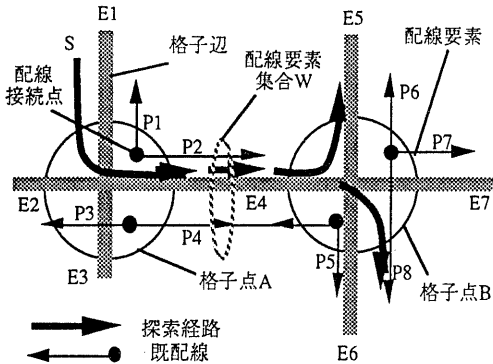


図2 ローカル配線データ構造

以下、図2を用いて、点Sを始点として、一層配線経路を探索する場合について、配線経路探索のメカニズムを説明する。

格子辺E1上の既配線P1の左を通過する配線に対して、配線要素が格子辺E1に追加され、配線要素P1の左に置くという制約が与えられる。同時に、格子点Aに新たな配線接続点が付加される。同接続点から配線を延ばすことを考えた場合、既配線P

3と既配線P4が下方向を塞いでおり、右または左へしか配線を延ばすことはできない。そこで、仮に右へ延ばすことを考える。このとき、格子辺E4に新たな配線要素Nが付加され、同格子辺E4に配置される配線要素は、配線要素Nと既配線要素P2、P4を含め3本となり、上からP2、N、P4の順序制約を与える。同時に、格子点Bに新たな接続点を設ける。同新規接続点から配線を進める場合に、右側は、既配線の配線要素P6と配線要素P8が塞いでおり、配線を延ばすことができないとわかる。延ばすことが出来る方向は上あるいは下である。

このように、各格子辺における配線要素同志の並びの順番を与えることによって、一層での配線経路探索が可能になる。

#### 3.2) 配線アルゴリズムの説明

配線の手続きは、全ネットの配線経路を求めるための初期配線と、部分的にいくつかのネットの配線経路を求め直す再配線の2種類の処理がある。

##### <初期配線>

S0) コンタクト1個の発生に等価な遠回り配線の距離を与える。

S1) 取り扱うネットの順番を決める。

ネットを囲む矩形の小さいものから順に処理されるように順番を与える。

S2) 各々のネットに対して、以下のS3～S4の手続きを行なう。

S3) 取り扱う接続点の順番を決める。

S4) S3で決めた順番にしたがって、未配線接続点から既配線経路に向かって、配線経路を順次求める。

##### <再配線>

T1) 与えられたネットの配線を全て取り除く。

T2) 与えられたネットに対して、上記のS3～S4の手続きを行なう。

ステップS4では、既配線による障害を避けながら、出来るだけコンタクトの発生を抑えて短い経路を求める手続きを用いる。まず、目標点までの最短距離を、初期の目標配線長として設定し、出来るだけ遠回りせずに、目標点に近づく方向を優先した深さ優先探索を行なう。配線経路が見つからない場合は、目標配線長を1増し、距離1の

遠回りを許して経路探索範囲を広げ、到達点への経路を探索する。以上の処理を順次繰り返し、遠回り距離が最初に設定した、コンタクト1個の発生に等価な距離になれば、1個のコンタクトを発生して、既配線の障害を1箇所乗り越える配線経路も探索する。(ただし、コンタクトを通過するときに、同配線経路の長さは、コンタクトの発生に等価な遠回り長が加算される。)

以下に、図3の例を用いて配線経路探索方法の説明を行う。Sをスタート点、Tを到達点とする。(既配線がある場合は到達点が複数個あると考える。)コンタクト発生と等価な配線の遠回りの距離を2と仮定する。スタート点Sと到達点Tとの最短距離は5で与えられるが、既配線が障害となるため、コンタクトを使わないと必ずしも距離が5であるような配線経路が見つかるとは限らない。遠回り0の時の探索領域は右下がり斜線部、遠回り2までのときの探索経路は右上がり斜線部であり、目標点には到達できない。コンタクト発生が遠回り2と等価なので、遠回り2の経路探索時に、遠回り0の領域で、且つ、コンタクトを発生することによって目標点に近づく領域も探索の対象とする。この時点で、コンタクトを介して目標点に近づく経路が探索され、目標点Tに到達する経路も求まる。

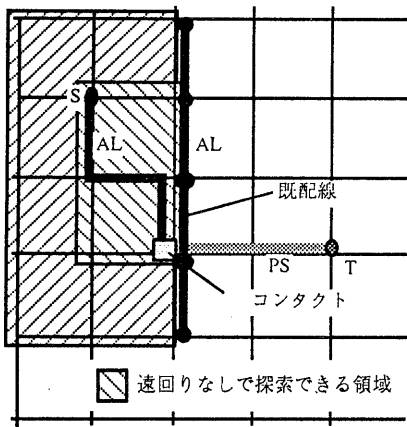


図3 配線経路探索

#### IV. コンパクション方法

##### 4.1) コンパクション手法概要

コンパクションの処理においては、トランジ

スタピンを配置移動の対象とする。以下ではスタンダードセル用のコンパクション方法について図4を用いて説明を行なう。本手法は、スタンダードセルの電源及び、グランドを垂直方向に配置し、トランジスタピンなどの配置要素を最も下に位置するものから、下へ順番に移動を繰り返す方法である。

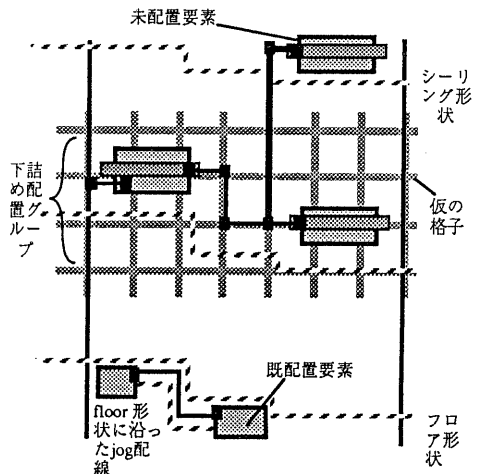
既に下に配置された配置要素の上限の形状をフロア形状と呼ぶ。また、未配置要素の下限の形状をシーリング形状と呼ぶ。

従来の2次元コンパクション[4]も、同様に、個々の配置要素を順に下詰め処理したが、配置要素の集合をフロア形状に沿った柔軟な形で移動し、且つ、前記配置要素間の配線を常に最適な経路に保つことはできなかった。無理にフロア形状に合わせると、配線に不要な折り曲げが発生することも多かった。

本手法は、[4]と以下の2点で大きく異なり、それによって、より最適性の良いコンパクション結果を得ることができる。

A) 下へ配置移動できる配置要素のグループを求め、それらの配置要素(トランジスタ等)最適な配置移動を同時に考慮する。

B) フロア形状に合わせた格子領域を仮に作成し、配置移動可能な配置要素を格子領域の中で最適な位置へ移動し、この時点で、格子上に配置された配置要素間のローカルな配線を再実行し、従来例で課題であったローカル配線の歪みをなくす。



## 図4 コンパクション方法

### 4.2) 詳細アルゴリズム

以下にコンパクションの詳細アルゴリズムを示す。

#### <コンパクションアルゴリズム>

(C1) 各々の配置要素(トランジスタ、ピン)の相互間の配置制約を表現する配置グラフx-graph, y-graphを作成する。

(C2) 配置グラフy-graphの未配置要素に対応した頂点の内、他の未配置要素に対応した頂点に向かう有向枝が存在しない配置要素の集合(すなわち、一番下に配置できる要素の集合)を求める。同集合を下詰め配置グループGとする。

(C3) フロア形状に沿った形で、格子の配置配線領域を定義する。次に、下詰め配置グループGに属する配置要素を同格子領域に、出来るだけ下詰めになるように、且つ、他の未配置要素の配置の障害とならない場所を選択し、配置移動を行なう。次に、前述の格子上で、下詰め配置グループGに属する配置要素の間の配線を再実行する。

(C4) 格子上の配置要素を、フロア形状に沿うように、最も下に配置出来る場所を選択する。評価が同じであれば、できるだけ、両端に近い場所を選択する。配線も同様にフロア形状に沿うように折曲げる。

(C5) フロア形状を更新する。

(C6) 配線要素を全てチェックし、面積を増やさない範囲で、余分な配線の折り曲げを取り除く。

## V 実験結果

本手法を用いて小さな回路に対してセル合成を行った結果を図5に示す。人手設計並の良好な結果が得られた。研究会では、より大きな回路について定量的な評価も入れて報告する予定である。

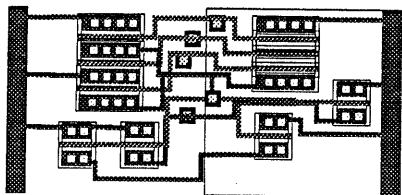


図5 セル合成例

## VI まとめ

本手法は以下に示すような特徴を持つ。

(1) セル合成方法として、2次元的にトランジスタを配置し、拡散の共有化ができるなど、人手でレイアウト設計を行なう場合と同様に柔軟性の高い配置配線処理が行なえるため、高密度なセルのレイアウトを合成できる。

(2) コンタクトの少ない配線結果を高速に求めることができる。また、遠回り配線とコンタクトの発生のいずれかを優先するかのトレードオフを扱うことができる。そのため、コンタクトの発生をできるだけ抑えた面積の小さい配線結果を得ることができる。

(3) コンパクション時に2次元的な配置改善とローカルな配線の最適化も同時に行なうことができるため、コンパクションによって配線が歪み不要な遠回り配線が発生したり、そのために面積が増加することを防ぐことができ、良好なレイアウト結果を得ることができる。

今後の課題としては、2次元配置構造に対する配置手法の評価、カスタム設計支援システムへの展開、等が挙げられる。

### 謝辞

日頃、ご援助をいただく半導体研究センター竹本所長、国信主担当、ならびに熱心に技術的討議をいただいた設計、プロセス、CADグループの各位に感謝する。

### (参考文献)

- [1] T. Uehara and W.M. vanCleave, "Optimal Layout of CMOS functional arrays," IEEE Trans. Computer Vol.C-30, pp.305-312, May 1981.
- [2] A. Domic, S. Levitin, N. Phillips, C. Thai, T. Shiple, D. Bhavsar, C. Bissell, "CLEO: a CMOS Layout Generator," ICCAD89, pp. 340-343, 1989.
- [3] C-Y. Hwang, Y-C Hsieh, Y-L Lin, Y-C Hsu, "An Optimal Transistor-Chaining Algorithm for CMOS Cell Layout," ICCAD89, pp. 344-346, 1989.
- [4] H. Shin, A. Sangiovanni-Vincentelli, "Two dimensional compaction by 'ZONE Refining'," 23rd DAC, pp. 115-119, 1986.
- [5] C. J. Poirier, "Excellerator: Custom CMOS Leaf Cell Layout Generator," IEEE Trans.CAD, pp. 744-736, 1989.