

畳み込みを活用したPLAの並列分割

井口幸洋[†] 松島祐介[†] 松崎英樹[‡]

[†]明治大学理工学部情報科学科 [‡]明治大学情報科学センター

〒214-71 神奈川県川崎市多摩区東三田

E-mail: iguchi@cs.meiji.ac.jp, matsu@cs.meiji.ac.jp, matuzaki@kisc.meiji.ac.jp

あらまし

我々は以前ワンカット行畳み込み手法をもとにしてPLAの並列分割を行う方法を提案した。しかし、ある入力線に多くのデバイス接点が存在するPLAでは効果的に分割できない場合があった。本稿では、分割を阻害していた入力線を一旦削除してから分割を行い、最後にその入力線を付加することで効果的に分割を行う技法を提案する。また、計算機実験によりこの単純な技法が効果的であることを示す。

キーワード PLA、並列分割、畳み込み、論理合成

Parallel Partitioning of PLAs Based on the One-Cut Row Folding Technique

Yukihiro Iguchi,[†] Yusuke Matsushima[†] and Hideki Matsuzaki[‡]

[†]Department of Computer Science, Meiji University

[‡]Information Science Center, Meiji University

Higashimita Tama - ku Kawasaki - Shi Kanagawa Pref., 214-71 Japan

E-mail: iguchi@cs.meiji.ac.jp, matsu@cs.meiji.ac.jp, matuzaki@kisc.meiji.ac.jp

Abstract

We have presented a method of partitioning a PLA into two smaller PLAs based on the one-cut row folding technique. This method does not possibly work when there exist input lines with many devices. This paper presents an improved version consisting of three steps; first, detaching some of obstructive input lines, second partitioning the remaining part by the previous method, and finally attaching those input lines to each of the two PLAs. Experimental results show that this simple method is very effective.

key words PLA, Parallel Partitioning, Folding, Logic Synthesis

1.はじめに

PLA(Programmable Logic Array)はVLSI上で組合せ論理回路を実現する方法の1つで、論理設計、レイアウト設計、設計変更が容易に行えるという利点がある。PLAの面積を削減することにより消費電力、動作速度、レイアウト容易性を向上させることが可能である。このために、論理式の単純化、2ビットデコーダの使用、出力位相の選択、畳み込みなどの方法が提案されている[1][2]。また、PLAを分割する方法も有用であると考えられる[3]。PLAの分割には図1に示すように直列分割と並列分割がある。論理関数を考慮して分割する場合それを分解と呼び、区別する場合もある[4][5]。

我々は以前ワンカット行畳み込み法[6]を用いて、PLAを並列分割する方法を提案した[7]。この方法ではPLAにワンカット行畳み込みを施し、その情報をもとに2つの独立したPLAに並列に分割するものである。この方法はPLAのパターンの中に注目して分割を行うので、解が高速に求められる。しかし、PLAの一部の入力線にデバイス接点が多い場合、この従来手法では効果的に分割できないことがあった。

本稿では、畳み込みを阻害していた入力線を一旦削除してから畳み込み、分割を行い、最後に削除していた入力線を付加するという技法を提案し、その有効性を計算機実験により示す。

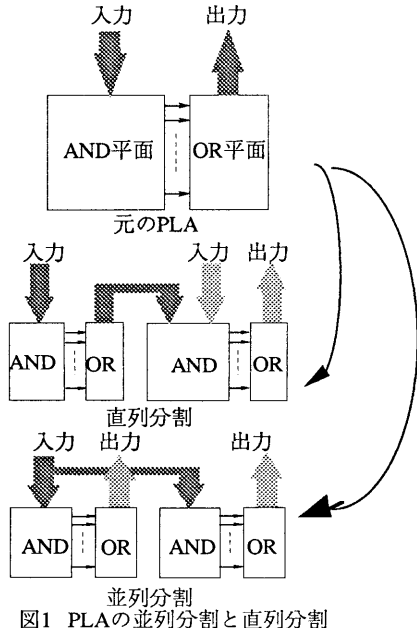


図1 PLAの並列分割と直列分割

2.並列分割法

図2(a)にPLAの例を示す。左側の列は入力線である。入力とその否定がAND平面に入り、行方向の積項線にあるANDデバイス(●印)で論理積がとられる。そしてOR平面のORデバイス(×印)で論理和がとられ右側の列の出力線に出力される。

文献[5]で述べられているように、並列分割の目的としては、

- 1)PLAの総アレイ面積を最小にする分割
- 2)遅延時間を最小にする分割

がある。例えば、笹尾らにより実現されている並列分解ツールPDECでは遅延時間の改善を優先し、分割後のPLAの積項線数が均等になるような戦略を採用している[5]。一方、本稿で提案する手法はPLAの総アレイ面積を減らすことを優先する。なお、遅延時間、PLAの総面積とも実際のデバイスで、どのようにレイアウトされるかが決まるまで正確な評価はできないので、PDECでは遅延時間は積項線数で、本方法ではPLAのアレイ部分のみの面積でPLAの面積を代表させ評価関数としている。つまり、分割後のPLAの積項線数をそれぞれ w_1, w_2 とし、アレイ面積を s_1, s_2 と

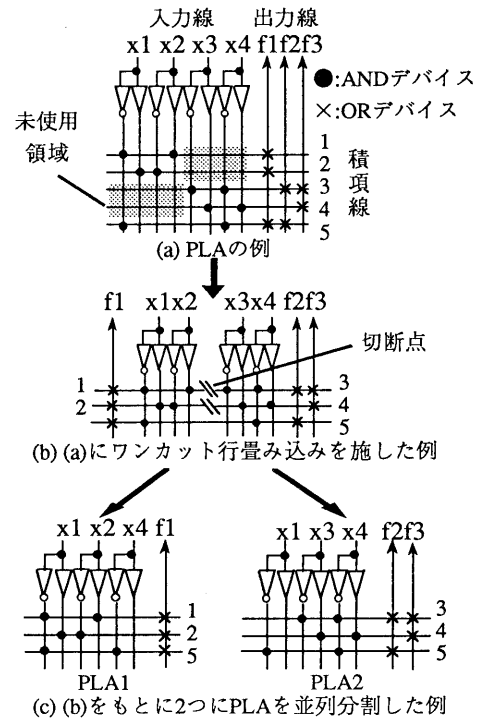


図2 並列分割の例

すると、PDECでは $\max(w1, w2)$ を最小に、本手法では $s1+s2$ を最小にする方法をとっている。

ワンカット行畳み込み[6]

行畳み込み(積項線畳み込み)は互いに列(入力線, 出力線)を共有しない2つの行(積項線)を切断点を用いて1本の行に配置することで面積を削減する方法である。一般的な行畳み込みでは切断点を各積項線の任意の位置に置くことが許されるが、ここで扱うワンカット行畳み込みは切断点の存在を縦1列1箇所のみで制限したものである。図2(a)のPLAにワンカット行畳み込みを施した例を(b)に示す。ワンカット行畳み込みの切断点が縦1列である特徴をいかし、高速に最大畳み込みを求めることができる。

畳み込みを用いたPLAの分割とその改良

畳み込みを利用して並列分割を行う方法が提案されている[7]。図2(b)の情報を利用して並列分割を施した例を(c)に示す。(b)では切断点に

対して出力 $f1$ が左に、 $f2$ と $f3$ が右に配置される。出力 $f1$ を構成するには入力線 $x1, x2, x4$ と積項線1, 2, 5が必要である。これらを1つにまとめてPLA1を得ることができる。同様にPLA2も得られる。しかし、この従来手法では一部の入力線にANDデバイスが多くなるとそれが畳み込みを阻害し、その結果、効果的に分割できない場合があった。

従来手法では効果的に分割できない例を図3に示す。(a)のPLAでは入力線 $x0$ 上にあるANDデバイスが多いために畳み込みが行えないので従来手法では分割できない。本稿ではこのような分割を困難にしている入力線を予め削除して分割を行い、分割後にそれらを付加するという技法を提案する。例えば(a)から入力線 $x0$ を削除してから畳み込みを行うと(b)のPLAを得る。(b)から分割を求め、削除した入力線 $x0$ をそれぞれに付加して(c)のPLA1及びPLA2を得る。

3. 実験結果

ESPRESSO-II[8]を用いて単純化されたPLAに対し、分割の評価実験を行った。分割を行った後、単純化を行うことにより更に面積を縮小できる場合もあるので分割後も単純化を行っている。

従来手法と今回提案する手法との比較結果を表1に示す。どの入力線を削除するかはデバイス数の多い入力線から順に1, 2, 3, ..., (入力線数-1)本削除を行っていき、最大の削減率のものを採用した。

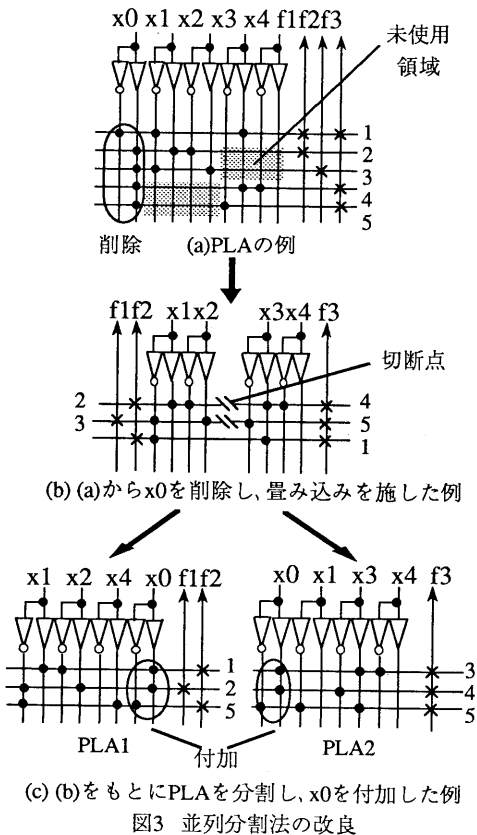
ここでは

(入力線の数 $\times 2$ + 出力線の数) \times 積項線の数をPLAの面積とし、

$$(1. \frac{\text{分割後のPLAの面積の総和}}{\text{もとのPLAの面積}}) \times 100$$

を面積の削減率とした。表中の'-'は分割不能であったことを示す。また、削減率が負のものは、分割はできたが分割後の2つのPLAの面積の和がもとのPLAのそれに比べ増加していることを意味している。

従来手法では25個のPLAのうち12個が分割不能であったが、本手法ではすべてを分割できた。また、25個中15個のPLAに対して10%以上の削減率を得た。従来手法では分割不能であったもののうち10%以上の削減率の改善があったものには+を付した。従来手法でも分割可能であっ



たが削減率が10%以上上がったものには*を付した。

p8は、従来手法では分割できなかったが、入力線を4本削除することにより30.5%の削減率を得ている。また、p7では従来手法では28.1%の削減率だったものが、たった1本の入力線を削除しただけで48.6%まで改善されている。表1から本改良技法が有効であるといえる。

参考のために他の手法(PDEC)との比較を行った。実験結果を表2に示す。前述のようにPDECは遅延時間改善を優先するので積項線数になるべく均等になるような戦略を用いている。表2においてもほとんどのPLAに対して本手法より

も最大の積項線数に関して優れている。逆に本手法は面積削減を優先しているのですべてのPLAでPDECよりも面積削減率で優れている。

表1、表2とも削減率が負のものは面積の点では改善がないが、入力数・出力数・積項線数の削減という点において意味がある。特に、外部入出力ピン数が決まっているFPLA(Field PLA)や、内部に複数のPLAを収納するCPLDでは、入力数・出力数・積項線数が決まっているのでそれらより1本でも多ければ、そのPLAに収納ができなくなり実現不可能となってしまふ。この場合は遅延・面積よりも本数の削除が評価関数となる場合がある。

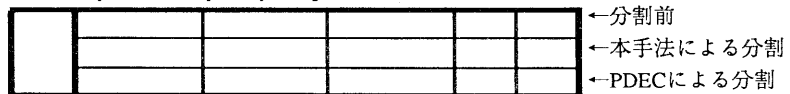
表1 従来手法との比較実験結果

PLA	分割前のPLA			従来手法[7]			本稿で提案する手法			
	入力線数	出力線数	積項線数	削減率 [%]	分割時間 [sec]	畳み込み数	削減率 [%]	分割時間 [sec]	削除数	畳み込み数
3jo	6	6	31	12.5	0.04	1	12.5	0.04	0	1
p1	45	40	117	3.5	2.09	2	3.5	2.09	0	2
p2	23	62	101	-	-	-	11.1†	2.38	4	7
p3	28	17	47	-	-	-	-17.8	0.32	1	1
p4	32	11	124	7.5	0.83	1	11.5	1.20	2	1
p5	27	37	68	36.4	1.15	14	36.4	1.15	0	14
p6	26	40	158	-	-	-	-9.1	2.37	5	1
p7	48	56	177	28.1	13.45	51	48.6*	24.72	1	86
p8	37	35	111	-	-	-	30.5†	1.55	4	7
p9	62	10	279	19.6	8.40	17	40.2*	33.45	9	132
asc	24	24	53	-	-	-	10.4†	0.40	2	1
bw	5	28	24	-	-	-	-1.3	0.13	3	1
duke	22	29	86	13.7	0.64	3	13.7	0.64	0	3
f2	4	4	8	-	-	-	-4.1	0.02	2	1
fp	27	22	47	11.4	0.11	2	11.4	0.50	0	2
dse	12	22	112	-8.9	0.99	2	-4.5	1.53	5	9
nse	13	23	124	-	-	-	7.9	0.92	6	7
opd	14	24	119	-10.4	2.43	3	-6.7	1.87	3	6
p420	17	29	223	18.4	8.03	7	18.4	8.03	0	7
rd53	5	3	31	-	-	-	11.7†	0.02	4	7
rd73	7	3	127	-	-	-	7.5	0.24	3	5
sao1	8	4	255	-	-	-	10.0†	0.47	5	15
sao2	10	4	58	-	-	-	8.3	0.14	6	5
5xp1	8	10	67	23.9	0.22	6	27.2	0.03	2	9
vg2	25	8	110	19.0	0.82	9	19.7	1.18	2	18

(使用計算機: SPARC Station1, 使用言語: C)

表2 PDECとの比較実験結果

PLA	入力線数		出力線数		積項線数		最大積項	削減率	PLA	入力線数		出力線数		積項線数		最大積項	削減率
3jo	6		6		31				f2	4		4		8			
	6	6	2	4	4	27	27	12.5		4	4	2	2	5	5	5	-4.1
	6	6	3	3	17	17	17	8.6		4	4	2	2	5	5	5	-4.2
p1	45		40		117				fp	27		22		47			
	45	31	34	6	109	17	109	3.5		19	19	20	2	38	24	38	11.4
	45	45	20	20	82	86	86	-21.2		27	27	5	17	38	36	38	-34.3
p2	23		62		101				dse	12		22		112			
	22	19	55	7	82	35	82	11.1		12	12	8	14	59	92	92	-4.5
	23	23	20	42	74	75	75	-5.3		12	12	9	13	80	80	80	-8.7
p3	28		17		47				nse	13		23		124			
	27	27	7	10	39	26	39	-17.8		13	13	10	13	32	114	114	7.9
	28	28	5	12	40	33	40	-36.5		13	13	11	12	101	94	101	-20.3
p4	32		11		124				opd	14		24		119			
	21	31	5	6	29	101	101	11.5		14	14	7	17	69	93	93	-6.7
	32	32	3	8	66	67	67	0.6		14	14	8	11	90	90	90	-16.4
p5	27		37		68				p420	17		29		223			
	15	22	29	8	50	19	50	36.4		17	16	17	12	156	83	156	18.4
	27	27	11	26	36	36	36	8.8		17	17	11	18	131	134	134	8.4
p6	26		40		158				rd53	5		3		31			
	24	26	1	39	34	156	156	-9.1		5	5	1	2	16	15	16	11.7
	26	26	10	30	138	141	141	-38.4		5	5	1	2	16	15	16	2.3
p7	48		56		177				rd73	7		3		127			
	20	29	21	35	91	87	91	48.6		7	7	2	1	92	35	92	7.5
	48	48	36	20	89	88	89	18.4		7	7	1	2	64	77	77	-1.5
p8	37		35		111				sao1	8		4		255			
	26	25	27	8	91	21	91	30.5		8	8	2	2	184	71	184	10.0
	37	37	19	16	61	67	67	3.3		8	8	2	2	129	154	154	0.1
p9	62		10		279				sao2	10		4		58			
	40	35	4	6	141	138	141	40.2		10	10	2	2	30	28	30	8.3
	62	62	5	5	135	144	144	3.7		10	10	2	2	30	28	30	8.3
asc	24		24		53				5xp1	7		10		67			
	24	9	23	1	46	8	46	10.4		5	7	5	5	21	45	45	27.2
	24	24	12	12	39	37	39	-19.5		7	7	5	5	33	33	33	22.0
bw	5		28		24				vg2	25		8		110			
	5	5	26	2	23	8	23	-1.3		18	25	6	2	60	50	60	19.7
	5	5	11	17	20	20	20	-5.3		25	25	4	4	55	55	55	6.9
duke	22		29		86												
	10	21	6	21	6	81	81	13.7									
	22	22	21	8	54	60	60	-5.6									



4. まとめ

ワンカット行量み込みを用いたPLAの並列分割法の改良案を提案し、計算機実験によってその有効性を示した。現在はどの入力線を削除するかを自動で求める技法を考案中である。また、他の直列分割法、並列分割法などと組み合わせて直並列、並直列分割のアルゴリズムも検討しており、それらのCPLDへの応用について考察している。これらについては稿を改めて報告する予定である。

謝辞

PLAデータを提供して頂いた九州工業大学の笹尾勤教授に深謝します。また、貴重なご意見を頂きました本学山田輝彦教授に感謝します。

参考文献

- [1] 笹尾: PLAの作り方,使い方,日刊工業新聞社(1986).
- [2] 笹尾: 論理設計-スイッチング回路理論, 近代科学社(1995).
- [3] Dietmeyer D. L. and Doshi M. H.: Automated PLA synthesis of the combinational logic of a DDL description, Design Autometion and FaultTolerant Computing, Vol.3, pp.241-257 (1980).
- [4] 笹尾,東田:PLAの直列分解について,電子情報通信学会, VLD87-94(1987).
- [5] 笹尾,東田:PLAの並列分解について,電子情報通信学会, VLD88-85(1988).
- [6] 井口,向殿: FPLAのワンカット行量み込み, 情報処理学会論文誌27-12,pp.1155-1161(1986).
- [7] 井口,向殿: 量み込み手法を用いたPLAの分割,"情報処理学会,設計自動化研究会資料42-7,(1988-05).
- [8] Brayton R. K. ,Hachtel G. D. , McMullen and Sangiovanni-Vincentelli,: ESPRESSO-II:A new logic minimizer for programmable logic arrays, 1984 CICC,pp.370-376,May 21-23 (1984).
- [9] 井口,松島,成田: 量み込み法を活用したPLAの並列分割,第51回情報処理学会全国大会,7P-2(1995) .