

MMIC用自動配置配線の一手法

吉岡智良 長尾明 神戸尚志

シャープ株式会社
精密技術開発センター
〒632奈良県天理市櫛本町2613-1

MMIC (Monolithic Microwave IC) は高周波のアナログICであり、伝送線路を扱うなどレイアウト設計を自動化する際の配置配線の制約となる要因が多く、その自動化は進んでいない。

そのため、我々はMMICのレイアウト設計において、上層メタルによる一層優先配線、配線長に対する上限指定、異なる幅の配線などができる自動配置配線方法を実現した。本手法はグラフの平面描画手法を用いて求めた配置と配線経路のトポロジーをもとに、配置処理と配線処理を同時に行ない、その際チップ面積だけでなく、各種レイアウト設計制約を考慮した評価式を用いて配置配線の最適化を図ることを特徴としている。

本文ではそのレイアウトモデルおよび評価式と、レイアウト制約に基づくブロックの併合とバックトラックによる配置配線手法について述べ、実験により性能を評価する。

A Placement and Routing Method for MMIC Layout

Chiyoshi Yoshioka, Akira Nagao, and Takashi Kambe

SHARP Corporation
Precision Technology Development Center
2613-1 Ichinomoto-cho, Tenri-shi, Nara 632, Japan

MMICs is an analog IC for high frequency band and there are too many varieties of layout constraints such as a single layer routing with the upper limit of wire length, different shapes of layout elements and so on. Hence, it is too difficult that realize the layout automation.

We propose a new method that is simultaneously attempted a placement task and a routing task to cope with layout constraints and minimize chip area. In this paper, our layout models and a new approach of placement and routing that is applicable for the layout design of MMICs are described and experimental results are shown.

1. はじめに

PHS等に代表される移動体通信機器に用いられているMMIC (Monolithic Microwave IC) は高周波のアナログICであり、デジタルICと比べてレイアウト設計の自動化が進んでいない。MMICが高周波であるため配線の長さに制限が存在する、製造プロセス条件から配線はメタル二層を用い、その中の上層を優先した一層優先配線である必要がある、大きくサイズの異なるブロックや多くの太さの異なる配線が混在する、などのレイアウト設計を自動化する際の障害となる配置や配線処理の制約が多く存在するためである。MMICチップが正常に動作するためには、レイアウト設計において部分的にレイアウト制約を満たすのではなく、全ての制約を満たす必要がある。特に配線は制限以内の配線長が要求される。

そのため、従来の自動レイアウト設計手法で一般に用いられるブロックの配置処理 [1] と配線処理を分離し、全てのブロックの配置処理が完了した後、一層優先配線で、しかも配線に関する制約が満足できるように配線経路を決定し配線処理を行なう方法では、他のネットの配線経路やブロック位置が障害となって配線長の制約を満足できない場合が生じる。

また配置と配線処理を分離しない方法 [2] はコンパクション技術を用いた手法であり、配線長の制限など全ての配線に関する制約を満足させることはできない。

本手法は上記制約を全て満足し、更にチップ面積の最小化を実現するため、その両方を同時に考慮した評価式を用い、ブロック配置と配線経路を同時に決定する。更にレイアウト処理の途中で配線に関する制約違反や多くの無駄な配線領域が生じた場合はバックトラック処理による配置配線の改善を行なうことで高周波アナログICであるMMICに適用できる自動配置配線の一手法である。

本文は5章で構成する。2章では本手法が用いたレイアウトモデルについて示し、3章で配置配線処理全体の概要を説明する。4章はブロック位置の決定及びブロック間配線について、その際用いる評価式と評価項目、バックトラック処理を行なう際の条件、及びアルゴリズムについて述べる。最後に5章で本手法によるレイアウト結果を示し、その考察を行なう。

2. レイアウトモデル

本手法が扱うレイアウトモデルは以下のとおりである。

1. 各ブロックは任意の大きさの矩形形状であり、その周囲上には他のブロックとの接続のための端子が存在する。
2. ブロックには90度、180度、270度の回転と反転が可能なもの、90度、270度の回転は不可のものが混在する。
3. パッドはチップ周囲上に配置し、各パッドはチップ上のサイド及び順番が予め指定される。
4. 配線にはメタル二層を用いるが、上層メタルを

優先し、メタル上層と下層間を繋ぐ場合はビアを用いる。

5. 配線の太さは任意とする。

6. デザインルールに関しては各ブロックと配線間、配線と配線間でのスペーシング値を個々に設定する。

3. 処理の概要

本手法はメタル上層を優先的に使用した一層優先配線を実現するため、グラフ理論の平面化手法 [3][4] を用い、入力回路情報からブロックの反転等を考慮し、配線交差数を最小化し、配線が一層で行なうことが可能なブロック位置と配線経路のトポロジーを決定する平面描画処理を行なう。配置配線処理は、このトポロジー情報に基づいて処理を行なうことで、メタル上層を優先した配線の実現を可能としている。図1に回路図の一例を示す。グラフ平面化手法によってこの回路図からノードが各ブロック (パッドを含む) と配線分岐部分を示し、エッジが配線の接続を示す平面描画したグラフ (図2) を抽出する。これにより、各ブロック位置と配線経路の間で一層優先配線できるトポロジーが決定する。詳細については既に参考文献 [5] 及び [6] で報告している。

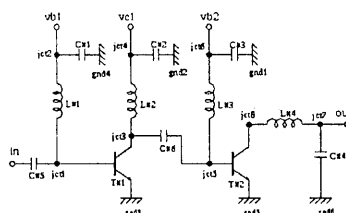


図 1: 回路図

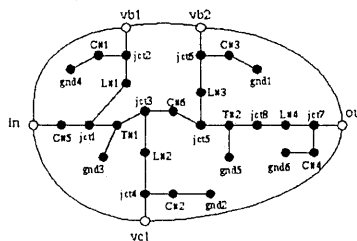


図 2: 平面描画グラフ

配置配線処理は以下の手順で行なう。(図3) 配線に関する制約とチップ面積の最小化を同時に考慮した評価式を用いて、配置すべき全てのブロック

集合の中から二つのブロックを選択し、その位置関係を決定する。位置関係とは、隣接する二つのブロック間における相対位置である。例えば、図4の(a)、(b)に示すように縦並びと横並びの場合に、各ブロックが各々90度、180度、270度と回転した場合などの組合せがある。

次にその位置関係の決定した二つのブロック間を配線し、一つのブロックに併合(図5)する。本併合処理を全てのブロックが一つの併合ブロックになるまで繰り返し行なう。

しかし、評価式を用いて配置配線を行なうことだけでは、全ての配線に関する制約を満足させることはできない場合がある。そこで、本併合処理の過程で配線制約の違反や多くの無駄領域が生じる場合は併合したブロックを分解し、バッグトラック処理を行なう。以上の処理により、全ての制約を満足させ、チップ面積の最小化を実現する。

次章で配置配線処理の詳細を説明する。

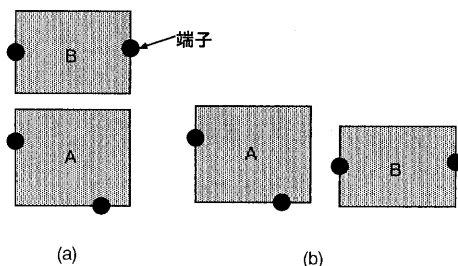


図4: 縦並びおよび横並びのブロック配置

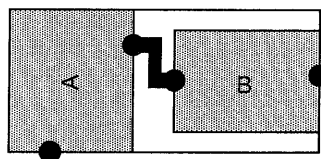


図5: 併合ブロック

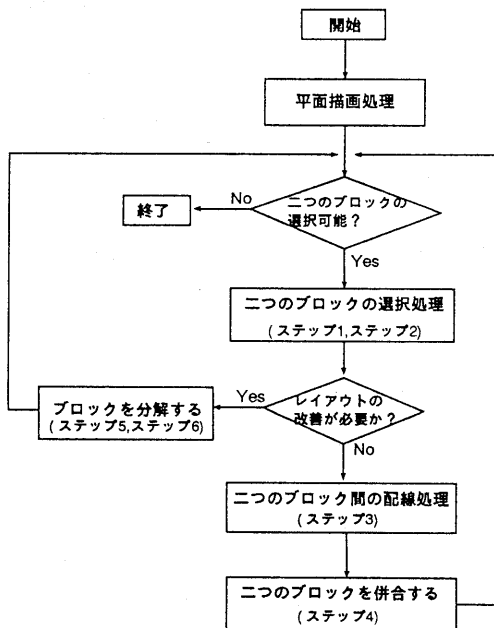


図3: フローチャート

4. 配置配線方法

4. 1 ブロック位置の決定方法

本手法は下記の式(1)で示す評価式を用い、二つのブロック間の位置関係を求める。評価式(1)は以下の評価項目からなる。

$$F = \alpha \times \text{アスペクト比} + \beta \times \text{無効領域比} + \gamma \times \text{配線長} + \delta \times \text{制約違反ネット情報} + \varepsilon \times \text{優先ネット情報} + \zeta \times \text{接続ネット本数} \dots (1)$$

(α 、 β 、 γ 、 δ 、 ε 、 ζ は係数)

(1) アスペクト比とは選択された二つのブロックを配置した際の外接矩形の長辺と短辺の比率である。

(2) 無効領域比とは二つのブロックを配置した際の外接矩形の面積から実際のブロック自体の面積を引いた割合である。

(3) 配線長とは、二つのブロック間を結ぶ全てのネットの配線経路から算出した配線長の総和である。

(4) 制約違反ネット情報とは配線の長さ制限に違反する可能性の高さに応じて評価値を変化させるものである。

(5) 優先ネット情報とは他のネットより優先的に配線を行なう必要のある特定ネット(例えば極力短く配線したいネット)が存在するか否かによって、評価値を変化させるものである。

(6) 接続ネット本数とは二つのブロック間において接続要求のあるネットの本数である。

上記の(1)、(2)によって極端に細長い形状の併合ブロックの生成を防ぎ、多く場合無駄な配線領域となる図6の破線で囲んだ部分が小さくなるようにブロックを選択し併合を行ない、チップ面積の最小化を図る。

またその他の評価項目によって、配線長の増加を防ぎ、MMICのレイアウトに多く存在する配線に関する制約を解消する。

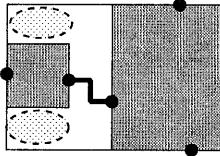


図 6: 無駄な配線領域

4. 2 バックトラック処理

評価式による配置配線処理では図 7 の (a) (b) で示すように各二つのブロック間においては最良の評価値によって決定された場合でも、その上位階層では図 7 (c) のように最も良い組合せを行なっても図 8 (c) と比べると配線長が長く、しかも面積の大きくなる場合が存在する。図 8 (c) のような解を求めるにはブロックの組合せにおいて常に最良解による組合せを求めるだけでなく、図 8 (a) と (b) のように最良解でない組合せも求めることができる手法が必要である。そのため、本手法では下記に示す条件を満たす場合には下位のブロックにおいて新しい組合せを求め、制約違反の解消やチップ面積の最小化を行なう。

本手法は以下の 2 つの条件に該当する場合、各々バックトラック処理を行なう。尚、制約が厳しくバックトラック処理によって制約を満たすことができない場合はバックトラックの実行回数の指定により処理を終了させる。

(条件 1)

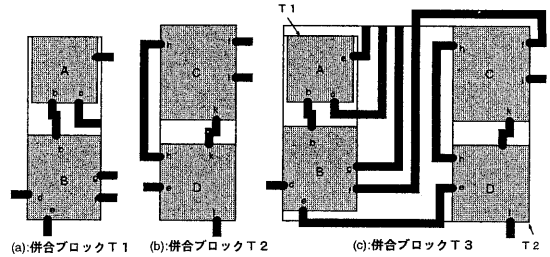
二つのブロックが如何なる位置関係においてもその間を結ぶ配線の中には配線制約違反するものが存在する。

この条件 1 に該当することは、残りの全てのブロックをどのように配置しても、この二つのブロックを隣接して配置を行なった場合に生じる制約違反するネットの違反解消が行なえないことを示している。従って、この条件 1 を用いることで、配線に関する制約違反の発生を解消する。

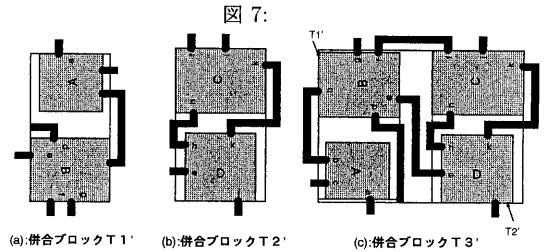
(条件 2)

評価式 (1) の値が、一定の基準値を越えるブロックの組合せだけが存在する。

この条件 2 を用いることで全てのブロックの組合せで配線制約を満たさせた位置関係を求めても、ブロックの形状やブロックの大きさの違いにより生じる無駄な配線領域の発生を防ぐことなどが可能となる。



(a) 併合ブロック T1 (b) 併合ブロック T2 (c) 併合ブロック T3 T2



(a) 併合ブロック T1' (b) 併合ブロック T2' (c) 併合ブロック T3' T2'

図 8:

4. 3 配置配線処理のアルゴリズム

本手法のアルゴリズムを図 3 に基づいて説明する。

(ステップ 1)

配置すべき全てのブロック集合の中から任意の二つのブロックを取り出し、評価式 (1) によって二つのブロック間における位置関係を求める。

(ステップ 2)

全てのブロックの組合せについて、ステップ 1 の処理を行ない、その中から評価式 (1) の値が最良な一組のブロックとその位置関係を決定する。

(ステップ 3)

二つのブロック間を一層優先配線する。(図 9) その際、図 10 に示す二つのブロック間で、結線要求のあるネット (ネット a、b、c) の配線経路のうち、ブロック間を通過する配線経路 (ネット a、c) は外接矩形上に仮端子を設け、ネット交差のないように通過順を決める。また二つのブロック間で結線要求のないネット (ネット e) も配線を一部引き出し通過順を決める。

(ステップ 4)

二つのブロックを併合して、一つの (併合) ブロックとする。その際、新しく生成された (併合) ブロックをステップ 1 のブロック集合の中に入れ、併合された元の子ブロックはその集合から取り除く。全てのブロックが一つのブロックに併合された場合本処理は終了する。

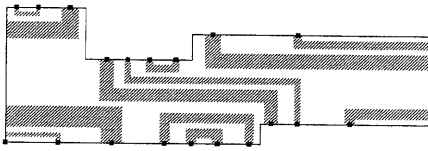


図 9: 配線結果
配線経路

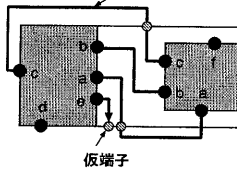


図 10: 配線経路

(ステップ5)

ステップ1で取り出した二つのブロックに前出の条件1を適用し、該当しているかどうかを判断する。条件に該当する場合は、対象とする二つのブロックのうち、少なくとも一方を分解する。

尚、分解するとは、その対象となったブロックを集合の中から削除し、新たにその子ブロックを集合に入れる処理である。また分解する際は、以降の処理で再度同じブロックを生成しないように履歴情報を残し制御する。

ブロック分解後、ステップ1の処理に戻り、分解されたブロックと異なる新しいブロックの組合せ、または位置関係で配置配線処理を行なう。

(ステップ6)

ステップ2で全てのブロックの組合せ評価を終了後、前出の条件2を適用し、該当するかを判断する。この条件に該当する場合はブロック集合の中から最も悪い評価値で併合されているブロックを対象として分解する。

分解後、ステップ5と同様にステップ1に戻る。

5. 実験結果

本手法を適用して配置配線したチップレイアウト結果の一例を図11に示す。このレイアウト結果は図1で示した回路図から平面描画処理によってブロックと配線間のトポロジーを求め、その結果に基づき配置配線処理を行なったものである。このレイアウト結果には数箇所配線の小さな無駄な折れ曲がり存在するが、大きな迂回はなく、多くの太さの異なる配線による配線長の短い層優先の配置配線結果

となっている。従って、本手法の有効性を示すレイアウト結果である。

図12は更に規模の大きいデータのチップレイアウト結果の一例である。本データはブロック数が56個(内パッド数4個)あり、その中の22個は90度、270度回転できないブロックである。更に図の右下のブロックのように他のブロックと大きくサイズの異なるブロックも存在する。また端子数は97個、ネット数は22本であり、複数の多端子ネットが存在する。自動配置配線処理の実行時間は約70mipsの計算機で2分30秒で完了した。このデータのレイアウト結果においても大きな配線の迂回はなく、各ネットは予め設定された範囲以内の配線長でレイアウトを実現した。

本手法で用いた評価式(1)の有効性を示すため、配線長と配線の無駄領域の2つの評価項目の重みを変えた実験を行なった。表1に

・図12のデータ(データ1)

・無駄な配線領域が減少するように評価値の重みを変えた場合(データ2)

・配線長が短くなるように評価値の重みを変えた場合(データ3)

の3種類の評価式によるチップ面積と総配線長の比較を示す。実験は評価式(1)の係数 β と γ の値を変更し、他の係数は同じ値とした。表中には各データにおける β と γ の係数値とチップ面積、総配線長の実測値及び括弧内にデータ1を基準に比較した値を示している。

データ1と比べてデータ2は総配線長、チップ面積ともに増加している。これはチップ面積全体に占める配線面積の割合の大きいMMICのレイアウトでは配線長の増加が直接チップ面積の増加の原因となっている。

データ3においては無駄な配線領域が多く生じたためチップサイズが大きくなり、その結果配線長自体も長くなった。

本実験から評価式(1)の係数値を適切に定め、配線長とブロック間に生じる無駄な配線領域の両方を同時に考慮することとバックトラック処理によって、全ての配線に関する制約に対応し、チップ面積の最小化した良質のレイアウト結果を効率的に求めることができ本手法の有効性を示すものである。

今後の課題としては、MMICでは形状を変更できるブロックが存在する。更にチップ面積の最小化を進めるため、そのブロックを新しくレイアウトモデルに加え、配置配線処理時にその形状を最適化する手法を研究する。

	β	γ	チップ面積 ₂ (単位mm ²)	総配線長 (単位mm)
データ1	400	5×10^{-4}	8.360 (1.00)	33.744 (1.00)
データ2	700	5×10^{-5}	10.178 (1.22)	61.838 (1.83)
データ3	100	5×10^{-3}	12.938 (1.55)	42.573 (1.26)

表 1:

参考文献

- [1] W. Dai, M. Sato, and E. S.Kuh, "A Dynamic and Efficient Representation of Building-Block Layout", Proc.24th D.A.Conf., pp.376-384 (1987)
- [2] H.Shin, A.L.Sangiovanni-Vincentelli, and C.H.Sequin, "TWO-DIMENSIONAL COMPACTION BY ZONE REFFINING", Proc.23rd D.A.Conf., pp.115-122 (1986)
- [3] J.Hopcroft and R.Tarjan, "Efficient planarity testing", J.ACM, vol.21, no.4, pp.549-568, Oct. (1974)
- [4] T.Chiba, I.Nishioka, and I. Shirakawa, "An algorithm of maximal planarization of graphs", Proc.of IEEE Int. Symp. on Circuits and Systems, pp.649-652, July(1979)
- [5] 長尾、磯部、神戸, "MMIC 自動配置配線アルゴリズム", 情報処理学会 DA シンポジウム '94, pp.147-152(1994)
- [6] A.Nagao, I.Shirakawa, C.Yoshioka, and T.Kambe, "A Layout Approach to Monolithic Microwave IC", Proc. ASP-D.A.Conf.'95, pp.256-272 (1995)

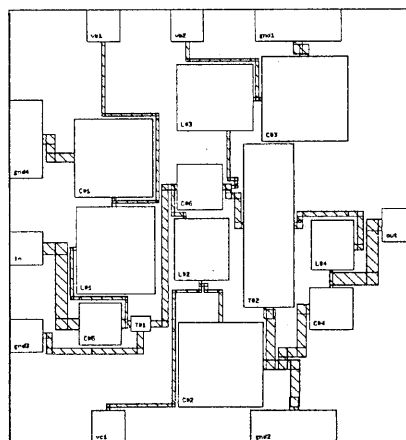


図 11: レイアウト結果 (1)

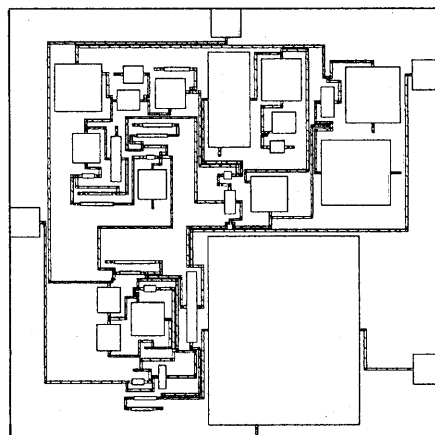


図 12: レイアウト結果 (2)