

## 抵抗アレイモデルを用いたアナログ回路用概略配線

岡田和久 小野寺秀俊 田丸啓吉  
okada@tamaru.kuee.kyoto-u.ac.jp  
京都大学工学部電子通信工学科  
〒606-01 左京区吉田本町

従来のアナログ回路用配線手法は概略配線を用いず、迷路法や線分探索法を応用した手法を配線の初期段階から用いている。しかし、従来手法は、配線を1本ずつ行うため、配線順序に大きく影響され、局所解に陥りやすかった。また、着目配線の周囲のみ考慮して、レイアウト全体を見渡していないため、必ずしも大局的に良い解が得られる保証はなかった。本稿では新たにレイアウト全体を見渡し、全ネットを同時に考慮する概略配線手法を提案する。また、この概略配線手法の実現として、抵抗アレイモデルを用いた手法を紹介する。本手法はアナログ回路特有の配線長、クロストーク、配線混雑度の制約を考慮し、レイアウト全体を見渡し、全配線を同時に決定することで、より品質の良い解を得る。また、実験により、本手法は配線長とクロストークを考慮しつつ、そのトレードオフを調整できることを示す。

## A Global Routing Algorithm for Analog Circuits Using Resistor Array Model

Kazuhiisa Okada, Hidetoshi Onodera, Keikichi Tamaru  
Department of Electronics and Communications, Kyoto University  
Sakyo-ku, Kyoto-shi, 606-01, Japan

The routing inside analog functional blocks seldom adopts global routing strategy. Detailed routing methods such as maze routing and line search routing are applied from the beginning. Since these routing methods determine the position of each net one by one, the routing order of each net has a strong effect on final routing results which are often trapped to local optima. Detailed routing methods, by their nature, consider the routing problem locally and lack global view of resulting layout. As a result, overall routing quality may not be good. In this paper, we propose a new global routing method that can consider all the nets simultaneously on the whole layout surface. We show such a global routing algorithm using resistor array model. This algorithm can consider analog related constraints such as crosstalk and wire lengths during the global routing phase. The experimental examples confirm that our method can consider wire length and crosstalks and can adjust their trade-off.

## 1 はじめに

概略配線とは、各配線が通るレイアウトの領域を実際の詳細な配線に先だって予め求める方法である。配線問題を概略配線と詳細配線に分けて行うことで、概略配線においてはレイアウトの詳細で局所的な制約条件を考えずに済み、大局的に考える必要のある制約条件を十分に考慮できる。また、詳細配線においても、例えばデザインルールのような局所的な制約条件のみを考慮すれば良く、処理が簡潔になる。

デジタル回路は一般に規模が大きく、レイアウトを簡潔に自動設計するために、配線は概略配線と詳細配線に分けて行われるのが通常である。

しかし、従来のアナログ回路用配線手法 [1, 2] はこのような方法をとっておらず、迷路法や線分探索法を応用した手法を配線の初期段階から用いている。この理由は、アナログ回路の特性がレイアウトの影響を受け易いことによる。アナログ回路はノイズの影響に敏感であるため、配線に対しても寄生容量や抵抗、配線間のクロストークなど多くの制約を考慮せねばならないが、従来手法は配線の詳細なとり回しの調整によりこれらに対処している。しかしながら、従来手法は配線を1本ずつ行うために局所解に陥りやすく、最悪の場合、解が得られないこともありうる。また、着目配線の周囲のみ考慮して、レイアウト全体を見渡しておらず、必ずしも大局的に良い解が得られる保証はない。アナログ回路の配線においても、配線長やクロストークなどの種々の制約を効率的に考慮するために、まずレイアウト全体を大局的に捉えて各配線の経路を決定し(概略配線)、次いで詳細な位置を求める(詳細配線)手法が有効と考えられる。

本稿ではこれらの点を考慮し、アナログ回路特有の配線長、クロストーク、配線混雑度等の制約を考慮し、レイアウト全体を見渡し、全配線を同時に決定する概略配線手法の一例を示す。

## 2 レイアウト全体を見渡した概略配線

従来のアナログ回路用配線手法 [1, 2] は迷路法や線分探索法を応用した手法を配線の初期段階から用いている。これらの手法では、寄生容量や抵抗、クロストークなどによる影響を容易に見積もることができるからである。しかし、配線を一本ずつ順に施すため、配線順序がレイアウト結果に大きく影響する。例えば、図1(a),(b)は配線順

序の違いにより、非常に異なった結果となっている。配線を行う前に、予め適切な全ての配線順序を決定するのは困難である。そのため、リップアップ・リルートのような繰り返手法を用いることが多い。しかし、このような手法では決して解が求まらない場合も存在する。

例えば、図2のような配置で配線幅が配線1本分しかないような場合、または、2つの配線が並行してはならないような場合、解は図2(a)またはその対称形しかない。もし、配線を最短経路を順に1本ずつ結ぶ詳細配線手法を用いたとすると、まず、1本目の配線は図2(b)のどちらかになる。この時、2本目の配線は不可能となっている。2本目の配線のために1本目の配線を取り去ると、初期状態に戻る。その後、2本目の配線をしたとしても状況は変わらず、図2(a)の解に到達することは不可能である。このような状況は配線のアルゴリズムに関わらず1本ずつ配線を行う手法に固有の性質である。この例は、良い解を得るには配線を大局的に見ることが必要であることを示している。全ての配線を同時に全配線領域に渡って考慮するような概略配線手法が必要である。

今回提案する概略配線手法は、全ての配線をレイアウト全体において同時に考慮するために、全配線領域においてネットの「配線可能性」を定義する。「配線可能性」とは、各配線領域にネット毎に定義されるもので、ネットがその配線領域に配線される可能性を示す。初期状態では全てのネットは全ての配線領域にいくつかの配線可能性を持つ。そして、全ての配線領域の全てのネットに対する配線可能性を同時に考慮して、解の品質が向上する方向に配線可能性を増減し改善していく。これにより、あるネットはある配線領域に配線される可能性が増加し、別の配線領域に配線される可能性が減少する。この過程で、あるネットの配線可能

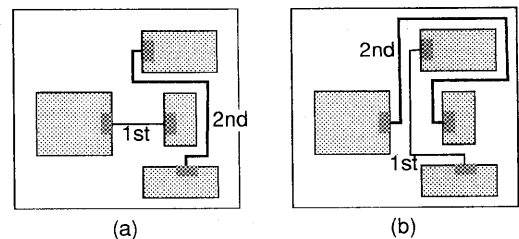


図1: 配線順序による解の違い

性が各配線領域で0か1のいずれかになると、そのネットは配線可能性が1の配線領域に配線されたことになる。最終的には全ネットに対して各配線領域の配線可能性が1か0になり、その時点で配線経路が確定する。いかえると、本手法ではネットは初期状態ではレイアウト全体に「薄く」存在するが、処理の進行に伴い、ある配線領域の配線が徐々に「濃く」なってゆき、最終的に適当な領域に確定する。

本手法では配線領域を抵抗アレイモデルで表すことで配線可能性の評価を行う。これにより、配線可能性を配線領域毎の局所的な評価ではなく、他の全配線領域の影響を考慮して求めることが可能になる。

### 3 抵抗アレイモデルを用いた概略配線手法

#### 3.1 概要

本節では、抵抗アレイモデルを用いた概略配線手法について述べる。本手法が考慮する制約条件は、配線長、配線間のクロストーク、配線混雑度である。

本手法はまずレイアウト全体の配線領域をいくつかの部分に分け、それぞれのネットの配線可能性をそれらの配線領域毎に見積もる。図3(a)は2つのセルを含むレイアウトで、点線で区切られた配線領域に分けられている。図の2端子を接続する可能な配線はa~dの4通りがある。この内、aが最も配線長が短く、良質な解となる可能性が高いため、aの配線が含まれる図の下部の領域の配線可能性を大きく、それ以外の領域の配線可能性を小さくするように、配線可能性を見積もる必要がある。本手法では抵抗アレイモデルを用いることでこれを実現する。

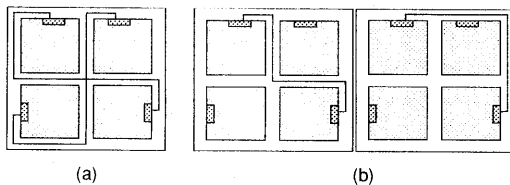


図2: リップアップ手法の問題点 (a) 可能な解 (b) リップアップしても解は得られない

次に、配線可能性をもとに、それぞれの配線領域の善し悪しを評価する。配線長を短くする場合は上で求めた配線可能性の小さい領域には配線しないようにする。クロストークについては、当該の2ネットの配線可能性が共に大きい時に一方をその領域に配線しないようにする。配線混雑度については、その領域における全ネットの配線可能性の総和を考慮すれば良い。以上のような点を考慮した評価関数を用いて各配線領域を評価し、最悪評価の配線領域を求める。

次に、その領域の改善のため、そこを通る可能性があるネットのうち、後述の評価関数によって求めたある1つのネットの配線可能性を0にする。これにより、その領域内の総配線長、総クロストーク、配線本数が共に減少する。一方で、その取り去られたネットの他領域での配線可能性は増加する。例えば、図3(b)で配線長を最小化する場合、配線可能性の最も小さい配線領域の1つを選ぶ。図の場合は上部右側領域であったとする。これにより、b,dの配線は不可能となり、a,cの含まれる領域の配線可能性が大きくなる。

この改善を繰り返すと、最終的には全ネットの全配線領域における配線可能性は1か0になる。これは全ての配線経路が決定されたことを示す。アルゴリズムの詳細は後に示す。

#### 3.2 問題の定義

本手法が扱う問題は、初期レイアウト、ネットリスト、ネット毎の配線長の影響を示す係数(配線長係数)、2ネット間のクロストークの影響を示す係数(クロストーク係数)、配線領域の幅を入力とし、それぞれのネットが通る一連の配線領域を求めるものとする。このとき、レイヤの割り当ては考えない。

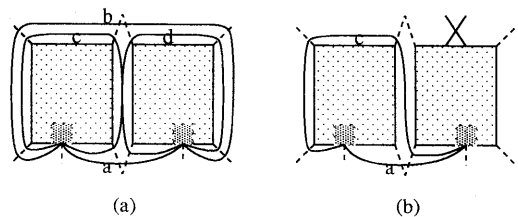


図3: アルゴリズムの概要

### 3.3 レイアウトモデル

まず、配線領域をチャンネルグラフとして表す。チャンネルグラフの枝は2つのセルに挟まれた配線領域に対応し、2対の配線領域が交差する領域がそれらの枝の交差する節点に対応する。チャンネルグラフの詳細については[3]に記述がある。チャンネルグラフをもとに図4のように抵抗アレイを生成する。グラフの枝それぞれが抵抗に対応し、枝に対応する配線領域の長さによって抵抗値を決定する。グラフの節点はそれぞれ抵抗の接続点に対応する。

説明を簡便にするため、ここでは全ネットは2つの端子しか持たないとする。多端子のネットについては後程説明する。

1 ネットにつき1つの抵抗アレイを用意する。それぞれの抵抗アレイは、上述のチャンネルグラフに対して、ターミナルに対応する位置に節点を加えたグラフより生成する。次に、ターミナルに対応する2節点に $\pm 1[A]$ の電流源を接続する。この時に流れる電流の絶対値が、その抵抗が示す領域における、対応ネットの配線可能性を示すものとする。

### 3.4 アルゴリズム

レイアウトが $m$ 個の配線領域よりなり、幅 $w_1 \sim w_m$ の配線領域がそれぞれ $m$ 個の抵抗( $r_1 \sim r_m$ )で表されるとする。 $n$ 本のネット( $N_1 \sim N_n$ )を配線する場合について述べる。ネット $N_i$ に対して抵抗アレイ $C_i$ を用意し、そこに含まれる抵抗を $R_{ij}$ とし、抵抗 $R_{ij}$ に流れる電流を $I_{ij}$ とする。この時、 $I_{ij}$ はネット $i$ が配線領域 $j$ に存在する確率を表す。 $l_i$ はネット $i$ の配線長に関する係数、 $c_{ij}$ はネット $i, j$ 間のクロストークに関する係数である。

以下で本アルゴリズムを説明する。

1. 抵抗アレイ回路 $C_1 \sim C_n$ を解き、それぞれの $C_k$ について $I_{k1} \sim I_{km}$ を図5(a)のよう

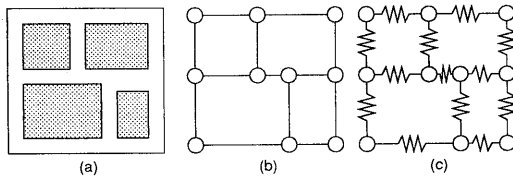


図4: 抵抗アレイモデル (a) レイアウト (b) チャンネルグラフ (c) 抵抗アレイモデル

に求める。図5(a)は2つのセルを含むレイアウトに2つのネットA,Bを配線する様子を示しており、上下の図はそれぞれ同一のレイアウトのネットA、ネットB用の抵抗アレイモデルで、図中の矢印の太さは電流の大きさを示している。

2. それぞれの配線領域について下の関数 $f(i)$ を評価する。関数は値が小さい程良い。

$$\begin{aligned}
 f(i) &= (\text{crosstalks}) \\
 &+ (\text{wirelengths}) \\
 &+ (\text{channelwidths}) \\
 &= r_i \sum_{j=1}^n \sum_{k=1}^n |I_{ji}| |I_{ki}| c_{jk} \\
 &+ r_i \sum_{j=1}^n \begin{cases} (1 - |I_{ji}|) l_j & (|I_{ji}| > 0) \\ 0 & (|I_{ji}| = 0) \end{cases} \\
 &+ \frac{1}{w_i} \sum_{j=1}^n |I_{ji}|
 \end{aligned}$$

評価関数 $f$ が最も大きくなる配線領域を求める。ここでは $f(p)$ が最大である、すなわち、配線領域 $p$ において、配線長、クロストーク等によるレイアウトの品質劣化が起こる可能性が最も大きいとする。

3. 2.で求めた配線領域において、上記の評価関数がより改善されるように、ある1つの抵抗を取り去る。取り去る抵抗の条件は、取り去られることでできるだけ評価関数 $f$ を小さくすること、属するネットの当該領域における配線可能性ができるだけ小さいことである。後者は他の配線領域に対する影響を小さくするため必要である。これらの条件を考慮する

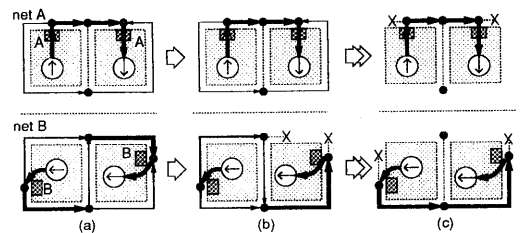


図5: 提案手法 (a) 電流源をつけたアレイ (b) 抵抗を取り去る (c) 結果

ため、下の評価関数  $g$  を最大とするネットを  
求める。ここで  $f_i$  はネット  $i$  に属する抵抗を  
取り去った時の、当該領域の評価関数である。

$$g(i) = \frac{f(p) - f_i(p)}{|I_{ip}|}$$

ここでは、 $g(q)$  が最大、つまり、その抵抗は  
ネット  $q$ 、抵抗アレイ  $C_q$  に属するとする。  
図 5(b) では右上配線領域のネット B の抵抗  
が取り去られている。

4. 抵抗アレイ  $C_q$  を解き、 $I_{q1} \sim I_{qm}$  を更新す  
る。
5. もし余回路  $C_1 \sim C_n$  中の全抵抗に流れる電  
流が  $0, 1, -1$  [A] のいずれかになれば終了する。  
そうでなければ 2. に戻る。
6. 各ネットの配線経路は対応する抵抗アレイの  
1 または  $-1$  [A] の電流が流れる抵抗列として  
図 5(c) のように求まる。

本手法のチャネルグラフの生成を除いた部分の  
計算複雑度は、レイアウトを表す抵抗数  $m$ 、配線  
数  $n$  に関して、 $O(m^{2.4 \sim 2.7} n)$  である [4, 5]。

### 3.5 多端子配線の扱い

ここまでは 2 端子のネットについて説明した。  
ここでは多端子ネットの取り扱いについて述べる。

2 端子の場合の配線可能性の見積もりにおいて、  
 $+1$  [A] と  $-1$  [A] の電流源をそれぞれの端子に接続し  
た。3 端子の場合は、図 6(a) のような 3 つのベク  
トル量を考え、そのベクトル量の電流源を接続す  
る。すなわち、 $(1, 0)$ ,  $(-\sqrt{3}/2, 1/2)$ ,  $(-\sqrt{3}/2, -1/2)$   
の 3 つの値である。この場合に回路を解いて得ら

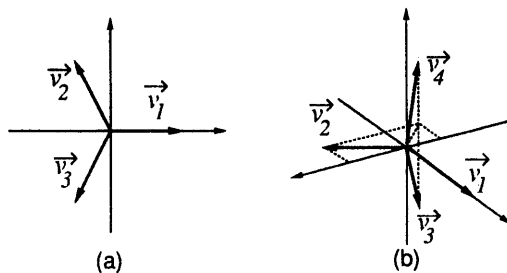


図 6: 多端子ネットの取り扱い (a) 3 端子の場合  
(b) 4 端子の場合

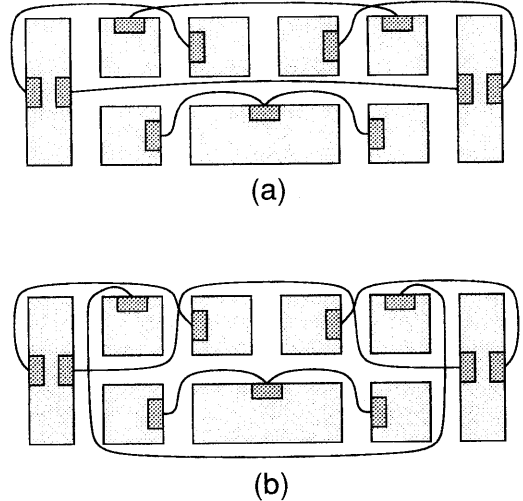


図 7: 実験例 1 (a) 配線長のみ考慮 (b) クロスト  
ークのみ考慮

れる電流値もベクトル量になる。配線可能性の見  
積もりについては、2 端子の場合は電流の絶対値  
としたが、3 端子の場合も同様にベクトルの大き  
さをとれば良い。

4 端子の場合は図 6(b) のような 3 次元の 4 つの  
ベクトル量を考えることで同様に扱える。5 端子  
以上の場合も同様に高次元の正多面体を用いるこ  
とで対応できる。

## 4 実験結果

本手法を EWS 上に実現し、実験を行った。

図 7 に同一レイアウトに対する 2 つの結果を示  
す。図 7(a) は配線長の影響のみを考慮した。配線  
長の総和は最小になっている。図 7(b) はクロスト  
ークの影響を配線長の影響の 10 倍に設定した場合の  
結果である。図 7(b) の総配線長は図 7(a) に対して  
47% 大きくなっているが、総クロストークは 33%  
小さくなっている。いずれの場合も、評価関数の係  
数 ( $i, c_{ij}$ ) は同一の値にした。

同様に図 8 に 2 つの結果を示す。図 8(a) は配線  
長の影響のみを考慮した。配線が中央部に密になっ  
ており、配線の並行によるクロストークは大きい  
が、配線長は最短である。図 8(b) はクロスト  
ークの影響を配線長の影響の 10 倍に設定した場合の結  
果である。配線の並行は少なく、並行する配線は  
高々 2 本である。図 8(b) の総配線長は図 8(a) 対

して23%大きくなっているが、総クロストークは30%小さくなっている。図8(a),(b)いずれもチャネル幅は配線10本分とした。以上の実験結果も同様に本手法において配線長とクロストークのトレードオフを考慮できることを示している。また、本手法を図2に示したレイアウトに適用した所、正しい解が得られた。このことも本手法の有効性を示している。

いくつかのレイアウトについて表1に結果を示す。最上段が図2、2段目が図7、3段目が図8である。各レイアウトにおいて、それぞれ(a)は配線長を優先したもの、(b)はクロストークを優先したものである。また SparcStation 20 を用いた時の処理時間を2列目に示す。3、4列目の総配線長、総クロストークは(a)、(b)間の比である。配線長とクロストークのトレードオフが考慮できていることがわかる。

## 5 結論

本稿では配線を1本ずつ行う従来の配線手法の問題点を述べ、それを解決する一手法として、全ネットを同時にレイアウト全体で考慮する概略配線手法について述べた。また、その一実現法として、抵抗アレイモデルを用いて配線可能性を見積もる手法を説明した。実験により、配線長やクロストークを同時に考慮しながら、そのトレードオフを調整できることを確認した。

## 参考文献

[1] E.Malavasi, A. Sangiovanni-Vincentelli: "Area Routing for Analog Layout," IEEE Trans.

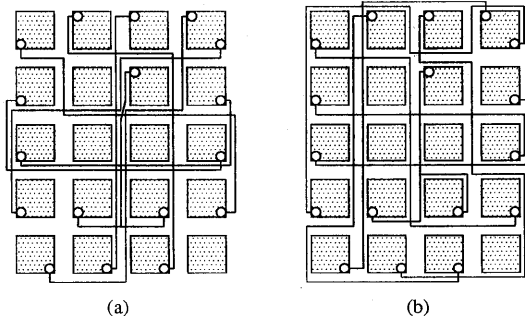


図8: 実験例2 (a) 配線長のみ考慮 (b) クロストークのみ考慮

layout		time(s)	length	crosstalk
4 cells 2 nets	(a)	0.13	0.75	1.00
	(b)	0.17	1.00	0.00
9 cells 6 nets	(a)	1.5	0.68	1.00
	(b)	1.2	1.00	0.33
20 cells 8 nets	(a)	7.7	0.81	1.00
	(b)	7.6	1.00	0.70
9 cells 14 nets	(a)	5.8	0.73	1.00
	(b)	5.8	1.00	0.72
9 cells 14 nets	(a)	5.7	0.98	1.00
	(b)	4.3	1.00	0.76

表1: 実験結果 (a) 配線長最小化 (b) クロストーク最小化

on CAD Integrated Circuit Systems Aug.1993  
pp.1186-1197

- [2] J.M.Cohn, D.J.Garrod, R.A.Rutenbar, L.R.Carley: "KOAN/ANAGRAM II: new tools for device-level analog placement and routing," IEEE J. Solid-State Circuits Mar.1991 pp.330-342
- [3] W.M.Dai, T.Asano, E. S. Kuh: "Routing Region Definition and Ordering Scheme for Building-Block Layout," IEEE Trans. on CAD VOL. CAD-4, NO. 3 July 1985 pp.189-197
- [4] K. Kundert, A. Sangiovanni-Vincentelli: "Sparse 1.3 User's Guide. Technical Report, UC-Berkeley, 1987
- [5] V.Raghavan, R.A.Rohrer, L.T.Pillage, J.Y.Lee, J.E.Bracken, M.M.Alaybeyi: "AWE-Inspired," IEEE Custom Integrated Circuits Conference 1993 pp.18.1.1-8