

P2Lib: スタンダードセルライブラリ自動生成システム

小野寺秀俊 平田昭夫 北村晃男 田丸啓吉
京都大学大学院工学研究科電子通信工学専攻

あらまし P2Lib は、与えられた製造プロセス情報に基づいて、スタンダードセルライブラリを自動生成するシステムである。マスク製造、自動配置配線、論理合成、シミュレーションなどの LSI 設計に必要なライブラリ一式を生成する。P2Lib は、異なった製造プロセスに対して同一のライブラリを提供するため、ゲートレベル既設計回路の再利用が可能になる。P2Lib の特徴は、セルの動作特性解析法として、回路シミュレーション以外に解析的手法を用意していることである。これにより、多様な動作条件やプロセス条件におけるライブラリを高速に生成でき、設計における自由度を大きく広げる事が出来る。P2Lib の利用者は、ライブラリに関する全ての情報を入手できるため、大学や高専における LSI 設計教育や研究を目的とした利用に適している。

P2Lib: Process Portable Library and Its Generation System

Hidetoshi Onodera Akio Hirata Teruo Kitamura Keikichi Tamaru
Department of Electronics and Communication, Kyoto University

Abstract This paper describes a process-portable library and its generation system called P2Lib. From technology parameters which characterize a fabrication process, P2Lib generates a complete set of standard cell libraries for logic synthesis, logic simulation, and layout synthesis. A distinctive feature of P2Lib is the rapid characterization of timing and power dissipation by an analytic-oriented method, as well as the accurate characterization by circuit simulation. A designer can quickly create a library under various operating conditions and process specifications, so that he can examine his design with CAD tools. The quality of generated libraries (layout and timing) are discussed and a design example with P2Lib is presented.

1 はじめに

ASIC は、予め設計されたセルライブラリを用いて設計される。ライブラリの特性は、設計回路の品質に直接関係する。そのため、セルライブラリは、製造プロセスの性能が最大限引き出されるよう最適化設計され、ASIC 製造業者より設計者に供給されるのが一般的である。ライブラリの特性は製造プロセスにより規定されることから、ライブラリが製造プロセスに依存したものとすることは避けられない。しかしながら、製造プロセス毎に独立に設計され、ASIC 製造業者より提供されるライブラリの利用には、三つの問題点がある。

第一の問題点は、既設計回路のゲートレベルにおける再利用性が低くなる事である。製造プロセスや製造業者が異なる場合、ライブラリの内容も異なるため、過去の設計資産のゲートレベルでの再利用が困難にな

る。

第二の問題点は、限られた情報しか提供されない事である。ライブラリは製造業者の重要な資産であるため、特定の情報が秘密保持契約の下で開示されるだけであり、全ての情報が提供される訳ではない。新規な設計手法を用いたり、詳細な解析を行いたい場合には、必要な情報が不足する。また、LSI の設計教育や研究においては、すべての情報が公開されたライブラリが必要である。

第三の問題点は、多様な動作条件やプロセス条件におけるライブラリが提供されない事である。これは、ライブラリの開発に長い期間を必要とし、開発コストが高い事に起因する。今後、低消費電力設計や高速化設計の為に、電源電圧や閾値電圧の調節をも検討する事が必要になる [1]。しかし、非標準条件に対応したライブラリが提供されなければ、設計や評価は不可能である。

これらの問題を解決するために、製造プロセスを自由に変更できる、CMOSスタンダードセルライブラリの自動構築システムP2Lib (Process Portable Library)を開発した。製造プロセスの特性を表す情報を与えると、その製造プロセス用のスタンダードセルライブラリを自動設計する。自動配置配線用のレイアウトライブラリ、論理合成や論理シミュレーション用のタイミングライブラリや消費電力ライブラリなど、設計に必要なライブラリ一式を自動生成する。本システムの最も特徴的な部分は、遅延や消費電力情報を生成する手段として、回路シミュレーションを用いた解析手法以外に、解析的な手法を提供している事である。前者の手法は、高い精度で遅延や消費電力を求める事が出来るが、多大な計算時間を必要とする。一方、後者の手法は、実用的な精度の特性を高速に求める事が出来る。これにより、種々の動作条件やプロセス条件における各種のライブラリ情報を迅速に提供する事が出来る。

P2Libにより、先の三つの問題は以下のように解決される。P2Libは、異なった製造プロセスに対して同一のライブラリを提供するため、ゲートレベルにおける既設計回路の再利用が可能になる。また、ライブラリ生成機構を含めて公開する計画であり、P2Libの利用者はライブラリに関する全ての情報が入手できる。特に、大学や高専におけるLSI設計の教育や研究において利用価値が高い。また、多様な動作条件やプロセス条件でのライブラリを高速に生成できるため、設計における自由度を大きく広げる事が出来る。

以下、本稿では、P2Libの概要と構成を2で説明する。P2Libが生成するライブラリ情報は大きくレイアウト情報と動作(遅延, 消費電力)情報に分類できる。レイアウト情報生成手法を3で説明する。動作情報生成手法を4で述べる。P2Libで生成したレイアウトや遅延情報の評価結果を5で説明する。P2Libの使用例について6で紹介する。

2 P2Libの概要

P2Libは、CMOS 2層メタルプロセスのスタンダードセルライブラリを自動構築するシステムである。製造プロセスの情報を与えることにより、そのプロセスに対応した、LSI設計に必要な各種ライブラリを生成する。

LSI設計用ライブラリに必要な情報は、論理素子の名称やシンボル、真理値表や論理式などの機能記述、トランジスタレベルのネットリストなど製造プロセスに依存しない情報と、レイアウトや動作特性など製造プロセスに依存する情報に分類できる。

製造プロセスに依存しない情報は、事前に作成したものを各プロセス共通に利用すればよい。製造プロセスに依存するレイアウトと動作特性情報については、製造プロセス情報より自動生成する機構が必要になる。P2Libのシステム構成を図1に示す。実際のライブラリデータを生成するP2Libシステム部とコアライブラリから構成される。P2Libシステム部は、遅延/消費電力情報生成システム、レイアウト生成シ

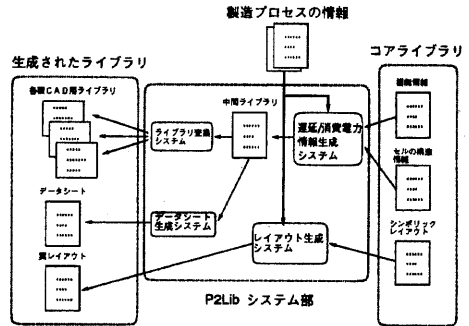


図1: P2Libの構成

システム、生成した遅延情報を各種CADツール用に変換するライブラリ変換システム、データシート生成システムで構成されている。コアライブラリは各ライブラリ生成システムに入力する情報の集合であり、あらかじめP2Libシステム部とともに準備する。機能情報、構造情報、シンボリックレイアウトを含んでいる。

P2Libに与える製造プロセス情報として、レイアウト生成に必要なものは、実際のデザインルールである。遅延情報の生成に必要なものは、トランジスタの動作特性や各種の容量値を計算するためのパラメータ群である。遅延/消費電力情報生成システムは、それらの情報とコアライブラリの情報を用いて、各セルの動作特性を算出する。求められた動作特性は、独自のフォーマットを持つファイル(これを中間ライブラリと呼ぶ)に書き出される。中間ライブラリには、各種設計工程において必要となる全ての情報が記述されている。実際のCADツールが用いるライブラリは、この中間ライブラリより必要な情報を選択し、所定のフォーマットに変換して作成する。これを行うのがライブラリ変換システムである。マスクレイアウトの情報は、コアライブラリのシンボリックレイアウトと製造プロセスのデザインルールより、レイアウト生成システムが作成する。

現段階でP2Libに含まれるセルの一覧を表1に示す。合計52種類のセルが用意されている。必要なデータをコアライブラリに登録していくことで、新しいセルを追加することが出来る。この際の最も大きな作業は、シンボリックレイアウトの作成である。以下の章では、レイアウト情報の生成手法と、遅延や消費電力といった動作特性情報の生成手法について説明する。

3 レイアウト情報生成機構

レイアウト生成機構として、パリ第6大学が開発したシンボリックレイアウト手法[2, 3]を採用した。これは、同大学が開発したLSI設計システムであるAlliance[4]に用いられている手法である。製造プロセス

表 2: シンボリックデザインルール (抜粋)

項目	ルール(λ)
Width:NWEL	4.0
Width:PWEL	4.0
Width:Active	2.0
Width:POLY	1.0
Width:Contact	1.0
Width:Via	1.0
Width:ALU1	1.0
Width:ALU2	2.0
Distance:NWEL	12.0
Distance:PWEL	12.0
Distance:Active	3.0
Distance:POLY	2.0
Distance:Contact	3.0
Distance:Via	3.0
Distance:ALU1	2.5
Distance:ALU2	2.0
Distance:Contact-Via	2.0
Distance:POLY-Active	1.0
Distance:POLY-Contact	2.0
Distance:POLY-Via	2.0
Distance:NWEL-Active	7.5

表 1: P2Lib のセル構成

group	cell_name	logic(function)
stuck	one	pull up
	zero	pull down
inverter	bus_hold	bus hold
	inv1	inverter
buffer	inv2	inverter(x2)
	inv4	inverter(x4)
	buf1	buffer(x1)
	buf2	buffer(x2)
tri_state_buffer	buf4	buffer(x4)
	zbuf1	3state buffer(x1)
	zbuf2	3state buffer(x2)
and	zbuf4	3state buffer(x4)
	and2	2input and
	and3	3input and
nand	and4	4input and
	nand2	2input nand
	nand2p	2input nand (x2)
	nand3	3input nand
or	nand3p	3input nand (x2)
	nand4	4input nand
	or2	2input or
nor	or3	3input or
	or4	4input or
	nor2	2input nor
exclusive	nor3	3input nor
	nor4	4input nor
	xor2	2input xor
complex	xnor2	2input xnor
	aoi21	$/(ab+c)$
	aoi31	$/(abc+d)$
	oi21	$/(a+b)c$
	aoi22	$/(ab+cd)$
	oi22	$/(a+b)(c+d)$
	aoi23	$/(ab+c+d)$
	oi23	$/(a+b)cd$
	oi31	$/(a+b+c)d$
	aoi2x3	$/(ab+cd+ef)$
aoi33	$/(abc+def)$	
selctor	oi2x3	$/(a+b)(c+d)(e+f)$
	oi33	$/(a+b+c)(d+e+f)$
decoder	sel21	MUX2.1
	sel12	de_MUX1.2
	dec24	decoder2 to 4
D-latch	priority_enc	4bit priority encoder
	d_latch	D_latch(nomal)
	d_latch_s	D_latch(set)
	d_latch_r	D_latch(reset)
D-flipflop	d_latch_sr	D_latch(set&reset)
	dff	D_flipflop(nomal)
	dff_s	D_flipflop(set)
	dff_r	D_flipflop(reset)
	dff_sr	D_flipflop(set&reset)

から独立したシンボリックレイアウトと、製造プロセスのデザインルールから求めたパラメータより、対象プロセスのデザインルールを満たす実レイアウトを生成する。本手法の概要と、生成されたレイアウトの面積(密度)を評価した結果を説明する。

本手法でのシンボリックレイアウトは、仮想的なデザインルールの制約のもとに、λを単位とする格子上に配置されたさまざまなシンボルの集合からなる図形情報として与えられる。シンボルとは、レイヤの種類、大きさ、位置などの情報を持つ矩形のことであり、その中心線がλの格子点にくるように配置されることになる。一方、仮想的なデザインルールはシンボリックデザインルールと呼ばれ、現在のところ Alliance で用いられているものを採用している。このシンボリックデザインルールの主要なものを表 2 に示す。このデザインルールはλを基本単位としたλルールとして定義されている。

シンボリックレイアウトから対象プロセスのデザインルールを満たす実レイアウトは、以下の手順で生成する。

1. デザインルールの対象となるすべてのレイヤの対を考える。レイヤ対の中心線間距離(ピッチ)がとり得る最小の値を、シンボリックデザインルールと製造プロセスのデザインルールの両方で計算する。
2. 各レイヤ対に対して、1. で求めた最小ピッチの比を取り入の値を算出する。
3. すべてのレイヤ対について算出された λ の最大値を最終的な λ の値とする。

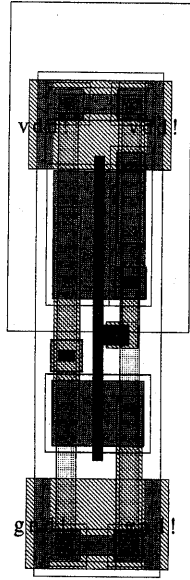


図 2: インバータの実レイアウト生成例 (0.5 μm プロセス)

4. 前工程で決定した λ の値にしたがってシンボリックレイアウトを伸縮する。シンボリックレイアウトがシンボリックデザインルールを満たしていれば、対象プロセスのデザインルールを満たす実レイアウトを得ることができる。但し、コンタクトの大きさおよび最小線幅のセグメントは伸縮されず、対象プロセスのデザインルールで定められた大きさに変換する。

本手法により生成された実レイアウトの例を図 2 に示す。これは、ある 0.5 μm プロセス用に生成したインバータである。

本手法では、基本的にシンボリックレイアウトの伸縮により実レイアウトを生成する。そのため、生成されるレイアウトの形状や動作特性は非常に予測しやすい。この点では、ライブラリ生成機構として好ましいものである。一方、シンボリックデザインルールと実際のデザインルールとは必ずしも一致しない。そのため、生成後のレイアウトには無駄な空間が発生することになる。本手法で生成されるレイアウトの密度は、各レイヤに対して算出された λ の分布によって決定される。 λ のばらつきが少ないほどレイアウトの密度は高くなり、冗長な面積が少なくなる。

4 遅延 / 消費電力情報生成機構

遅延 / 消費電力情報生成システムでは、各セルにおけるトランジスタの接続情報 (ネットリスト)、シンボリックレイアウトでのトランジスタのサイズ情報といった製造プロセスに依存しない情報と、MOSFET

の動作特性やレイアウト変換時に用いられる λ パラメータといった製造プロセスに依存した情報より、伝搬遅延時間や消費電力などの情報を生成する。

動作特性を評価する方法として、P2Lib には 2 種類の機構を用意した。第一の方法は、回路シミュレータ (HSPICE) を用いる方法である。この方法は、現時点では最も信頼度の高い情報が得られるが、多大な計算時間を要する。例えば、50 種類のセルの評価に必要な計算時間は 15 時間程度になる。遅延評価条件を増やしたり、解析精度を上げる場合には、更に長時間の計算が必要である。これに対し、第二の方法は、解析的な手法を用いるもので、動作特性を実用的な精度で高速に計算することが出来る。本方法の利用形態としては、種々の製造条件や電源電圧における動作特性を迅速に評価したい場合などを想定している。50 種類のセルの場合、3 分程度で論理合成や論理シミュレーション用のライブラリを生成できる。第二の方法は、インバータの遅延時間と消費電力を出来る限り解析的な方法で求める手法 [6, 7] が基本となっており、その概要を説明する。インバータへの入力信号が遅移している期間中、ターンオンする MOSFET には貫通電流が、ターンオンする MOSFET には負荷の充放電電流が流れる。また、駆動ゲートよりゲート容量を通じて電流が流入する。動作解析にあたり、これら全ての電流成分を考慮した。解析的な取り扱いが困難な貫通電流成分については、時間的な変化を区分的に線形な関数で近似することにより、解析的な導出を可能にした。この方法により、貫通電流による消費電力を 15% 程度の誤差で見積もる事ができる [6]。一般のスタティック CMOS 回路では、MOSFET の直並列接続で論理が構成されている。これらの直並列回路は、トランジスタ群の縮約 [8] により、等価的なインバータに置き換える。その結果、インバータが直列に接続された形として各論理ゲートが表現でき、遅延と消費電力の情報を求めることが出来る。

遅延 / 消費電力情報生成システムにおける解析的特性評価部の構成を図 3 に示す。ネットリストや縮約の規則を書いたファイルとシンボリックレイアウトにおけるトランジスタのサイズ情報は製造プロセスに依存しない情報である。レイアウト生成システムで用いられるパラメータ λ 、MOSFET パラメータは製造プロセスに依存した情報である。テクノロジー変換部を用いて、これら製造プロセスに依存しない情報と製造プロセスに依存した情報から基本モデルのライブラリを生成する。この基本モデルのライブラリとキャラクターイゼーションの規則を書いたファイルとから、遅延 / 消費電力計算部により必要な遅延情報を生成し、中間フォーマットのライブラリを生成する。このような手順により、遅延情報生成システムでは、セル毎に入力波形の遷移時間 tt と出力負荷容量 CL を入力変数として、伝搬遅延時間 tpd と出力波形の遷移時間 $ttout$ 及び消費電力量を出力する。また多入力端子のセルでは、入力端子と入力の組合せのパターン毎に、異なる遅延時間を計算できる。

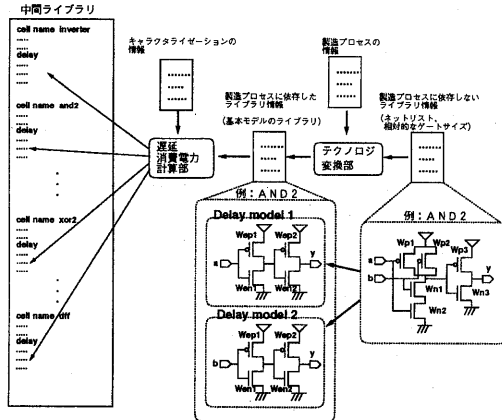


図 3: 遅延情報生成システムにおける解析的特性評価部の構成

5 P2Lib ライブラリの評価

5.1 生成レイアウトの評価

P2Lib では、基本的にシンボリックレイアウトの伸縮により実レイアウトを生成している。シンボリックデザインルールと実際のデザインルールとは必ずしも一致しない。そのため、生成後のレイアウトには無駄な空間が発生することになる。本手法で生成されるレイアウトの密度は、各レイヤに対して算出された λ の分布によって決定される。 λ のばらつきが少ないほどレイアウトの密度は高くなり、冗長な面積が少なくなる。

λ の分布はシンボリックデザインルールに大きく依存する。そこで、5種類の製造プロセスを対象として、現在のシンボリックデザインルールを用いて得られる実レイアウトの面積とこれをトポロジーを保存したまま縦横二方向に一次的にコンパクションしたレイアウトとの面積を比較する実験を行った。実験の対象とするセルはシンボリックデザインルールではコンパクションのできないものでなければならない。大部分のセルの横方向の長さはインバータの最長経路の繰り返しであるので、インバータから得た結果ですべてのセルを代表させた。一方、縦方向の長さを代表できるセルとしてインバータのほかに、標準ライブラリのセルの縦方向の最長経路をモデル化したもの(図4)を用意した。これらのセルについて、シンボリックレイアウト手法で得られたレイアウトとコンパクション後のレイアウトの寸法、及びこの結果から算出した面積の冗長分を表3に示す。プロセスA($0.5\ \mu\text{m}$)とE($1.5\ \mu\text{m}$)以外では、面積の冗長成分は20%程度である。一方、プロセスAとEでは、40%程度の冗長成分が発生している。これらのプロセスでは、縦方向の冗長成分に比べて横方向の冗長成分が大きくなっている。その主要原因としては、ゲートポリシリコンとコ

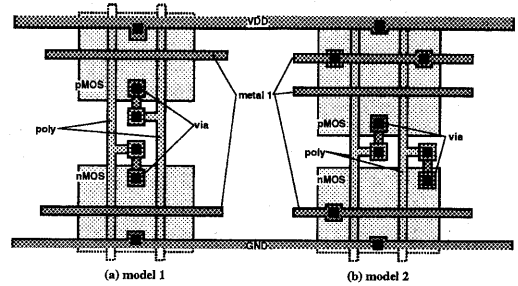


図 4: セルのモデル化

ンタクト間距離の制約が挙げられる。プロセスAでは、ゲートポリシリコンと拡散コンタクトのピッチから計算された λ が最終的な λ の60%であった。これは、生成されたレイアウトのゲートポリシリコンとコンタクト間の距離が、最適に配置することによって60%に削減できることを意味する。同様に、プロセスEでは、ゲートポリシリコンと拡散コンタクトのピッチから算出された λ が最終的な λ の46%であり、生成されたレイアウトのゲートポリシリコンとコンタクト間の距離は、実際には半分以下にすることが出来る。ゲートポリシリコンと拡散コンタクトの間隔は、セルの横方向の長さを決定するトランジスタピッチに大きく影響を与える。このため、プロセスAとEにおいて、横方向に大きな冗長度を持つ結果となった。実際、以下のようにシンボリックデザインルールを変更し、それに対応してシンボリックレイアウトを修正した場合を考える。

- ゲートポリシリコンとコンタクトの間隔を $2.0\ \lambda$ から $1.0\ \lambda$ に変更。
- ゲートポリシリコンとビアの間隔を $2.0\ \lambda$ から $1.0\ \lambda$ に変更。

この場合、インバータセルにおける面積損失は、プロセスAで21.5%、プロセスEで20.3%に減少する。一方、それ以外のプロセスでは、いずれも40%近い面積損失が発生した。

なお、表1に示した数値は、各セル毎に独立に評価して得られた冗長成分の最悪値である。スタンダードセルライブラリのセル寸法は、デザインルールのみならず、配線容易性や動作特性なども考慮した上で、同一の高さに揃えられる。そのため、実際の冗長面積成分は表1の数値より小さくなる。

5.2 生成した遅延情報の評価

生成ライブラリの動作特性を評価する機構として、P2Libには回路シミュレーションを用いる方法以外に、解析的な手法を用いる方法が用意されている。後者の方法を用いると、種々の動作条件やプロセス条件における動作特性を迅速に求める事が出来る。設計初

表 3: 生成レイアウトの評価。生成レイアウトの寸法 (symbolic) と、コンパクション後の寸法 (inverter, modell, model2)。

Process	symbolic		inverter			modell		model2	
	hight	width	hight	width	area loss	hight	area loss	hight	area loss
A (0.5 μ m)	27.3	7.8	22.3	5.4	43.6 %	22.6	42.7 %	23.2	41.1 %
B (0.8 μ m)	29.4	8.4	26.7	7.7	16.9 %	27.4	14.6 %	26.2	18.3 %
C (1.2 μ m)	44.1	12.6	39.4	11.7	17.1 %	41.1	13.5 %	39.3	17.2 %
D (1.5 μ m)	58.5	16.8	53.3	15.6	15.8 %	54.8	13.5 %	52.4	17.2 %
E (1.5 μ m)	47.5	13.6	42.3	10.5	31.0 %	39.8	35.0 %	38.7	36.9 %

表 4: 解析的に求めた遅延時間の誤差 (%)

Cell	0.8 μ m		0.5 μ m	
	平均	最大	平均	最大
inv1	5.9	15.2	1.9	7.6
buf1	11.7	17.3	2.5	7.9
nand2	3.8	20.6	3.4	11.0
	4.0	17.2	6.6	32.7
nand3	2.3	8.4	3.0	11.0
	3.8	9.4	5.4	13.3
	8.1	24.2	13.0	50.0
and2	11.6	20.7	7.8	16.7
	14.6	22.7	7.0	20.1

期段階における動作条件やプロセス条件の検討に用いたり、回路シミュレーションを用いて詳細解析を行う際の解析条件を求めるために用いる事が出来る。

解析的な手法により計算した遅延値を、SPICEによる回路シミュレーションにより求めた値と比較し、その精度を評価した。ゲート長 0.8 μ m と 0.5 μ m の 2 種類の製造プロセスを想定した。

出力負荷容量として、ファンアウト数が 1 から 10 までの各々に相当する負荷を、入力信号遷移時間として、0.2 nsec から 0.2 nsec 毎に 1.2 nsec までの範囲を考え、合計 60 種類の組合せにおいて遅延時間を評価した。表 4 に幾つかのゲートにおける平均誤差と最大誤差を示す。ファンアウト 4、入力信号遷移時間 0.4 nsec とした平均的な動作条件では、多くのセルにおいて遅延時間の誤差は 10 % 程度以下であった。最大誤差は、入力遷移時間が大きく、出力負荷が小さい状況で発生する。この状態は、当該ゲートのファンアウトが 1 で、このゲートを駆動するゲートのファンアウトが 10 である場合に相当する。このような状況は、実際の回路では出現する可能性は低いが、誤差要因の解析と評価精度の改善を図っていきたい。

5.3 他のライブラリとの比較

0.5 μ m プロセスを例に取り、P2Lib により生成されたライブラリと、他のライブラリとを比較した。

セルレイアウトが小さいほど製造コストが削減されるため、レイアウト面積は小さい方が良い。また、回

路の動作速度はセルの動作速度に規定されるため、セルの動作速度は速い方が良い。一般にセルの動作速度はセル内のトランジスタサイズに大きく依存する。トランジスタサイズが大きいくほど負荷の充放電が速くなり、セルの動作速度が向上する。一方、トランジスタサイズが大きくなるとレイアウト面積が大きくなる。スタンダードセルライブラリは、各セルの動作速度と面積のトレードオフを考慮して設計される。したがって、セルの動作速度と面積を比較評価することによって、ライブラリの設計思想や特徴が明らかになる。P2Lib との比較評価の対象としたスタンダードセルライブラリは、以下の二つである。

- 製造プロセス側が作成したライブラリ (以下、Lib_A と呼ぶ)
- 市販のレイアウト生成システムにより生成されたライブラリ (以下、Lib_B と呼ぶ)

P2Lib と Lib_B は小さい寸法のトランジスタを用いたライブラリである。Lib_A はトランジスタサイズを大きくして高速度動作に重点を置いて設計されたライブラリとなっている。P2Lib、Lib_A、Lib_B のインバータ回路のレイアウト面積を表 5 に示す。各セルの伝搬遅延時間を評価するために、インバータを 101 段接続したリング発振回路の動作を回路シミュレーションにより求めた。ファンアウト 1 および 4 の場合の伝搬遅延時間を表 6 に示す。ファンアウト 1 のとき、P2Lib のインバータの遅延時間は Lib_A の 1.35 倍、Lib_B の 1.24 倍になっている。ファンアウト 4 のときは、Lib_A に比べて遅延時間は 1.28 倍、Lib_B に比べて 1.21 倍になっている。P2Lib は 3 種類のライブラリの中で、動作速度は最も遅い。また、面積も Lib_B と比較すると大幅に大きい。これは、以下の理由による。

- 5.1 で述べたように、生成されたレイアウトには面積の冗長成分が多い。
- Lib_A ではセル内配線をセル外に出したり、Lib_B では基板 / ウエルコンタクトを隣接セルと共有することにより、トランジスタサイズを大きくとる工夫をしている。一方、P2Lib では、様々な製造プロセスや使用する CAD ツールの能力により不都合が生じないように、保守的なレイ

表 5: 各ライブラリにおけるインバータの面積

ライブラリ	インバータの面積 (μm^2)
P2Lib	212.9 (7.8 μm \times 27.3 μm)
Lib_A	203.8 (5.6 μm \times 36.4 μm)
Lib_B	144.2 (5.7 μm \times 25.3 μm)

表 6: インバータの遅延時間 [nsec]

ライブラリ	ファンアウト 1	ファンアウト 4
P2Lib	0.09	0.21
Lib_A	0.07	0.16
Lib_B	0.07	0.17

ウト設計をしている。具体的には、配線はセル内にすべて收容し、基板 / ウェルコンタクトは可能な限り多くセル内に配置するようにしている。

これらの理由により、トランジスタの寸法に比較して、セルの外形が大きくなっている。

トランジスタサイズに注目して三つのライブラリを比較すると、P2Lib は、動作速度は遅いが小さいトランジスタで低消費電力を指向した設計となっている。セルの駆動能力が小さいため、配線容量が大きくなると遅延が増大するが、配線容量が比較的小さい小規模な LSI であれば消費電力を抑えた設計が可能である。

6 P2Lib 利用例

P2Lib の利用例として、8 ビットマイクロプロセッサ KUE-CHIP2[9] を設計した。KUE-CHIP2 は、LSI 設計や計算機ハードウェアの教育に用いるために製作されたマイクロプロセッサで、全てのレジスタやカウンタなどが外部から観測できるようになっている。この構造は、ライブラリのテスト用回路としても好都合である。オリジナルの KUE-CHIP2 は、論理合成を用いずに設計され、1.2 μm プロセスのスタンダードセル方式で製作されている。1597 個の組合せ論理ゲートと 68 個のフリップフロップ、および 512 バイトの内部メモリで構成され、チップ面積は 12.8 mm^2 である。使用ゲートの総面積は、インバータ換算で 4452 となっている。

KUE-CHIP2 と同一の動作をする回路を、VHDL による RTL 記述より論理合成して作成した。論理合成とシミュレーションには、Design Compiler と VSS を用いた。自動配置配線には、Cell Ensemble を使用した。想定したプロセスは 0.5 μm である。電源電圧を 3.3 V と 2.0 V の 2 通りに設定してライブラリを作成した。図 5 に、論理合成段階における遅延時間とセルの総面積 (インバータ換算) の関係を示す。図 5 中に示した点 A に対応する回路のレイアウト

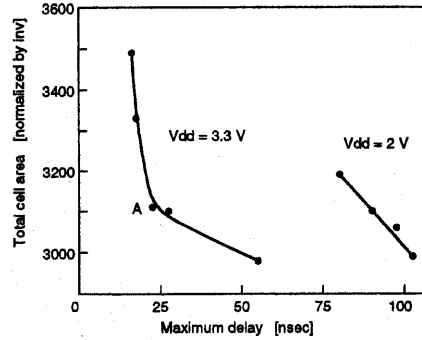


図 5: 論理合成した KUE-CHIP2 における面積と遅延時間の関係。

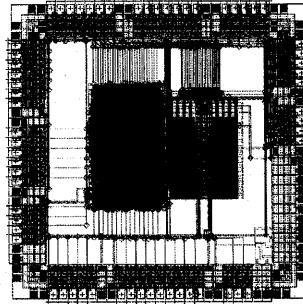


図 6: KUE-CHIP2 のレイアウト。

ト結果が図 6 である。本回路は組合せ論理ゲート 1146 個とフリップフロップ 67 個で構成され、チップ占有面積は 4.3 mm^2 であった。この内、半分は 512 バイトの RAM が占めている。

7 むすび

スタンダードセルライブラリの自動生成システム P2Lib について述べた。製造プロセス情報を与えることにより、LSI 設計に必要な各種ライブラリを自動生成する。レイアウト情報生成手法として、バリ第 6 大学が開発したシンボリックレイアウト手法を用いた。遅延 / 消費電力情報の生成手法としては、回路シミュレーションを用いる方法と、出来る限り解析的に求める方法を用意した。後者の方法を用いると、様々な電源電圧やプロセス条件に対応したライブラリを迅速に作成することが出来る。設計者が、動作条件や製造プロセスを変更した場合の特性評価を行ないたい場合などに有用である。

P2Lib は、ライブラリ生成機構も含めて公開する計画であり、現在、準備を進めている。特に、大学や高

専における LSI 設計の教育研究に用いるライブラリとして利用される事を期待している。

謝辞

P2Lib が用いているシンボリックレイアウト手法を開発した、パリ第 6 大学の CAO-VLSI 研究班の諸氏に深謝します。九州大学の大隈孝憲君には KUE-CHIP2 の VHDL 記述作成に協力頂きました。本学の合谷尚純君には、P2Lib ライブラリ変換システムの開発に協力頂きました。また、本学の小林和淑助手には、P2Lib ライブラリを各種 CAD に対応させる際に協力頂きました。東京大学大規模集積システム設計教育研究センターには、P2Lib で生成したセルを評価するための TEG や KUE-CHIP2 を試作して頂きました。ここに記して感謝します。

参考文献

- [1] Tadahiro Kuroda and Takayasu Sakurai, "Overview of Low-Power ULSI Circuit Techniques," *IEICE Trans. Electronics*, Vol. E78-C, No. 4, pp. 334 - 344, 1995.
- [2] A. Greiner and J. P. Leroy, "A Symbolic Layout View in EDIF for Process Independent Design," *Fourth European Edif Forum*, 1990.
- [3] F. Petrot and F. Wajsburt, "The Symbolic to Real Mask Translation Approach in the Alliance CAD System," *MASI, Internal Report*, No. 94.15, 1994.
- [4] A. Greiner and F. Pecheux, "Alliance: A Complete Set of CAD Tools for Teaching VLSI Design," *3rd Eurochip Workshop on VLSI Design Training*, pp. 230-237, 1992.
- [5] T. Sakurai, and A. R. Newton, "A Simple MOSFET Model for Circuit Analysis," *IEEE Trans. Electron Devices*, Vol. 38, no. 4, pp. 887-893, 1991.
- [6] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of Short Circuit Power Dissipation for Static CMOS Gates," *IEICE Trans. Fundamentals*, Vol. E79-A, No. 3, pp. 304 - 311, 1996.
- [7] A. Hirata, H. Onodera, and K. Tamaru, "Estimation of Short-Circuit Power Dissipation and Its Influence on Propagation Delay for Static CMOS Gates," *Proc. IEEE ISCAS'96*, Vol. 4, pp. 751 - 754, 1996.
- [8] T. Sakurai, "Delay analysis of series-connected MOSFET circuits," *IEEE Jour. Solid-State Circuits*, Vol. SC-26, No. 2, pp. 122-131, 1991.
- [9] H. Kanbara and H. Yasuura, "KUE-CHIP2: A Microprocessor for Education of LSI Design and Computer Hardware," *Proc. Synthesis and System Integration of Mixed Technologies (SASIMI) '95*, pp. 233-240(1995), <http://www.metsa.astem.or.jp/kuechip2/>.