

## 多電源を用いた低消費電力化設計手法の メディア・プロセッサへの適用

石川貴史 宇佐美公良 野上一孝 五十嵐陸典 南文裕 川崎幸雄 金沢正博  
青木孝哲 高野みどり 水野千春 市田真琴 園田慎次 高橋誠 畑中直行

(株) 東芝 半導体システム技術センター

### — 概略 —

2種類の電源電圧を併用する事により、論理回路の消費電力を削減する、設計自動化技術を紹介する。この技術は、2電源化処理及び、配置・配線処理で構成される。2電源化処理では、回路からタイミングに余裕が残っている（即ちクリティカルではない）部分を抽出し、この部分のセルの電源電圧を、標準よりも低い電圧に変更する。一方配置・配線処理では、レイアウトのロウ毎に電源電圧を割り振り、前述の2電源化処理により、電源電圧の低下を決定されたセル群を、低い電圧を供給するロウに、それ以外のセル群を標準電圧を供給するロウに、各々配置する。これにより、面積のオーバーヘッドを最小限に抑えつつ、2種類の電源電圧が混在できる。これらの技術を共に、メディア・プロセッサのランダム・ロジック部に適用した処、面積は15%増加したが、性能を維持したまま、消費電力を平均4.7%削減する結果が得られた。

## Automated Low-power Technique Exploiting Multiple Supply Voltages Applied to a Media Processor

Takashi Ishikawa, Kimiyoshi Usami, Kazutaka Nogami, Mutsunori Igarashi,  
Fumihiro Minami, Yukio Kawasaki, Masahiro Kanazawa, Takahiro Aoki, Midori Takano,  
Chiharu Mizuno, Makoto Ichida, Shinji Sonoda, Makoto Takahashi, and Naoyuki Hatanaka

Semiconductor System Engineering Center, TOSHIBA Corporation

### ---- Abstract ----

This paper describes an automated design technique to reduce power by making use of two supply voltages. The technique consists of structure synthesis, placement and routing. The structure synthesizer clusters the gates off the critical paths so as to supply the reduced voltage to save power. The placement and routing tool assigns either the reduced voltage or the unreduced one to each row so as to minimize the area overhead. Combining these techniques together, we applied it to the random logic modules of a media processor chip. The combined technique reduced the power by 47% on average with an area overhead of 15% at the random logic, while keeping the performance.

## 1 はじめに

CMOS回路において、電源電圧を下げる手法は、消費電力を削減する為の、最も効果的な手法の一つである。消費電力の大半はダイナミック・パワーであり、これは電源電圧 $V_{DD}$ の二乗に比例して下げる事が可能である[1]。しかし $V_{DD}$ を下げると遅延が増加する為、単純に $V_{DD}$ を下げてしまうと、回路全体の性能低下を引き起こす。性能低下を起こさずに $V_{DD}$ を下げる手法に関して、既に幾つかの論文が発表されている。

一つのアプローチとして、 $V_{DD}$ と共に閾値電圧 $V_{th}$ も下げる手法がある[2]。しかしこの手法には、スタンバイ時のリーク電流が大幅に増加する問題がある。リーク電流をカットする為に、複数の閾値電圧を用いる手法[3]や、可変の閾値電圧を用いる手法[4]が提案されている。しかしこれらの手法は、製造プロセスの追加[3]や、バイアス制御回路の追加[4]を必要とする。

別のアプローチとして、複数の電源電圧を用いて消費電力を削減する手法があり、2電源を用いた手法が既に発表されている[5][6]。回路の内、クリティカルな部分には標準の電圧VDDHを供給し、クリティカルではない部分にはVDDHよりも低い電圧VDDLを供給する。これにより、回路全体の性能を低下させる事なく、消費電力を低減する事が可能である。この手法は、製造プロセスの変更を必要としないが、VDDLゲートの出力をVDDHゲートの入力に接続する場合に、貫通電流を防ぐ為に、間にレベル・コンバータを挿入する必要がある。挿入するレベル・コンバータの個数をなるべく少なく抑えつつ、多くのセルの電源電圧をVDDLに下げる手法、Clustered Voltage Scaling (CVS)が、これらの論文で紹介されている。また、複数の電源電圧を用いた高位合成手法が、論文[7]で発表されている。

しかしこれらの論文は、論理或いは回路の設計上の問題について論じている。多電源を用いた物理的な実装における問題については、まだ報告されていない。

本論分では、レイアウトまで含めた、多電源化

による低消費電力回路の自動設計手法、及びその実験結果について報告する。

## 2 二電源化処理

我々は、Extended CVS (ECVS)と呼ぶ、新しい回路構造と、この構造を生成する合成手法を提案する[10]。図1にECVS構造を示す。ここではゲートG1をVDDLセルに置換した段階で、G1、G2、G7、及びG8を通るパスがクリティカルとなった為に、G2、G7、G8がVDDHセルに決定された(即ちVDDLセルに置換できない)場合を表している。ECVSではこの場合にも、ゲートG1、G2、G3を通るパスに十分大きなスラックが残っているならば、G2とG3の間にレベル・コンバータを挿入する。これによりG3~G6をVDDLセルに置換する機会が得られる。従来提案していたCVS手法では、この様なレベル・コンバータの挿入は行わない規則だったが、消費電力の更なる低減化の為に、ECVSにおいては、CVSのこの規則を緩和した。

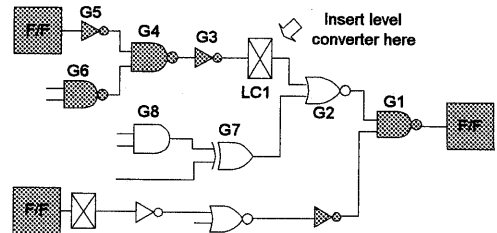


図1 Extended-CVS(ECVS)構造  
(網掛けされたセルはVDDLセルを示す)

我々は PowerSlimmer と呼ぶ内製ツールを開発した。このツールはゲートレベルのネットリストから、ECVS構造を合成する。PowerSlimmerはその際、ECVS構造でのレベル・コンバータ挿入の損益を考慮する。例えば図1のレベル・コンバータLC1を挿入する場合、PowerSlimmerは、LC1自身による消費電力増加分と、LC1挿入によってVDDLセルに置換可能となるセルの消費電力低下分とを推定し、低下分が多い場合にのみ、LC1を挿入する。

我々は ECVS 構造を高速に合成する新しいアルゴリズムを開発し、C++プログラミング言語で実装し、PowerSlimmer に組み込んだ。我々のアルゴリズムではレベル・ソート手法を利用している。まず始めに、フリップ・フロップをレベル0のセルとしてラベル付けする。その後、フリップ・フロップの入力に接続している組み合わせ論理セルから、入力方向に向かって論理回路網を探索してゆく。この探索において各ゲートに、フリップ・フロップからの段数に応じたレベルをラベル付けする。モジュールの出力ポートには、フリップ・フロップと同様に、レベル0をラベル付けする。探索はフリップ・フロップの出力或いは、モジュールの入力ポートで終了する。次に、ラベル付けされたレベルの小さいセルから順番に、静的タイミング解析を行いながら、VDDL セルへの置換を試みる。あるセルを VDDL セルに置換した後も、タイミング制約を満たせる場合には、そのセルは VDDL セルとし、満たせない場合には、そのセルを VDDH セルに戻す。フリップ・フロップは、レベル0でラベル付けしてあるので、まず始めにこれらの VDDL セルへの置換を試みる。フリップ・フロップの置換作業が終了した後、レベル1でラベル付けされた組み合わせ論理セルの VDDL セルへの置換を同様に試みる。レベル1の組み合わせ論理セルの置換作業が終了した後、レベル2の組み合わせ論理セルの置換を試みる。以下同様である。あるセルを VDDL セルに置換した際に、そのファンアウトに VDDH セルがある場合には、それとの間にレベル・コンバータを挿入する。全てのゲートについて、VDDL セルへの置換を試みると、最終的に ECVS 構造が生成される。

### 3 配置・配線処理

我々は、内製ツール ChipMaster を用いて、スタンダード・セルの配置・配線を行った。ChipMaster への入力は、PowerSlimmer が出力する、ゲートレベルのネットリストであり、これには VDDH セル、VDDL セル、及びレベル・コ

ンバータが含まれる。この節では始めに、我々の2電源を用いたレイアウト手法について述べる。まず第一に、各モジュールを配置する、チップ上での領域を、決定する。VDDH、VDDL、及びVSSの電源線は、各モジュールを囲む様に引かれる。電源はこれら周囲の電源線から、モジュール内部に供給される。モジュール内では、図2に示す様に、VDDH セルと VDDL セルは別々のロウに配置される。同一のロウに VDDH セルと VDDL セルが混在して配置される事はない。VDDH セルは VDDH ロウにのみ配置可能とし、VDDL セルは VDDL ロウにのみ配置可能としている。ChipMaster はモジュール内の VDDH セルの総面積と VDDL セルの総面積を計算し、VDDH ロウ数と VDDL ロウ数の最適な分配数を決定する。次に ChipMaster は、どのロウを VDDH ロウにし、どのロウを VDDL ロウにすべきかを決定する。これらの手順を各モジュールについて行った後、ChipMaster は各セルを、配置可能なロウ (VDDH ロウ或いは VDDL ロウ) の上に、配線混雑度とタイミング制約を考慮しながら配置する。レベル・コンバータは VDDH ロウに配置する。

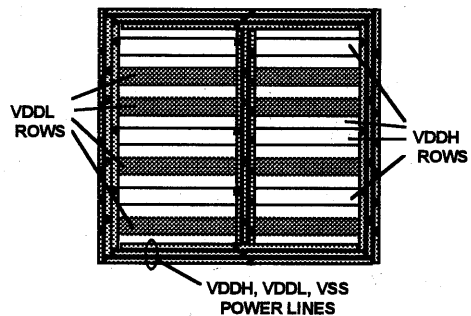


図2 2電源を用いたレイアウトの構造

ChipMaster は、セルを配置したロウと垂直方向に、電源線を第2メタル層で配線する。ロウと電源線の交差点には、特殊なセル (即ち VIA セル) を配置し、電源線とロウを電氣的に接続する。ChipMaster は、VIA セルの配置を制御する事により、VDDH の電源線を VDDH ロウに接続し、

VDDLの電源線をVDDL ロウに接続する。図3にChipMasterによるレイアウト結果を示す。

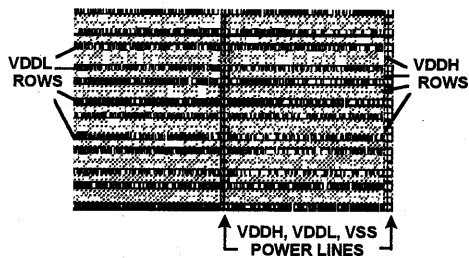


図3 ChipMasterによるレイアウト結果

このレイアウト手法の最大の利点は、VDDHセルとVDDLセルとを、互いに隣接したロウに配置する事が可能な点である。この特徴は、VDDHセルからVDDLセルへの配線だけでなく、VDDLセルから(VDDHロウに配置された)レベル・コンバータへの配線にとっても、利点となる。この特徴により、これらのセルの間の配線長を最小にする事が可能である。

#### 4 設計フローと消費電力解析

我々はPowerSlimmerとChipMasterを併用する設計フローを作成した。PowerSlimmerは、ゲートレベルのVerilogネットリスト及び、タイミング制約を入力とし、セル・ライブラリのタイミング情報を参照しながら、ECVS構造を合成する。PowerSlimmerの出力は、VDDHセル、VDDLセル、及びレベル・コンバータが混在した、ゲートレベルのネットリストである。ChipMasterは、PowerSlimmerが出力したネットリストを入力とし、2電源でのタイミング・ドリブ・レイアウトを実行する。その後ChipMasterは、実配線容量を、バック・アノテーション情報として、PowerSlimmerにフィードバックする。PowerSlimmerはこの情報を用いて、ECVS構造を改良する。

また、我々はVerilogシミュレーション及びPowerMillによるシミュレーションを併用して、消費電力の解析も行った。まず始めに、低消費電

力化のターゲットとしたメディア・プロセッサを含む、システム全体のVerilogシミュレーションを実行した。メディア・プロセッサ自身は、複数のモジュールで構成され、レジスタ・トランスファ・レベル(RTL)で記述されている。シミュレーションのテストベクタとしては、各モジュールを平均して活性化するものを使用し、シミュレーションの結果として、各モジュールの入力ピンの値の変化をダンプした。次に各モジュールについて、PowerMillを実行して、消費電力を解析した。その際、Verilogシミュレーションでダンプした、各モジュールの入力ピンの値の変化を、PowerMillシミュレーションの入力ベクタとして使用した。

## 5 実験結果

### A. 適用例

我々の設計手法を、Mipact™メディア・プロセッサ・チップに適用した。このメディア・プロセッサは、デジタル方式の音声・映像処理用に最適化されたチップで、MPEG2のデコード処理、MPEG1のリアルタイム・エンコード処理、ビデオ会議、28800bpsのファクスマやモデム等の機能を提供する[8]。オリジナルのチップ[9]は、0.3μm 3層CMOSテクノロジーで設計され、電源電圧は3.3V、動作周波数は75MHzである。我々はこのチップに、我々の設計手法を適用し、性能を落とす事なく、電源電圧を2電源化(3.3Vと1.9V)した。

### B. 結果と議論

Mipactチップ内の7個のランダム・ロジック・モジュールに、我々の設計手法を適用した。各モジュールの規模は、約2500~14000セルである。図4にPowerSlimmerの実行結果、即ちPowerSlimmerが出力したネットリストにおける、VDDHセル、VDDLセル、及びレベル・コンバータのセル数内訳を示す。平均して76%のセルがVDDLセルに置換された事が分かる。挿入されたレベル・コンバータ数は、モジュール毎の

総セル数の 8~20% である。最大のモジュール (VSPC) に対する PowerSlimmer の実行時間は UltraSPARC/167MHz のワーク・ステーション上で約 40 分である。

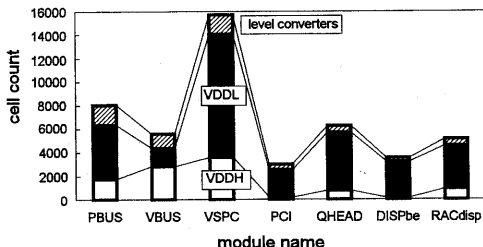


図4 PowerSlimmer 実行結果

我々の設計手法適用後のデザインと、元のデザインとで、消費電力の比較を行った処、提案手法により、39~57%(平均 47%)の消費電力が削減された。図5に示す通り、フリップ・フロップの消費電力低下の割合が大きい。

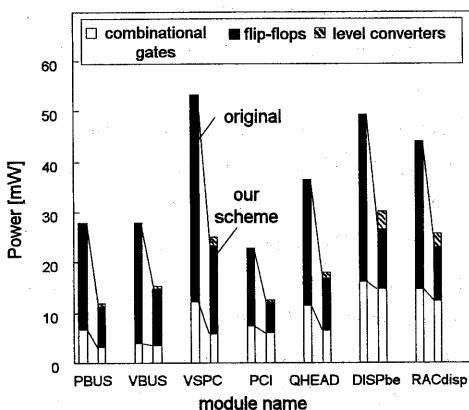


図5 提案手法による消費電力削減効果

我々は、フリップ・フロップの消費電力低下の効果が大きい理由を解析した。図5から分かる様に、最も大きな理由は、元のデザインにおいて、フリップ・フロップの消費電力の割合が大きいという事実である。更にフリップ・フロップ回路の内部の消費電力についても調査した。図6に、フリップ・フロップの基本的な回路構造を示す。このフリップ・フロップは、クロック信号とそれを

反転した信号とのスキューを小さく抑える為に、クロック信号を反転する為のインバータを、セルの内部に備えている。図中 INV1 と示したこのインバータは、クロック信号と同じ頻度でトグルする為、非常に大きなダイナミック・パワーを消費する事が分かる。言い換えると、ノード CLK\_bar の寄生容量は、クロック・サイクル毎に、充電と放電を繰り返す事になる。これが、フリップ・フロップにおけるダイナミック・パワーが大きいという結果に結びつく。前の節で述べた通り、PowerSlimmer は、他のセルよりも優先して、フリップ・フロップの VDDL セルへの置換を試みる。フリップ・フロップの消費電力はモジュール内で大きな割合を占めるので、フリップ・フロップを優先した PowerSlimmer のセル置換手法は、結果的に大きな消費電力削減効果をもたらす。

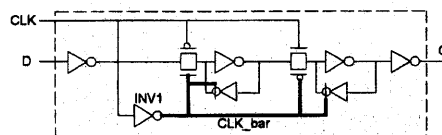


図6 フリップ・フロップの回路構造

組み合わせ論理セルにおいては、平均して 28% の消費電力が削減された。組み合わせ論理セルにおいて消費される電力の割合は、今回の実験では小さいので、その削減効果はフリップ・フロップのそれに比べると小さい。しかし消費電力の分布は、各セルのスイッチングの頻度に依存し、これは入力ベクタに依存する。組み合わせ論理セルのスイッチング頻度が高くなるのに従って、組み合わせ論理セルにおける消費電力低減化効果が、全体に対して、より大きく寄与する様になる。

最後に、消費電力と面積とのオーバーヘッドについて述べる。挿入されたレベル・コンバータによる消費電力のオーバーヘッドは、図5に示す通り、平均して僅かに 8% である。これは PowerSlimmer が ECVS 構造を合成する際に、レベル・コンバータ挿入による消費電力の損益を考慮している事による。面積のオーバーヘッドは 7 モジュールで約 15% である。このオーバーヘッ

ドには、挿入されたレベル・コンバータの面積も含まれる点に注意が必要である。挿入されるレベル・コンバータの個数に制限を与える事により、面積のオーバーヘッドと消費電力削減とのトレードオフを制御する事が可能であるが、今回我々は、消費電力削減を優先し、面積とのトレードオフは考慮しなかった。図7に、我々の提案手法を用いてレイアウトされた、チップの全体図を示す。実線で囲まれた領域は、提案手法を適用した領域を示している。

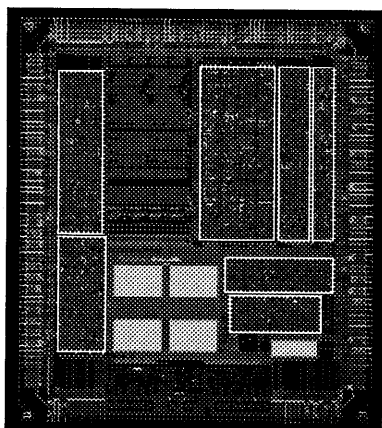


図7 チップ全体のレイアウト図

## 6 結論

Extended Clustered Voltage Scaling (ECVS) 構造と、その合成手法を提案した。また、ロウ毎に電源電圧を決定する事を基本とした、複数の電源電圧を用いた回路の配置・配線手法も提案した。メディア・プロセッサ・チップに、これらの手法を適用する事により、低電力化設計における効果を調査した。実験結果から、これらの手法の併用が、レイアウト上の小さなオーバーヘッドを伴うのみで、大きな消費電力削減効果を得られ事を示した。

## 7 謝辞

多くの援助と示唆を頂いた、川手事業部長、三橋部長、森参事、村方課長、飯田課長、百瀬副参事、桑山主務、北岡主事、の各氏に深く感謝致し

ます。

## 8 参考文献

- [1] J.Rabaey and M.Pedram (edited), *Low Power Design Methodologies*, Kluwer Academic Publishers, Boston, MA, 1996.
- [2] A.Chandrakasan, S.Sheng, and R.Brodersen, "Low-Power CMOS Digital Design", *IEEE J. Solid-State Circuits*. Vol.27, No.4, pp.473-484, April 1992.
- [3] S.Mutoh et al., "1-V Power Supply High-Speed Digital Circuit Technology with Multithreshold-Voltage CMOS", *IEEE J. Solid-State Circuits*. Vol.30, No.8, pp.847-854, Aug. 1995.
- [4] T.Kuroda et al., "A High-Speed Low-Power 0.3 $\mu$ m CMOS Gate Array with Variable Threshold Voltage (VT) Scheme", *Proc. IEEE Custom Integrated Circuits Conference*, pp.53-56, May 1996.
- [5] K.Usami, T.Ishikawa, M.Kanazawa, H.Kotani, "Low-Power Design Technique for ASICs by Partially Reducing Supply Voltage", *Proc. IEEE International ASIC Conference*, pp.301-304, Sep. 1996.
- [6] K.Usami and M.Horowitz, "Clustered Voltage Scaling Technique for Low-Power Design", *Proc. 1995 International Symposium on Low Power Design (ISLPD '95)*, pp.3-8, April 1995.
- [7] J.Chang and M.Pedram, "Energy Minimization Using Multiple Supply Voltages", *Proc. 1996 International Symposium on Low Power Electronics and Design (ISLPED '96)*, pp.157-162, Aug. 1996.
- [8] S.Purcell, "A VLIW and SIMD Vector Processor for PC Multimedia", *Microprocessor Forum*, Oct. 1995.
- [9] T.Takayanagi et al., "350MHz Time-Multiplexed 8-port SRAM and Word-Size Variable Multiplier for Multimedia DSP", *ISSCC Digests of Technical Papers*, pp.150-151, Feb. 1996.
- [10] K.Usami et al., "Automated Low-power Technique Exploiting Multiple Supply Voltages Applied to a Media Processor", *Proc. IEEE Custom Integrated Circuits Conference*, May 1997.