

## ディープサブミクロンゲートアレイの設計事例

堀内 重則 古田康幸 鈴木五郎

株式会社 日立製作所 大みか工場

E-mail : horiuchi@omika.hitachi.co.jp

ディープサブミクロンゲートアレイの設計に於いて、データパスモジュールジェネレータとフロアプランの2つのツールが配線デレイ制御の要となるが、実設計を通じて得られたそれらのツールの有効性や使用上の留意点に関する知見を報告する。両ツールともツールの性質とゲートアレイ上にインプリメントする回路の性質を十分に把握したうえで使用しなければならない。データパスモジュールジェネレータでは、データパスモジュールの外界情報を考慮しないとチップ全体での配線デレイはかえって悪化してしまう場合がある。又フロアプランでは、配線デレイを過少見積もりする場合があり、ツールの使い方に注意が必要である。

キーワード：CAD、DA、LSI、モジュールジェネレータ、データパス、フロアプラン

## Deep-submicron Gate Array Design Example

Sigenori Horiuchi Yasuyuki Furuta Goro Suzuki

Omika Works, Hitachi Ltd.

E-mail : horiuchi@onika.hitachi.co.jp

Evaluation results of datapath module generator and floor plan which play very important roles to control interconnect delay in the deep-submicron gate array is described. We have to take the characteristic of both circuit and tool into consideration in order to get good results. Otherwise, the connection delay is degraded in some cases. We discuss the reason of the degradation. Regarding the module generator, outside environment of the datapath should be considered. When we use the floor plan, we should avoid the under-estimation of interconnect delay.

Keyword: : CAD, DA, LSI, Module Generator, Datapath, Floor Plan

## 1 まえがき

現在、ディープサブミクロンと呼ばれるチャネル長  $0.35 \mu\text{m}$  以下のゲートアレイが利用可能となっている。このようなディープサブミクロンでは、論理ゲートのスイッチング速度は速くなるが、逆に配線容量が大きくなり配線ディレイが増大する。図 1 には設計の難易度に対して、信号のディレイによるタイミング違反を無くするために必要なレイアウトの繰り返し回数<sup>(1)</sup>を示す。本図は  $0.8 \mu\text{m}$  ルールを前提としており、 $10\text{k}$  ゲート、 $20\text{MHz}$  では最初のレイアウトで仮負荷ディレイと実負荷ディレイが一致する割合は 90% 弱であり、タイミング違反を無くするためには 3 回レイアウトの繰り返しが必要である。同様に  $100\text{k}$  ゲート、 $75\text{MHz}$  の場合は最初は 60% しか一致せず、タイミング違反を無くするためには、10 回程度の繰り返しが必要となることを示している。

そこでディープサブミクロンゲートアレイの設計においては、配線ディレイを巧妙に制御する設計が必要となる。本報告ではディレイ制御の要となるデータパスモジュールジェネレータ<sup>(2)~(8)</sup>とフロアプラン<sup>(9)</sup>の 2 つのツールを取り上げ、実設計に於いてこれらのツールがどれくらい有効であるか又使用上の留意点などに関して、検証した結果を説明する。

## 2 データパスモジュールジェネレータ

### 2.1 設計フロー

データパスモジュールジェネレータを用いた設計フローを図 2 に示す。

- (P1) 設計者は論理合成ツールを使用して RT レベルの Verilog-HDL 記述からゲートレベルの Verilog-HDL 記述に変換する。
- (P2) Verilog-HDL 記述を入力してデータパスモジュールジェネレータはセルを自動配置する。セルの配置座標はデータパスモジ

ュール内の絶対座標として決定されるが、チップ上ではあくまでも相対座標である。

- (P3) 設計者は、フロアプランツールを用いてデータパスモジュールとその他のモジュールをチップ上に人手配置する。フロアプランツールはデータパスモジュールジェネレータで配置したセルの配置座標をチップ上の絶対座標に変換する。
- (P4) 配置・配線ツールはデータパスモジュール以外のセルの自動配置とチップ一括での配線処理を行う。

### 2.2 処理手順

図 3 に典型的なデータパスの回路構造を示す。データパスはレジスタファイルや加算器などのようにビットスライス構造が明確な回路（以下 VDPE: Vectorized Data Path Element と呼ぶ）と、加算器のキャリールックアヘッド回路のように VDPE に付随したランダムロジック（以下 ARLC: Associated Random Logic Cells と呼ぶ）から構成される。

一般的に、VDPE は全データパスゲートの 60% - 70% を占めている。

今回使用したデータパスモジュールジェネレータの処理フローを図 4 に示す。

以下、ビットスライスの方向を横グループ、それに直交するグループを縦グループと呼ぶことにする。

#### (S1) VDPE と ARLC 縦グループの認識

Verilog-HDL で記述されたモジュールがゲート・グループ化の基本となるが、その中からランダムロジックゲートを分離させ、ARLC 縦グループとする。

#### (S2) 横グループの認識

(S1) で認識した VDPE 縦グループ内のゲート（以下ではセルと呼ぶ）に関して、バス信号名や論理合成で付けられたインスタンス名を手がかりにして、各ビットに所属するセルを認識する。このよう

に認識されたビットスライスを横グループとする。又 ARLC 縦グループに関しては、VDPE のビットスライス構造から信号を辿り、どの ARLC をどのビットに所属させるべきかを決定し、該当する横グループに加える。

### (S3) 縦グループの配置順序の決定

信号の流れをベースとして VDPE と ARLC 縦グループの配置順を決める。

ただし、ここでは配線長を見積もり、配線長が最小になるようにグループの配置順を調整する。

### (S4) セル配置位置決定

(S2) で認識されたビットスライス構造を基にして、各セルの配置 Y 座標を決定する。一方 X 座標は次のように決定する。VDPE と ARLC とも同一縦グループに属するセルに関しては同一 X 座標とする。ARLC では同一縦グループの一つのビットに複数のセルが存在する可能性があるが、この時には信号の流れをベースとして X 座標を決定している。

### (S5) セル最終配置座標の決定

縦・横の配線数を見積もり、縦・横グループ間の配線に必要となるギャップを空けながら各セルの最終配置座標を決定する。

図 5 はグラフィック・ワークステーション用ゲートアレイのあるデータバス (約 1k ゲート) に対して本データバスモジュールジェネレータを適用した例である。

## 2.3 評 価

図 6 にデータバスモジュールジェネレータ使用時と未使用時のチップレイアウト結果を示す。2 例共、チップレイアウト可能な限界まで、ぎりぎりレイアウト可能領域を小さくしている。

実例 1 は図 5 のデータバスモジュールを含

むグラフィック・ワークステーション用のゲートアレイ (0.8  $\mu$  m, AL 3 層配線, ベースゲート 250k ゲート, ユーザゲート 90k ゲート) である。この例では、データバスモジュールジェネレータ未使用に対してデータバスモジュールジェネレータ使用時は面積比で約 -40% となり、データバスモジュールジェネレータによる面積削減効果が確認できた。

実例 2 はグラフィック・レンダリング用ゲートアレイ (0.35  $\mu$  m, AL 3 層配線, ベースゲート 1076 k ゲート, ユーザゲート 505 k ゲート) である。この場合は、面積削減効果が見られなかった。

また、表 1 に実例 1 と 2 の総配線長短縮率を示す。短縮率は、データバスモジュールジェネレータ使用時の総配線長から未使用時の総配線長を引いた値を未使用時の総配線長で割った値である。実例 1 の場合は総配線長の短縮率は -40% となりデータバスモジュールジェネレータの効果が確認できた。しかし、実例 2 の場合は短縮率が +13% となってしまう、逆にデータバスモジュールジェネレータを使用した方が総配線長が長くなっている。結果としてセットアップ違反を起こすパスが増加した。

以下、実例 2 においてデータバスモジュールジェネレータがうまく機能しなかった主な原因を分析する。

### (1) グループの一括配置

図 7 (1) にレジスタファイルを配置する例を示す。モジュールジェネレータでは第 2.2 節で述べたように Verilog HDL のモジュールで記述されたレジスタファイルを一括して配置する。レジスタを制御する信号のソース側の端子位置が図の様な位置にある場合、制御信号の配線ディレイは  $D1+d3$  である。モジュールジェネレータは該当モジュールの内部しか注目していないために、配線ディレイ  $D1$  を精度よく予測することは困難であり、 $D1+d3$  が規定ディレイ値をオーバーする可能性がある。このような事

態はチップ全体のセル配置情報を利用すれば回避できる。つまり配置例2の様にレジスタファイルを分割すればよい。レジスタファイルを分割した場合の配線ディレイは  $D1+d2$  及び  $d1+d2$  となる。この配線ディレイは、

$$D1+d3 > D1+d2 > d1+d2$$

となり、配線ディレイが制御できることがわかる。チップ全体の情報が利用できてこのような処理が初めて可能となる。

### (2) 端子位置の集中

図7(2)のように、モジュールの端子位置が一カ所に集中してしまう場合がある、この場合レイアウト時にデータパスモジュール外部のセルも集中して配置されてしまう。このセルが集中配置された部分の配線が混雑するため他の信号線が迂回し、配線を長くしている。この問題も外部の状況を考慮して端子位置を分散させれば回避することが出来る。

### (3) ミラー反転

信号の流れる方向が一方向のみのため、データパスモジュールの外部の信号線が迂回してその分配線が長くなっている(図7(3))。これは該当データパスモジュールをミラー反転させることで改善できる。

以上の3例から分かるようにデータパスモジュール内だけに着目したローカル最適化ではチップ全体での最適解とならない場合がある。従って、データパスモジュールジェネレータにおいてチップ全体を考慮した最適化が必要となる。

尚、実例1において、データパスモジュールジェネレータがうまく機能したのは、回路の性質上、上記したような状況が少なかったからである。

## 3 フロアプラン

### 3.1 配線ディレイ見積もり方法

我々が使用したフロアプランでは、モジュール

の人手配置、セルの自動配置、配線混雑度の見積もり、そして配線ディレイの見積もりが可能である。

配線ディレイに関しては図8に示す方法で見積もっている。

#### (1) モジュール配置のみでの配線ディレイ見積

モジュール間にまたがる信号を持つセル群はモジュールの中央にセルを配置したと仮定して配線ディレイを見積もる。また、モジュール内で閉じる信号のみを持つセル群はモジュールの両角にセルを配置したと仮定して配線ディレイを見積もる。

#### (1) セル配置後の配線ディレイ見積

セル間の配線長を全くマージンの無いマンハッタン長で見積もる。

### 3.2 配線ディレイ見積もり精度の評価

図9のグラフは、X軸に誤差、Y軸にピンペア数を表示している。誤差は実配線ディレイから仮配線ディレイを引いたものを、実配線ディレイで割った値で定義している。すなわち、誤差が正の場合は仮配線ディレイの予測が実配線ディレイよりも小さいことを意味する。グラフ①が、セルの配置情報をもとに仮配線ディレイを見積もった結果であり、グラフ②がモジュール配置のみで仮配線ディレイを見積もった結果である。それぞれ、平均2%/標準偏差71%、平均-67%/標準偏差101%である。本グラフから、セル配置後に仮配線ディレイを見積もった方が精度は良いが、全体の63%のピンペアの誤差がプラス側にあることから、実配線ディレイに比べて仮配線ディレイの方が小さく見積もられてしまう確率が高いことが分かる。逆に、モジュール配置のみで仮配線ディレイを見積もった方が精度は悪くなる、つまり標準偏差が大きくなるが、82%が負であることから実配線ディレイに比べて仮配線ディレイの方が大きく見積もられる確率が高い。

以上の結果から、セル配置後に仮配線ディレイを見積もった場合、仮負荷シミュレーション

で問題がなくとも実負荷シミュレーションで不良となってしまう確率が高くなる。従って、今回評価したフロアプランの場合はモジュール配置のみで配線ディレイを見積もった方が、レイアウトの繰り返しを少なくすることができるかと判断した。

今回は、上記の様にモジュール配置のみで配線ディレイを見積もることにしたが、今後更に見積もり精度を上げる、つまり標準偏差を小さくするためには、マンハッタン長での見積もり時にファンアウト数等の経験値から配線の迂回を考慮したファクターを掛ける、などの工夫が必要となる。

#### 4 フロアプランを用いた設計例

第 2.3 節で述べたグラフィック・レンダリング用ゲートアレイの設計においてフロアプランを使用した。本ゲートアレイはタイミング的に厳しかったためフロアプラン後の仮負荷シミュレーション/タイミング解析でタイミング不良が頻発し、かなり多くの繰り返しが発生した。この繰り返しの TAT は、我々が手元(半導体ベンダ側ではない)でフロアプランを実行したことによって短くなり、設計期間を 18% 短縮することができた。また、フロアプラン後の仮負荷シミュレーション/タイミング解析でタイミングエラーを完全に無くすることで、配置・配線後の実負荷シミュレーション/タイミング解析でもほとんどタイミング的に問題としないことを確認した。従って、フロアプランの有効性が認められたことになる。

#### 5 むすび

トランジスタのチャンネル長が  $0.35 \mu\text{m}$  以下である、いわゆるディープサブミクロンゲートアレイを用いた実設計において、データパスモジュールジェネレータとフロアプランの 2 つのツールの有効性を検討した。その結果、両ツ

ールともツールの性質と回路の性質を十分に把握したうえで使用しないと有効性を発揮できない場合があることが分かった。

データパスモジュールジェネレータでは、データパスモジュール内だけに注目したローカルオプティマイズではチップ全体での最良解とならない場合がある。チップ全体の情報をデータパスモジュールジェネレータにフィードバックする仕掛けが必要である。その機能が無い場合、ツールの使用には十分注意を払うべきである。

フロアプランに関しては、配線ディレイを過少見積もりする場合があります、セル配置まで行って配線ディレイを見積もる場合には特に注意が必要である。

#### 6 参考文献

- (1) Ronald Collett : The Impact of Deep Submicron Silicon Technology on Electronic Design and Automation : ASP-DAC '94 (1994, Dec.)
- (2) H.S. Law et al. : An Intelligent Composition Tool for Regular and Semi-regular VLSI Structures: Proc. of International Conference on Computer Aided Design, pp.169-171 (1985, Oct.)
- (3) R.Barth et al.: A Structural Representation for VLSI Design : Proc. of 25th Design Automation Conference, pp.237-242 (1988, June)
- (4) R.Barth et al.: Parameterized Schematics : Proc. of 25th Design Automation Conference, pp.243-249 (1988, June)
- (5) R.Barth et al. : Patchwork: Layout from Schematic Annotations : Proc. of 25th Design Automation Conference, pp.250-255 (1988, June)
- (6) D.Curry et al. : Schematic Specification of Datapath Layout : Proc. of International

Conference on Computer Aided Design,  
pp.28-34 (1989, Oct.)

(7) N.Matsumoto et al. : Data path Generator  
Based on Gate-level Symbolic Layout : Proc. of  
27th Design Automation Conference, pp.388-  
393 (1990, June)

(8) Goro Suzuki et al. : MOSAIC:A Tile-based  
Datapath Layout Generator : Proc. of  
International Conference on Computer Aided  
Design, pp.166-170 (1992, Nov.)

(9) 小島郁太郎 : 0.5  $\mu$  mASIC からフロアプラン  
がユーザ側へシフト : 日経エレクトロニクス,  
pp137-149 (1994, Apr)

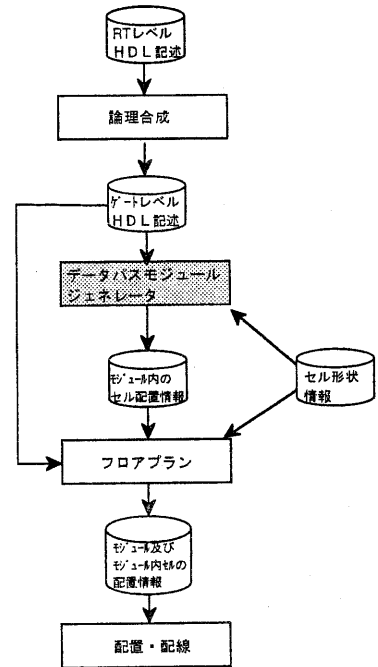


図2 モジュールジェネレータを用いた設計フロー

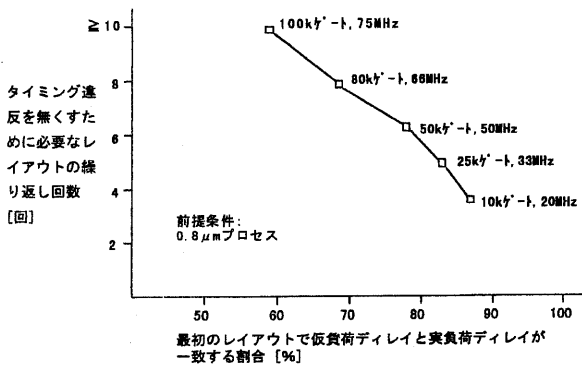


図1 設計の難易度に対するレイアウトの繰り返し回数

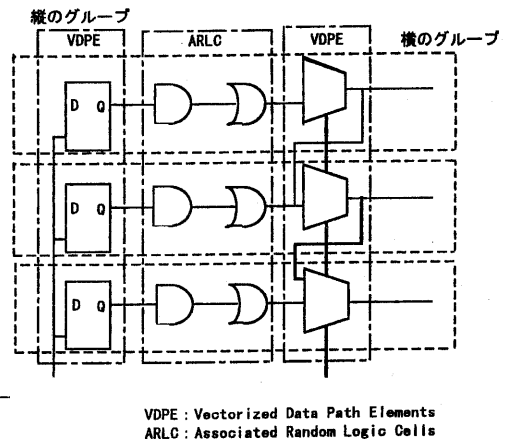


図3 データバスの回路構造

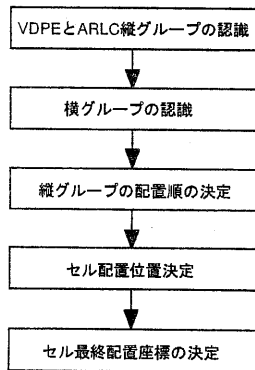
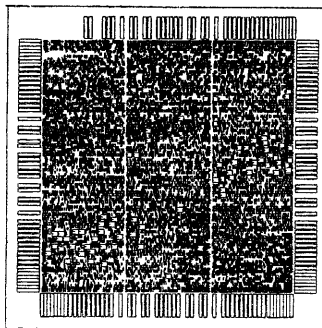
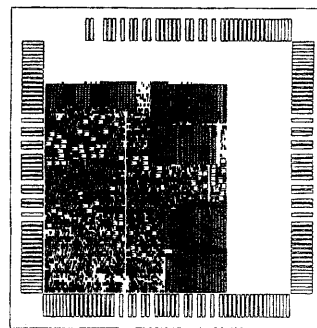


図4 データバスモジュールジェネレータ処理フロー

データバスモジュールジェネレータ未使用

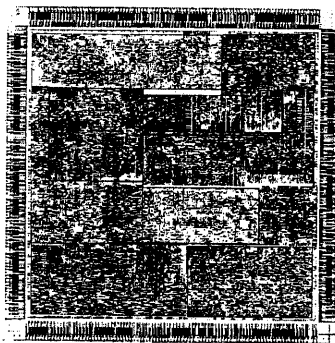


データバスモジュールジェネレータ使用

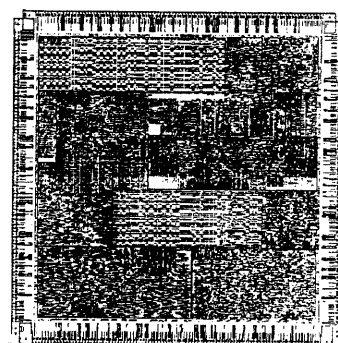


(1) 実例1

データバスモジュールジェネレータ未使用



データバスモジュールジェネレータ使用



(2) 実例2

図6 チップレイアウト例

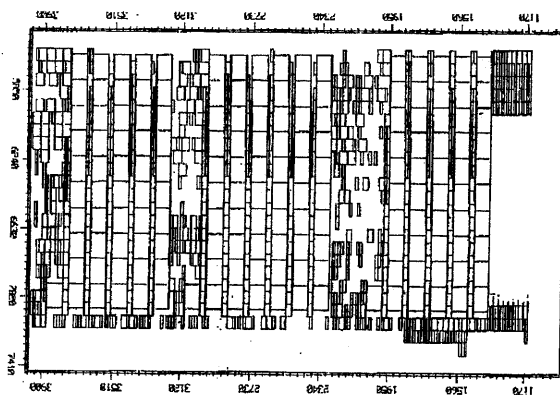


図5 データバスモジュールジェネレータ出力例

表1 面積削減率/総配線長短縮率

評価データ	面積削減率	総配線長短縮率
実例1	-40%	-40%
実例2	0%	+13%

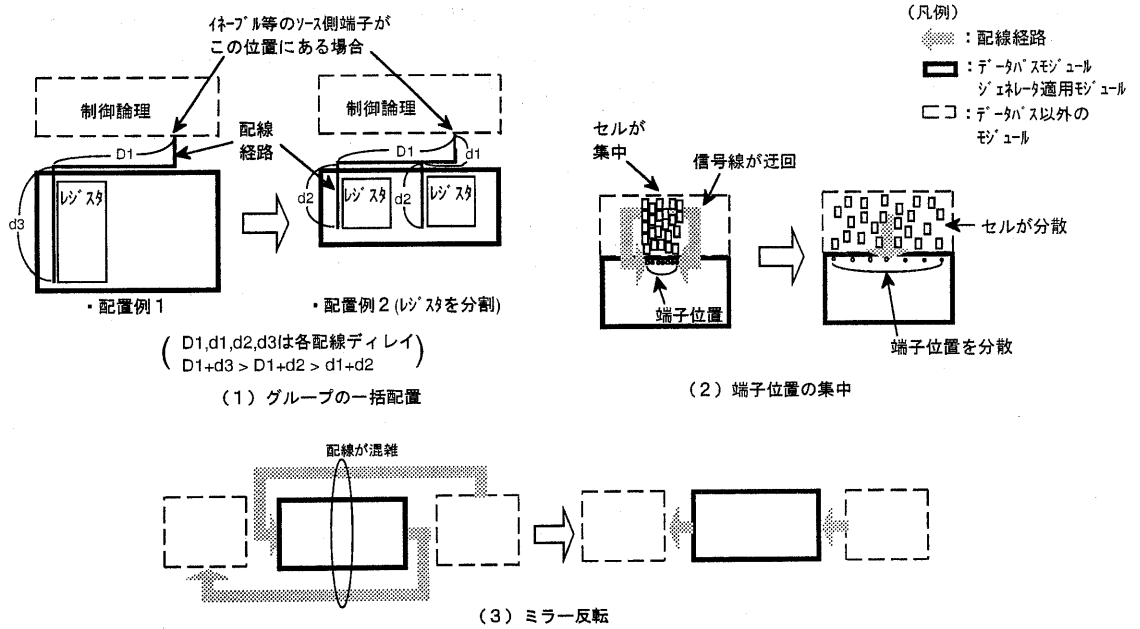


図7 データバスモジュールジェネレータの問題点分析

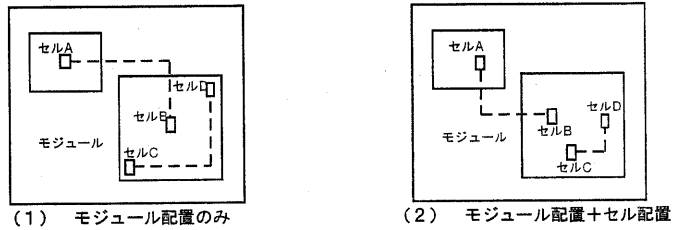


図8 配線ディレイ見積もり方法

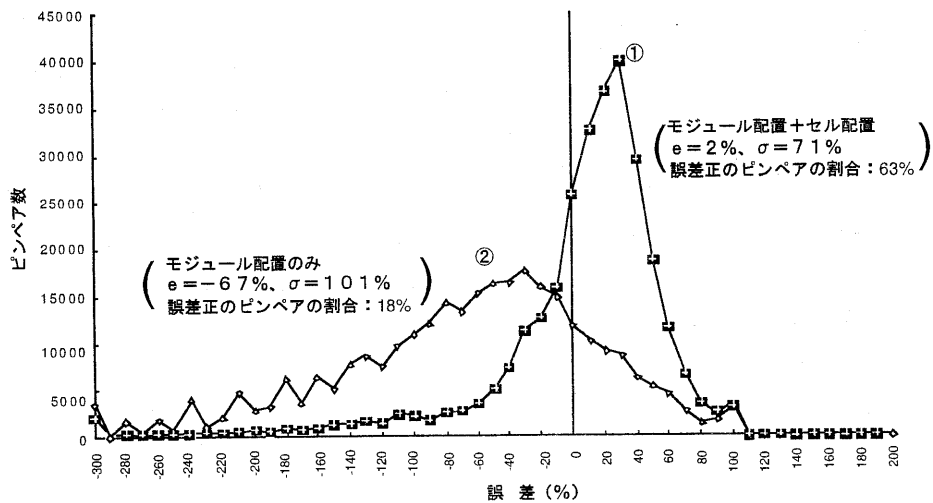


図9 フロアプラン配線ディレイ見積精度