

サブクォータミクロン時代のLSI設計技術

山品 正勝

NECシリコンシステム研究所
システムULSI研究部

229 神奈川県相模原市下九沢1120
0427-71-0746, masa@mel.cl.nec.co.jp

サブ0.25 μ mLSIの設計課題として、配線設計、アナデジ混在設計、上位レベルでの設計について述べた。LSIのスケーリングメリットの維持、つまり性能の改善のためには、設計者が保有していた知識やノウハウ、すなわち設計手法をCADに隠蔽していくことが重要である。

LSI設計 CAD 配線 アナログーデジタル 上位レベル

Prospect of Sub-Quarter Micron LSI Design

Masakazu Yamashina

System-ULSI Research Laboratory
Silicon Systems Research Laboratories
NEC Corporation

1120 Shimokuzawa, Sagamihara, Kanagawa 229
0427-71-0746, masa@mel.cl.nec.co.jp

This paper describes sub-0.25 μ m LSI design issues, such as interconnect design, analog-digital mixed design and high-level design. It is important for keeping scaling-scenario of LSI to develop novel CAD tools having expert design methodology.

LSI design CAD interconnect analog-digital design high-level design

1. はじめに

LSI技術の進展は、1950年代のプレーナ形のトランジスタの開発⁽¹⁾以来とどまる事を知らない。この発展を続けるLSI技術と設計技術との差分が設計課題になる。そして、課題を克服する手法を自動化したCADを核として、設計手法を統合化したものが設計技術である。本論文ではサブ0.25 μ m時代のLSI技術とその機能に言及し、LSIの設計技術を論じる。

2章ではLSI技術の視点から、配線技術の性能への影響やデジタルLSIにおけるアナログ技術の重要性の増大を指摘する。さらに、LSIの機能の視点からは、標準化により製品の競争力が設計の短期化と低コスト化になる事を明らかにする。そして、複雑さからの設計者の解放と設計期間の短縮化を目指した上位レベル設計への移行により、LSIはシステム基盤技術として確立されたが、それと相反するデメリット、つまりデバイスを理解する設計者人口、具体的にはアナログ設計者の少数化が進んできた事も明らかにする。3章では、上位レベルの設計、アナデジ混在設計、配線設計について述べる。4章ではLSIの競争力の視点から設計技術について述べる。

2. サブ0.25 μ m LSIの設計課題

本章ではサブ0.25 μ m LSIの設計課題を抽出し、次章での設計技術の議論につなげる。

2.1. サブ0.25 μ m LSIのハードウェアイメージと設計課題

サブ0.25 μ m LSIのハードウェアイメージは、4Gb DRAMと2000万トランジスタのマイクロプロセッサである⁽²⁾。メガビットクラスのDRAMの設計には、高速回路シミュレーションや、デバイス・配線のモデリングと回路シミュレータの統合化、等が求められている。サブ0.25 μ m時代に実現される4GbクラスのDRAMの設計課題としては、ファイル用途に向けた低電力設計、画像やグラフィクス用途で要求される高データ転送設計、論理回路と混在したASIC設計がある。

デジタル回路の集積度は2000万トランジスタになり、その設計はますますCADにより仕様、機能、アーキテクチャといった上位レベルへと

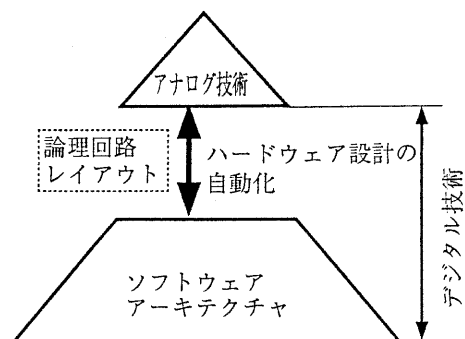


図1 デジタルLSI設計工数とLSI設計のソフト化

移行する。また、LSIの完成度を上げるための検証方法として、フォーマルベリフィケーションやソフトウェア/ハードウェアシミュレーションの高性能化が加速する。このようなCADの発展にともない、デジタルLSI設計者の主な役割が、従来のハードウェア設計からシステムの設計そのものになり(図1)、トランジスタを単なるスイッチとしてではなく、アナログ素子として扱う必要のある設計者はいっそう少なくなる⁽³⁾。このようなLSI設計のいわばソフト化はデジタルLSIの普及を支えるが、逆にLSIの高性能化を支える高速・低電力設計の基本技術がアナログ技術である事とは逆行している。アナログ技術はアナログLSIのみではなく、デジタルLSIの性能をも左右する。例えば、サブ0.25 μ m時代には集積度の改善を目指して配線ピッチが1 μ m以下になる。配線抵抗の増大を抑えるために薄くならない配線厚みは、配線間カップリングの問題を引き起こす。この対処も広義のアナログ技術である。特に、ハイエンドマイクロプロセッサのような高性能LSIの設計は、人的資源、計算機資源、ソフトウェア開発への投資と、それを使いこなす経験の蓄積に加えてアナログ技術が、性能と開発期間を決める。このため、高性能LSIの開発力強化のためには、ASICとも共通する設計の自動化技術に加えて、上述の広義のアナログ設計手法の構築と、それを共通技術にするためのCADへの取り込みが必要である。アナデジ混在設計については3.2.節で述べる。

2.2. サブ0.25 μ m LSIの機能と設計課題

サブ0.25 μ m LSIの主たる機能はマルチメディアである⁽⁴⁾。マルチメディアは、文字コードの表現力の限界、すなわち環境及び主観の欠落を補い、音声・画像に論理性を付与しその意味を

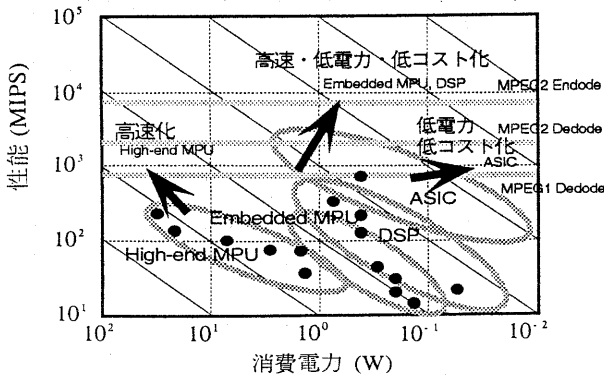


図2 LSIへの要求

補間すると共に、時空を越えた情報の授受と知識の共有を可能にする⁽⁵⁾。それを支える技術は、デジタル処理、ネットワーク、ヒューマンインターフェイスである。デジタル処理は音声・画像データの加工、蓄積、転送を可能にし、ネットワークはコミュニケーションに時空を越えさせ、液晶ディスプレイは画像によるヒューマンインターフェイスにモビリティを付加した。

これらの技術に深く関わり、その発展を支えてきたLSIへの要求は、高速、低電力、低コストである(図2)。高速と低コストを牽引してきたのは材料・プロセス技術に支えられた微細デバイス技術である。従来は、電源電圧をなるべく高く設定して高速性を追求すると共に、一定値を維持することでLSI間の互換性を保ってきた。しかし、マルチメディア社会で期待されるパーソナル化の側面は、電源電圧を積極的に下げ高速性を確保しながら電力を低減させるデバイス・回路という新しい提案を促した。

典型的な例を図3に示す。0.9Vで100MHz動作するDSPコアLSIである⁽⁶⁾。0.25 μ mの設計ルールを用い、デバイスと回路の工夫により、わずか0.9Vの電源電圧(NiCd電池1本)で100MHzの性能を実証している。LSIの歴史において維持されてきた電源電圧の標準が、LSIの低電力化の要求によって変化しつつある。つまり、電源電圧可変および複数の電源電圧が混在する設計が必要になると考えられる。

次に、マルチメディアとLSI技術の関わりからの視点から設計課題について述べる。マルチメディアとLSIの関係は、90年代前半のサブミクロンCMOS技術の発展に支えられたダウンサイジング、すなわちコンピュータのパーソナル化を経て、90年代後半のディープサブミクロンLSIの処理能力の向上に伴うAV機器とコンピュータ

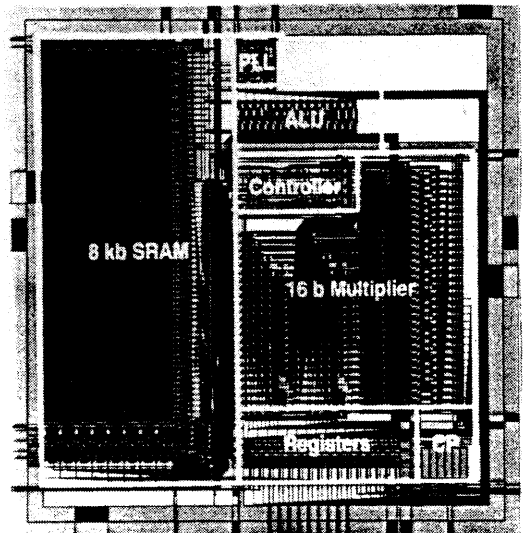


図3 0.9V DSPコア

との融合へと進んだ。サブ0.25 μ m時代は、拡張性と汎用性を付加価値とするコンピュータの技術が、信号処理と認識処理の進展と共に、ヒューマンインターフェイスLSIとして通信や家電等のパーソナルシステムに組み込まれると考える。その結果としてパーソナルシステムにも標準化の波が押し寄せ、LSIの設計効率化が望まれると共に、LSIに搭載するソフトウェアの重要性が高まる。

このように、サブ0.25 μ m時代のLSIの特徴として、標準化とデファクトの進展が考えられる。標準化による機能の画一化の結果、競争力としてTime to Marketが重視され、LSIの設計にいつそうの短期間化が要求されるようになった。最も機能実現に即時性のある手法がソフトウェアソリューション、すなわちプログラム内蔵型コンピュータによる実現である。しかし、ソフトウェアソリューションは、短期実現性と機能の可変性の代償としてハードウェアの冗長性を有している。このため、ハードウェアソリューション、すなわちASICの方が、同一デバイス技術で比較するとコストや絶対性能で優れている。いずれの設計にも共通するのは、上位レベルでの設計の重要性である。上位レベルの設計については3.1節で述べる。

3. サブ0.25 μ m時代のLSI設計技術

前章でサブ0.25 μ m時代の設計課題として短期間設計と高性能設計を抽出した。本章では、上位レベルの設計とアナデジ混在設計、そして

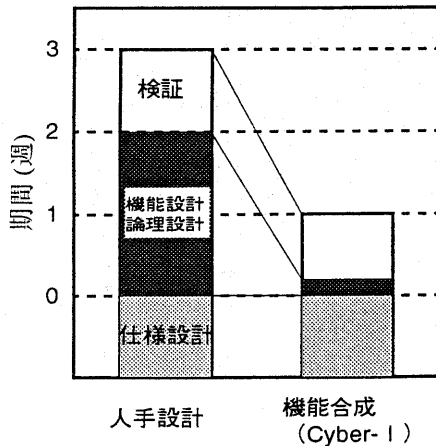


図4 機能合成ツールによる設計期間の短縮

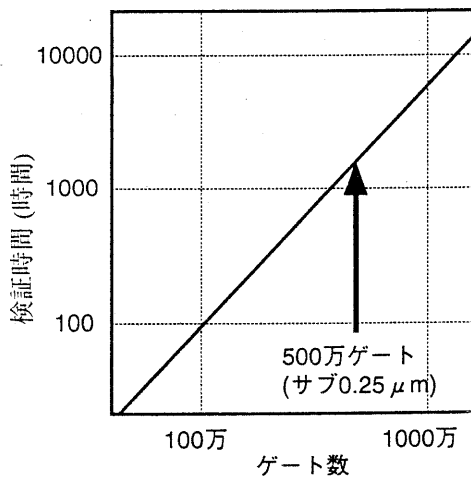


図5 LSIの規模と論理検証時間

配線設計について、サブ0.25 μm LSIの観点から述べる。

3.1. 上位レベルでの設計

上位レベルの設計技術は、特定の応用に特化したLSIの場合と汎用LSIの場合で異なる。前者は、特定の仕様を満足する専用アーキテクチャを自動合成するCADを用いる。例えば、LSIの動作記述からアーキテクチャの記述を自動合成するCADにより、従来に比べて1桁設計期間を短縮した報告がされている⁽⁷⁾ (図4)。

汎用LSIの設計では、様々な処理の中から共通的な処理、例えば、メモリアクセスや整数演算、等を抽出し、それらを高性能に実行するハ

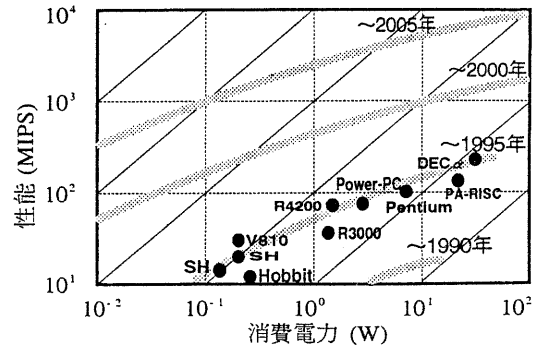


図6 プロセッサの消費電力と性能

ードウェアの設計が目標になる。これがアーキテクチャ設計であり、そこでの問題は検証時間の増大である。既に検証を短期化しパターン数を増加して設計品質を向上するため、ゲートレベルおよびRT (レジスタトランスファ) レベルのソフトウェアシミュレータが使用されている。

図5はLSIの規模と論理検証時間の関係である。サブ0.25 μm 技術で実現される500万ゲート級のLSIの検証時間は、現状の検証技術では1000時間を越えてしまう。シミュレーションアルゴリズムの進歩とそのプラットフォームになるコンピュータ性能の向上により、シミュレーション可能なLSIの規模とパターン数は着実に改善している。しかしながら、ソフトウェアの同時開発や設計品質のいっそうの向上のために、リアルタイムでソフトウェアを実行できる高速シミュレータへの要求が高まる。また、論理回路の検証の短期化と100%の正当性保証のために入力パターンが不要なフォーマルベリフィケーションも有効である。

3.2. アナログデジタル混在設計

上位レベル設計により、設計者がアナログ回路を意識せずにLSIを設計できるようになってきた。サブ0.25 μm 時代には、上位レベルへの移行がますます進む。アナログ回路とデバイス技術がブラックボックスとして与えられると、LSIの動作周波数と消費電力が決まり、入出力ポート数やクリティカルパスゲート段数、等まで制限される。この制限のもとで所望の性能を実現するためには、パイプライン処理や並列処理、等のハードウェアを複雑にするアーキテクチャが必要になり、LSI規模や消費電力の増大を引き起こす。

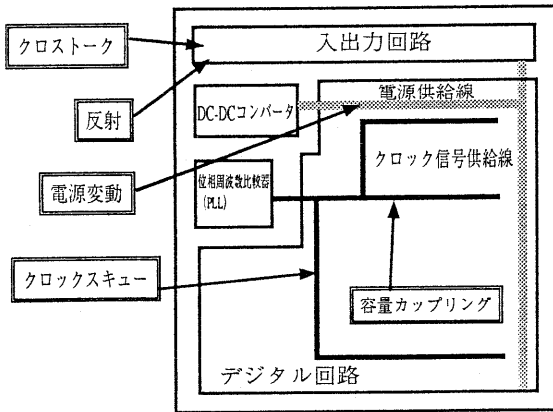


図7 デジタルLSIのアナログ技術

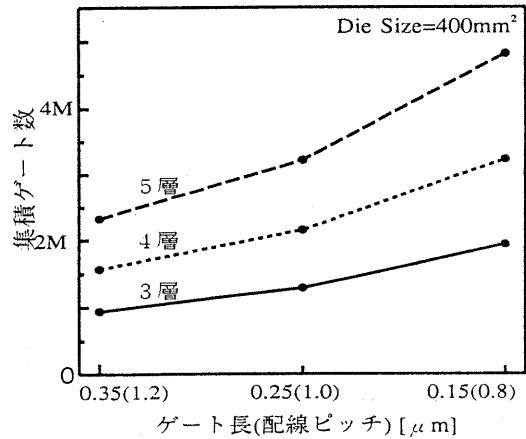


図8 集積ゲート数と配線技術

表1 アナログ技術と性能

性能	アナログ技術
周波数	クロック発生・分配 雑音 メモリ 基本ゲート回路
消費電力	DC-DCコンバータ レベル変換
CPI	入出力ポート数 メモリ

図6は同一世代のプロセッサの性能と消費電力である。アーキテクチャや論理回路による高性能化の効果が飽和するため、大きな電力を費やしても性能が比例して向上しない。デバイス技術の世代が進むと、中性能LSIでは比例して性能が向上するが、高性能LSIはアナログ回路技術が無いと、性能が飽和する恐れがある。逆に、アナログ技術があれば、性能/消費電力の劣化を抑制できる。

図7にデジタルLSIの高性能化に必要なアナログ技術を示す。デジタルLSIの高性能化には高速化と低電力化が重要である。高速クロック信号をLSI内部に少ないスキューで分配し、さらにLSI外部とのスキューも低減するために、PLL回路や特殊なクロック分配方法が必要になる⁽⁸⁾。また、低速信号に比べて高速信号は雑音を発生しやすいため、雑音を発生しにくい回路⁽⁹⁾または雑音の影響を受けにくい回路技術⁽⁸⁾が必要になる。配線が微細化されると配線抵抗による遅延だけでなく、隣接配線間容量によるカップリ

ングも問題になる⁽¹⁰⁾。低電力動作には電源電圧の低減が有効であり、電源電圧を変換するDC-DCコンバータが必要になる。この他にも、回路の同時スイッチングにより生じる電源変動⁽⁸⁾、等もアナログ現象であり、これらに対処できるかどうかが高性能LSI設計の鍵になるのである。

従来、アナログ技術を取り込んだ設計をしていた代表的なデジタルLSIは、高周波数動作や小面積化する必要のあるマイクロプロセッサである。マイクロプロセッサではアーキテクチャに継承性が要求されるため、過去のアーキテクチャを維持しつつ高性能化することが要求され、応用を特化したLSIほど新規アーキテクチャを採用できない。同じアーキテクチャのプロセッサの性能を向上するには高周波数動作や高い入出力データ転送能力が必要であり、これを実現するのがアナログ技術である。表1にアナログ技術が影響を及ぼすプロセッサの性能をまとめた。これらのアナログ技術を自動化することで、ハイエンドマイクロプロセッサの高性能設計技術をASICにも適用し、その性能や機能を改善できる。

2.1節で述べたように、サブ0.25μm時代には、デジタルLSI設計のCADによるソフト化が、ますます進む。その結果、LSIを差別化する技術として、本節で述べたアナログ技術の重要性が増大する。既に、高速LSIにはPLLや高速インターフェイス回路、等のアナログ回路が必須である。今後はクロックや電源変動、等のアナログ現象を扱うCADが差別化技術になると思われる。次節では、サブ0.25μm時代に顕在化する配線遅延と配線間カップリングについて述べ

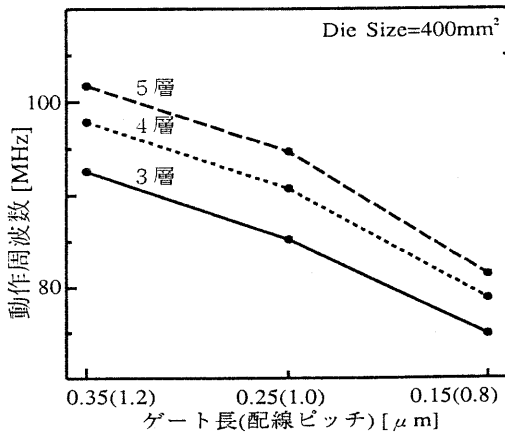


図9 動作周波数と配線技術

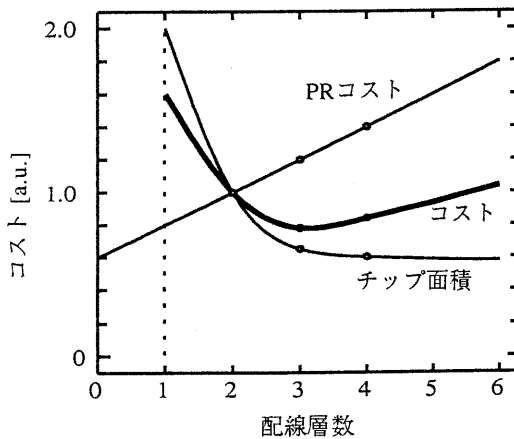


図10 配線層数とLSIのコスト

る。

3.3. 配線設計

サブ0.25 μm 時代には、LSIの集積度や動作速度に及ぼす配線の影響が大きくなる。図8は、400 mm^2 のチップ面積に集積できるゲート数を、配線層数をパラメータとして示している。0.15 μm のゲート長で0.8 μm ピッチの5層配線技術を用いると、1チップに500万ゲートを集積できる。しかし、配線ピッチの縮小により配線抵抗が増大し、デバイスの微細化にも関わらず動作周波数を改善できなくなる(図9)。

この動作周波数の低下に対して、配線ピッチを縮小しないで配線層数を増加させて性能と集積度を改善する考えがある⁽¹¹⁾。この考えに基づけば、0.15 μm 時代の配線層数は8-10層になり、コストと設計期間の増大が課題になる。図10にLSIのコストをチップ面積とPR数に比例すると

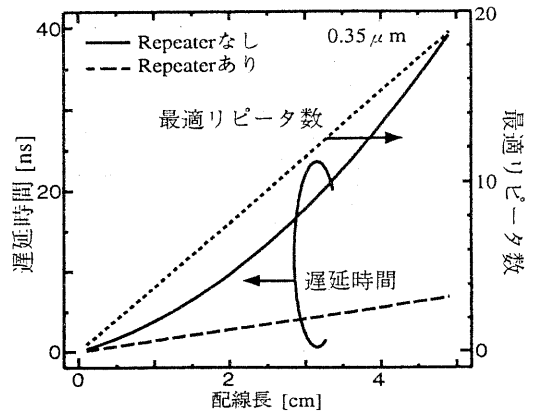


図11 リピータの最適挿入個数と遅延時間の削減

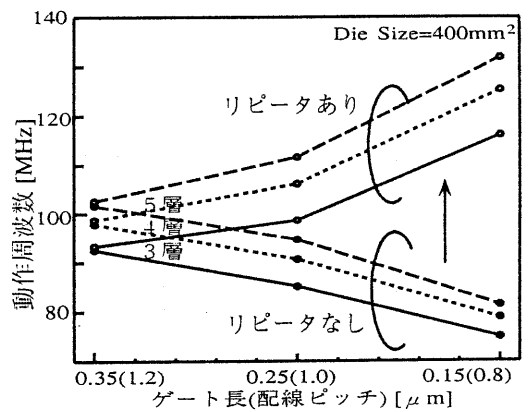


図12 リピータによる遅延時間の削減

して計算した結果を示す。2層配線LSIのコストで規格化してある。この例では、コストは3層で最小になる。コストがチップ面積の2乗に比例するとしても、コストを最小にする層数にはならない。コストと開発期間が競争力になるASICにこれを適用するには、低コスト短期間配線プロセスのようなブレイクスルーが必要である。

これに対して、設計技術により微細配線の課題を解決し、集積度と動作速度を改善することが可能である。具体的には、長配線にバッファ(リピータ)を挿入し総遅延時間を削減するアプローチと、配線幅と配線間隔を任意に変えて長配線の遅延を削減するアプローチである。いずれも、集積度が下がるが、上述の定ピッチアプローチほどではない。

図11に0.35 μm のゲート長で1.2 μm ピッチのLSIの配線長と遅延時間の関係を示す。4cmの配

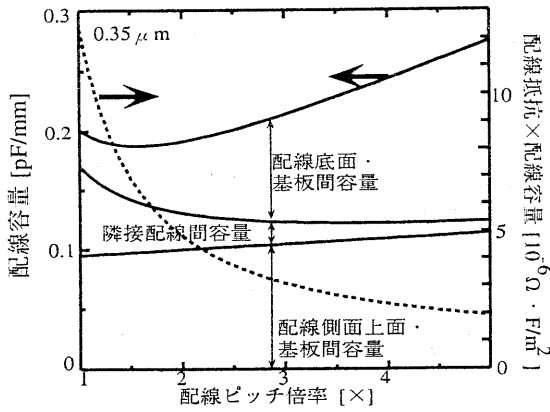


図13 配線容量と時定数

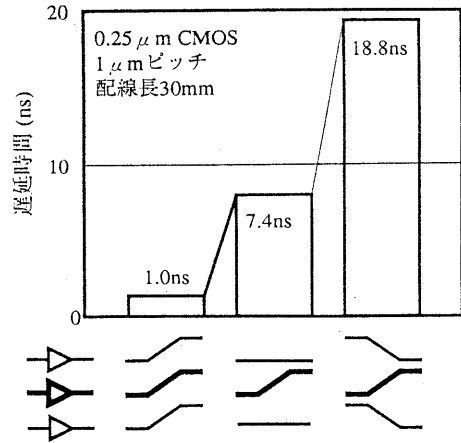


図15 配線間クロストークの遅延時間への影響

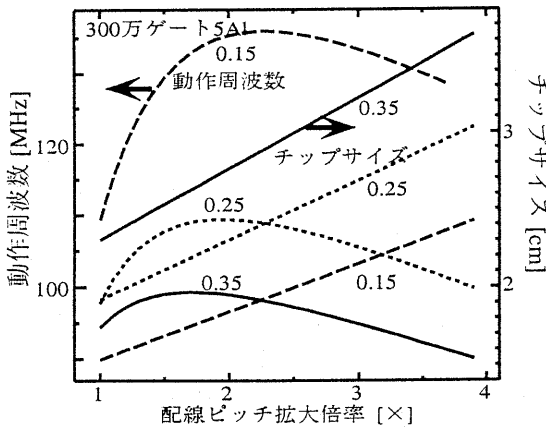


図14 配線ピッチと動作周波数

線の場合、リピータを15個入れることで、遅延時間を1/6に削減できる。リピータを用いると図12に示すように、LSIの動作速度の劣化を防ぐことができる。つまり、サブ0.25 μm 時代には、駆動能力と配線負荷の関係から最適な場所に最適な大きさのリピータを自動挿入する技術が重要になる。

次に配線ピッチの拡大、つまり配線幅と配線間隔を同率で拡大した場合の遅延と集積度について述べる。配線幅を広げると、配線抵抗が小さくなるが配線底面の容量が増大する。さらに、配線間隔を広げると配線間容量が小さくなる。この結果、図13に示すように、配線に起因する時定数は配線ピッチが広がるにつれて、小さくできる。図14に配線ピッチと動作周波数とチップサイズの関係を示す。集積度の低下を防ぐために、5層配線の最上層のピッチのみを広くしている。配線ピッチは動作周波数に対して最

適な値を持ち、0.15 μm 300万ゲートの場合、約2倍のピッチ(1.6 μm ピッチ)の時に動作周波数を最高にできる。この時、チップ面積は約40%増大する。集積度と動作周波数のバランスで配線ピッチを変更する必要がある。

以上のリピータ挿入と可変配線ピッチ設計の自動化には、機能・論理設計とレイアウト設計の統合化が必須である。いずれの目的も配線抵抗と配線容量の抽出とそれを用いて求めた遅延時間の上位レベル、つまり、アーキテクチャや仕様へのフィードバックである。

ここで、問題になるのが配線間クロストークである。クロストークのLSI設計への影響は、バックアノテーションの精度への影響と誤動作による信頼性の低下の2種類である。

図15は3本の配線において、両隣の配線の信号変化が、中央の配線信号の変化に対して逆の時と同じ時の遅延時間を示している。隣接配線の信号の状態によって、中央の配線の信号の遅延時間が1桁異なる。この対策には以下の4点がある。まず、(1)リピータの挿入により配線長を短くして、配線抵抗を下げる。(2)対象となる配線、つまり中央の配線を駆動するリピータのトランジスタサイズを大きくして電位を固定する力を強くする。(3)配線幅を太くして隣接配線が総配線容量に占める割合を低減する。(4)隣接配線容量まで考慮した、パターン検証を行う。

(4)については高並列計算機を使っても、その時代の先端LSIをシミュレーションすることは困難であろう。しかし、規模によっては前節で述べたアナデジ混在設計の一例として実現でき

るであろう。(1)-(3)は、周波数と集積度の改善を目指した垂直統合設計技術として自動化が望まれる。

4. 設計技術とLSIの競争力

LSIの競争力のポイントを大まかにいえば、(1) Time To Market、つまり適時な市場投入と、(2) Market Creation、つまりLSIの量の進化を質に転換して得られる新市場の開拓、そして(3)性能、つまり動作周波数、チップサイズ、電力の改善、である。これらのポイントに対応して、CADはそれぞれ、(1)短期間開発、(2)複雑さからの設計者の解放、(3)設計ノウハウの隠蔽、という効果を持つ。

開発の短期化と複雑さからの解放への要求は、サブ0.25 μ m時代のLSI規模の増大と、マルチメディアと標準化という市場要求の接点から高まる事を述べた。さらに、設計者である人間と親和性の良い上位レベル、例えば仕様や機能から、LSIの可能性を見極めるためには、規模の増大をCADにより克服して早期に解を求められる設計技術を作り上げなくてはならない。

配線問題やアナデジ混在問題のように従来は少数の設計者が有していた知識やノウハウをCADに隠蔽していくことで、LSIの量の改善、つまりスケールメリットを維持し、性能を改善することができるのである。

5. おわりに

サブ0.25 μ m時代のLSI設計技術を、LSI技術とその機能の観点から概説した。LSIの大規模化と高性能化はトレンドで読める。そのトレンドを維持するために、設計技術はブレークスルーを重ねてきた。今後、CADに変化をもたらすLSI技術として、FPGAとMPUの混載や、DRAMおよび不揮発メモリと論理回路の混載、等がある。設計技術は、設計手法の自動化、つまりCA

Dそのものになりつつある。配線問題に見られるように、LSIのスケールメリットを維持するためにも設計技術の着実な進歩が望まれる。

謝辞 本論文作成に当たりましてご指導を賜りましたマイクロエレクトロニクス研究所阿部所長、福間部長、貴重な資料を頂戴いたしました枝廣課長、若林主任に深謝いたします。

参考文献

- (1)柳井、永田、「集積回路工学1」、コロナ社
- (2)SIA、The National Technology Roadmap for Semiconductor 1994
- (3)山品、「デジタルLSIのアナログ回路技術」、SC-8-6、信学全大、1995年9月
- (4)西垣、「マルチメディア」、岩波新書(339)
- (5)仲本、「情報を考える」、丸善ライブラリ(073)
- (6)M. Izumikawa, et. al., "A 0.9V 100MHz 4mW 2mm² 16b DSP Core", WP5.4, ISSCC Digest of Technical Papers, Feb. 1995
- (7)N. Kobayashi, et. al., "Design of Experiences with High-Level Synthesis System Cyber-1 and Behavioral Description Language BDL", Proceedings of ARCHDL94, Oct. 1994
- (8)K. Suzuki, et. al., "A 500MHz 32b 0.4 μ m CMOS RISC Processor", IEEE Jour. Solid-State Circuits, Vol. 29, No.12, p1464, Dec. 1994
- (9)M. Yamashina, et. al., "An MOS Current Mode Logic Circuit for Low-power Sub-GHz Processors" IEICE Trans. Electron., E-75-C, 10, Oct. 1992
- (10)T. Iima, et. al., "Capacitance Coupling Immune, Transient Sensitive Accelerator for Resistive Interconnect Signals of Sub-quarter Micron ULSI", 4-4, June. 1995
- (11)Mark T. Bohr, "Interconnect Scaling - The Real Limiter to High Performance ULSI", 10.1.1, IEDM Digest of Technical Papers, Dec. 1995