

1998 International Symposium on Physical Design 報告

長尾 明† 村田 洋†† 神戸 尚志†

† シャープ株式会社
〒 632-8567 奈良県天理市標本町 2613-1
E-mail: {akira@icg, kambe@edag.ptdg}.sharp.co.jp

†† Dept. EECS, U.C. Berkeley
550 A4, Cory Hall Berkeley, CA 94720 USA
E-mail: murata@EECS.Berkeley.EDU

あ ら ま し 1998 年 4 月に米国カリフォルニア州モンテレーで開催された International Symposium on Physical Design (ISPD '98) について報告する。

A report on International Symposium on Physical Design '98

Akira NAGAO † Murata HIROSHI †† Takashi KAMBE †

† SHARP Corporation
Ichinomoto-Cho, Tenri, Nara, 632-8567 Japan
E-mail: {akira@icg, kambe@edag.ptdg}.sharp.co.jp

†† Dept. EECS, U.C. Berkeley
550 A4, Cory Hall Berkeley, CA 94720 USA
E-mail: murata@EECS.Berkeley.EDU

Abstract This paper reports on International Symposium on Physical Design '98, which was held on April 6-8, 1998 at Monterey, CA, USA

ISPD (International Symposium on Physical Design) はその名のとおりに、EDA 技術の中でも特にレイアウト設計に関する技術をテーマとした国際学会であり、今年で 2 回目の開催を迎える。なお、昨年に始めて Symposium として開催される以前は、1987-1996 の間に PDW (Physical Design Workshop) として 5 回の開催がなされている。今年 Monterey に於いて 4/6 ~ 4/8 の 3 日間にわたって開催された。Monterey は California 州にある海辺の町であり、奇しくも ISCAS'98 (5/31 ~ 6/3) と ISLPED'98 (8/10 ~ 8/12) の開催地でもある。ISPD'98 のプログラムを本報告の付録に示したので参照されたい。また、URL (<http://www.ee.iastate.edu/~ispd98/>) も公開されている。興味のある方は参照されたい。

1. 全般

- 発表および講演の内訳は以下のとおり。

Regular	17 件	(7 セッション)
Poster	9 件	(1 セッション)
Panel	2 件	
Tutorial	2 件	
Keynote/Special Address	5 件	

Regular では 1 件あたりの発表時間がおおよそ 30 分。Poster については、1 時間枠の Poster Session の前に、1 件あたり 5 分×9 件の Presentations が設けられた。

- 参加者は 250 人前後（去年は 220 人）。
日本人は米国現地からの参加も含めて 7 名（阪大 1, 近大 1, UCB 1, 富士通 3, シャープ 1）。
- 論文投稿数は 52 件（米国 33, 欧州 11, アジア 7, その他 1）。この中から Regular もしくは Poster として採択された論文数は 26 件であるから、採択率は 50%。日本からの発表は 1 件のみであるが、日本人による発表は、UCB からの発表 1 件を加えて合計 2 件。
- 並行セッションがなく、参加者が一部屋の会場に集う^[1,2] というスタイルは、今年も昨年と同様。ISPD '98 のプログラムにあるように、ランチタイムやディナータイムの最中に講演があるのも昨年^[1] と変わらない。部屋の広さは 260 人を収容できる程度。セッション中の活発な質疑応答はもとより、休憩時間にも、コーヒーの入ったカップを片手にした参加者が、会場の部屋を出たところにある Pre-Convence や Party Deck に所狭しとたむろして議論している姿が見受けられた。
- 余談ではあるが、自らが持ち込んだノート型 PC を学会側が準備した液晶プロジェクターに接続して Powerpoint によりプレゼンテーションを行う講演者/発表者が、OHP を用いる発表者より多く、近頃の学会発表の傾向を反映していた。また、その利点をいかして視覚に訴える工夫を凝らした発表が数多くあり、理解を深めるのに役立っていた。

2. 概観

発表および講演の内容を分類すると、以下のようになる。

配線関連（スタイナー木、配線幅最適化を含む）	11 件
配置関連（レイアウトの再利用を含む）	6 件
解析関係（容量抽出、信号減衰の解析など）	2 件
回路分割	2 件
技術動向分析	2 件
プロセス関連（歩留りに関連する PD を含む）	4 件
RF 回路の自動レイアウト	2 件
設計環境	3 件
設計事例	1 件
その他	2 件
合計	35 件

3. 内容詳細

Session 1 *Floorplanning and Placement*

- “Performance-Driven Soft-Macro Clustering and Placement by Preserving HDL Design Hierarchy” (Tsing Hua)

VHDL 記述における階層構造をもとに、規模の大きなソフトマクロは分割し、また、規模の小さなソフトマクロはクラスタリングした後、これらの配置を行うことにより、クリティカルパスを短く抑えるフロアプラン技術。

- “Nostradamus: A Floorplanner of Uncertain Designs” (Northwestern)

モジュールの形状が不確定な設計早期でのフロアプラン。モジュールが取り得る幅や高さをその生起確率とともに与え、設計の早期段階においても高い精度で、面積や配線遅延などを見積もる。

- 他 1 件。

Session 2 Interconnect Optimization

- “Greedy Wire-Sizing is Linear Time” (UT-Austin)
clock treeなどを対象に、配線要素毎の配線幅を最適化するアルゴリズムの提案。最適化の目的は weighted sink delay や、最大遅延、面積などの最小化。配線要素数に比例した計算時間で高速に処理できるのが特徴。
- 他 1 件。

Session 3 Layout Methodologies for RF Circuits

- “Device-Level Early Floorplanning Algorithms for RF Circuits” (CMU)
RF 回路を対象に、素子レベルの配置配線を行うフロアプラン技術。指定された配線長になるように配線を折り曲げる機能を持つ。RF 回路において重要となる「配線交差 (crossover) 数の削減」については、GA による探索を用いて解決。
- “A Layout Approach to Monolithic Microwave IC” (Sharp)
前出の “Device-Level Early...” と同様、素子レベルの配置配線技術であるが、回路のグラフ表現に基づく crossover の削減と、Session 7 のテーマである Sequence-Pair を用いてチップ面積の削減を図っている点とが特徴。

Session 4 Frameworks and Benchmarks

- “CHDStd-Application Support for Reusable Hierarchical Interconnect Timing Views” (Sematech)
CHDS (Chip Hierarchical Design System) は、0.25 ~ 0.18 μ プロセスの大規模チップをターゲットとして、SEMATECH が開発を推進している設計システム。CHDStd は CHDS Technical Data の略。CHDS で用いる階層設計表現における各種 timing view について紹介。
- “The ISPD Circuit Benchmark Suite” (IBM)
回路分割や配置問題などの PD tool の開発に利用できるベンチマークデータ「ISPD98 benchmark suite」の紹介。モジュール数が 13,000 ~ 210,000 の範囲にある 18 種類の回路からなり、World Wide Web [vlsicad.cs.ucla.edu] からダウンロードできるとのこと。ちなみに、MCNC から提供される回路のうちで、2 番めに大きい回路のモジュール数は 25,000。

Session 5 PD for Manufacturability

- “Critical Area Computation - A New Approach” (Northwestern)
rectilinear layout を対象として、チップの製造時に短絡を生じる可能性の高い箇所、すなわちレイアウトパターンが近接している箇所を、ボロノイ線図に基づいて算出する手法。算出結果は歩留まり予測に用いられる。
- “Filling and Slotting: Analysis and Algorithms” (UCLA)
露光やレジスト塗布などの処理に備えて、マスクの空き領域にパターンを追加したり (filling)、パターンに切り込みを入れたり (slotting) する必要がある。発表は filling/slotting の自動化について。

Session 6 Poster Presentations

ポスターは全部で 9 件。45 分間 (各 5 分) の Poster Presentations の後、1 時間の Poster Session が設けられた。Poster Session では、50cm x 76cm 程度のボード 1 枚がポスター毎に与えられ、5 分間の制限では十分に説明しきれなかった内容について、発表者が質問者に対して熱心に説明していた。

- “Partitioning Using Second-Order Information and Stochastic-Gain Functions” (UI-Chicago)
古典的な FM や LA より性能が高い分割アルゴリズム PROP をさらに改良したという発表内容。片方の分割 V_1 から他方 V_2 へ移動する候補の頂点につながるレベル 1 と呼ぶネットだけでなく、その頂点に隣接する頂点につながるネット (レベル 2 のネット) をも考慮した。
- “A Parallel Algorithm for Zero Skew Clock Tree Routing” (Northwestern)

配線幅を逐次的に改善する wire-sizing により zero skew を実現した。また、配線幅固定で zero skew を実現する他手法に比べて、source から sink までの遅延も大幅に改善された。さらに、処理の並列化により、高速化を図った。

- 他 7 件。

Session 7 *Efficient Representation in Placement*

- "Sequence-Pair Based Placement Method for Hard/Soft/Pre-placed Modules" (UCB)
ハードモジュール、ソフトモジュール、位置固定モジュールが混在したブロック配置問題の配置手法を提案。
- "Rectilinear Block Placement using Sequence-Pair" (UCSD)
レクタリニア形状ブロックの配置手法を提案。
- "Topology Constrained Rectilinear Block Packing for Layout Reuse" (UCSC)
レイアウト再利用の手法提案
- いずれも、日本発のアイデア "Sequence-Pair" の応用である (UCSC は "Bounded-Sliceline-Grid" も利用)。

Session 8 *Routing Algorithms*

- "Routing Tree Topology Construction to Meet Interconnect Timing Constraints" (Minnesota)
多端子ネットの配線に対して、non-Hanan point において配線を分岐させるようなスタイナー木を用いることにより、source から sink までの遅延を最小化しようとする試み。遅延計算は Elmore の遅延モデルに基づく。
- 他 2 件。

Keynote Address" Design of a 1GHZ Processor D. LaPotin (IMB)

- マイクロプロセッサの設計技術の進歩により、動作周波数が向上した (例えば、Alpha, PowerPC)。
- 進歩の事例として、RS/6000 (1990 年) と ARL 1GHz PowerPC processor (1997 年) とを比較。
- プロセスは、前者が 1.0 μ 、後者が 0.25 μ 。
- 論理の階層は、前者が 35 で深く、後者では 5 と浅い。論理階層をいかに浅くするかは、バストランジスタ論理などの利用においても有効。
- 後者では、アーキテクチャに 64 ビットのデータフロー、計算の並列化などを採用。
- 問題となるのは、チップの温度分布、消費電力の分布、大局的な skew の最適化、大局的なノイズの削減など、重要なネットをどのように配線するかという設計手法も大切。

Special Address

- **Impact of Web Technologies on EDA System Architectures A.R. Newton (UCB)**
 - 初日 12:30-14:30 のランチタイム中に行われた講演。
 - EDA ツール間のデータ変換は繁雑で、ツールの統合化を阻んでいる。
 - 一方、ネットワーク環境の進歩は分散型の設計を可能にしている。
 - EDA データとそのアクセス方法の標準化が必要であり、そのキーテクノロジーとして JavaBeans, CORBA, Microsoft COM を論じた上で、分散型の設計環境についての提案があった。
 - 講演内容は、(<http://www-cad.eecs.berkeley.edu/~newton/presentations/>) にて参照が可能。
- **Moore's Law and Physical Design of ICs W. Maly (CMU)**
 - physical design の今後の進展を予見すべく、the National Technology Roadmap for Semiconductors (NTRS) の 1997 年のロードマップについて講演。
 - Moore's Law に沿った発展曲線は、未来では次第に緩やかになる。
 - DRAM は 1999 年に \$600、2012 年には \$1800 になるだろう。

- 歩留まりはコストにとって 35 ~ 85% の範囲で重要な要素であり、設計に依存する。
- ウェハの生産性に関連する設計とは、設計スタイル、設計の品質、配線層の数などである。
- コストが重要であり、歩留まりを考えた場合、critical area は設計規則と密接に関連しており、設計規則をあまり小さくするのも考えもので、結局、歩留まりが悪くなり、チップの数がとれなくなる。
- 講演内容は、URL (<http://www.ece.cmu.edu/~maly/circuits.html>) にて参照が可能。

- **Global Wires Harmful?** **R.H.J.M. Otten (Delft)**

- 配線遅延が主な遅延構成要因になるので、論理合成の役割はゲートとその接続関係を出力することから、機能素子と配線からなる信号パスにダイレイを割り当てることに変化しなければならない。
- 実現するための方策として floorplanning でなく wireplanning が必要である。UCB の Prof. Brayton 研究室で進行中の同名プロジェクトを紹介。

- 他 1 件.

Tutorial

- **Timing Metrics for Physical Design of Deep Submicron Technologies**

..... **L. Pileggi (CMU), J. Cong (UCLA), S. Otto (Intel), A. Yang (Washington)**

- 配線遅延のモデルについて考えるとき、論理合成段階の見積りに使われるのかレイアウト後の検証段階に使われるのかで話は変わってくる。ここでは物理設計段階の評価として何が適切か議論する。従来は、配線の R 分を無視して C 分のみ考えるのが主流であったが、DSM では Elmore のモデルが必要になってきた。さらに今後は、Elmore 方式では不正確になる場合を考慮して、Elmore 方式と完全な reduced-order model との中間を狙うような新しい方式が必要になる。

- **Futures for Partitioning in Physical Design**

A.B. Kahng (UCLA), C.J. Alpert (IBM), G. Janac (Cadence), J. Lillis (UI-Chicago)

- 配線混雑緩和の観点からは多くの既存研究がある。
- タイミングドリブンの観点からはまだ不十分。これからの課題である。

4. まとめ

EDA 技術に関する学会としては、DAC, ISCAS, CICC, ICCAD など多くの国際学会があるが、レイアウト技術に焦点を絞った学会として ISPD は他に類を見ない。また、主観ではあるが、並列セッションが設けられていないせいか、参加者に親近感を感じた。事実、休憩時間における参加者同士の会話は相当活発であり、これもまた ISPD の特徴のひとつと言える。

内容については、配置や配線における最適化問題が Deep Submicron にむけて信号遅延やクロストークの問題と強く連結してきていることが各発表から読みとれる。また、これまでにない試みとして、(i) RF 回路の自動レイアウト技術が 1 つのセッションを構成していたこと、(ii) 配置手法である "Sequence-Pair" に関する発表が 1 つのセッションを構成していたことが挙げられる。従い、ISPD には新しい研究テーマを積極的に取り上げようとする姿勢が見受けられ、最先端 EDA 技術の将来を見据える上で、今後も継続して注目する必要がある国際学会である。

参考文献

- [1] 石塚昭夫, "1997 International Symposium on Physical Design 報告," 84-7, pp. 45-52 (May 1997).
- [2] 村田洋, "アメリカ便り," 信学会 基礎・境界サイエティ ニューズレター, no.14, pp. 4-5 (Feb. 1998).

INTERNATIONAL SYMPOSIUM ON PHYSICAL DESIGN

Embassy Suites, Monterey, CA

April 6-8, 1998

<http://www.ee.iastate.edu/~ispd98>

Sponsored by ACM SIGDA in cooperation with IEEE CAS Society and IEEE Computer Society
Additional support from Ambit, Avant!, Cadence, Mentor and Synopsys

FINAL PROGRAM

The International Symposium on Physical Design provides a high-quality forum for the exchange of ideas and results in critical areas related to the physical design of VLSI systems. This meeting evolved from the ACM/SIGDA Physical Design Workshops held during the years 1987-1996. The scope of this symposium includes all aspects of physical design, from interactions with behavior- and logic-level synthesis, to back-end performance analysis and verification.

MONDAY, April 6

0915-0930 *Welcome*

M. Sarrafzadeh, General Chair (Northwestern)

D.F. Wong, Program Chair (UT-Austin)

0930-1030 **Keynote Address**

"Perspectives on Systems at 1GHz and beyond"

D. LaPotin (IBM Austin Research Lab)

1030-1100 *Break*

1100-1230 **Session 1**

Floorplanning and Placement

Chairs: C.-K. Cheng(UCSD), J.Jess(Eindhoven)

"On Wirelength Estimations for Row-Based Placement" A.B. Kahng, S. Mantik, I.L. Markov, A. Zelikovsky (UCLA)

"Performance-Driven Soft-Macro Clustering and Placement by Preserving HDL Design Hierarchy" H.-P. Su, A.C.-H. Wu, Y.-L. Lin (Tsing Hua)

"Nostradamus: A Floorplanner of Uncertain Design" K. Bazargan, S. Kim, M. Sarrafzadeh (Northwestern)

1230-1430 *Lunch*

Special Address

"Impact of Web Technologies on EDA System Architectures" A.R. Newton (UCB)

1430-1600 **Tutorial**

"Timing Metrics for Physical Design of Deep Submicron Technologies"

Presenter: L. Pileggi (CMU)

Panelists: J. Cong (UCLA), S. Otto (Intel), A. Yang (Washington)

1600-1630 *Break*

1630-1730 **Special Address**

"Moore's Law and Physical Design of ICs"

W. Maly (CMU)

1730-1830 **Session 2**

Interconnect Optimization

Chairs: M. Alexander (Washington State)

Y.-L. Lin (Tsing Hua)

"Greedy Wire-Sizing is Linear Time"

C.C.N. Chu, D.F. Wong (UT-Austin)

"An Efficient Technique for Device and Interconnect Optimization in Deep Submicron Designs" J. Cong, L. He (UCLA)

1900-2100 *Dinner*

Special Address

"Consorting with the Consortia: Cooperative Research For Fun and Profit" W.H. Joyner (SRC)

TUESDAY, April 7

0830-0930 **Session 3**

Layout Methodologies for RF Circuits

Chairs: M. Pedram (USC), W. Dai (UCSC)

"Device-Level Early Floorplanning Algorithms for RF Circuits" M. Aktuna, R. Rutenbar, L.R. Carley (CMU)

"A Layout Approach to Monolithic Microwave IC" A. Nagao, T. Kambe (Sharp), I. Shirakawa (Osaka)

0930-1030 **Session 4**

Frameworks and Benchmarks

Chairs: D. Hill (Synopsys), L. Jones (Motorola)

"CHDStd--Application Support for Reusable Hierarchical Interconnect Timing Views"

S. Grout, G. Ledenbach, R. G. Bushroe, P. Fisher, A. Chokhavia (Sematech), D. Cottrell, D. Mallis (Silicon Integration Initiative), S. DasGupta, J. Morrell (IBM)

"The ISPD Circuit Benchmark Suite" C.J. Alpert (IBM)

1030-1100 *Break*

1100-1230 **Panel**

"Given that SEMATECH is leveling the semiconductor technology playing field, will corporate

CAD(specifically,PD) tools be an enabler/differentiator of technology in the future?"

Organizer: S. DasGupta (IBM)

Panelists: R. Abrishami (Fujitsu Microelectronics), B. Beers (IBM), D. Guiou (Mentor Graphics), J. Hutt (Synopsys), M. Khaira (Intel), V. Kulkarni (Avant!), L. Scheffer (Cadence)

1230-1330 Lunch

1330-1430 Session 5

PD for Manufacturability

Chairs: M. Wiesel (Intel), R. Rutenbar (CMU)

"Critical Area Computation--A New Approach"
E. Papadopoulou (IBM), D.T. Lee (Northwestern)

"Filling and Slotting: Analysis and Algorithms"

G. Robins, A. Singh (Virginia), H. Wang, A. Zelikovsky (UCLA)

1430-1530 Special Address

"Global Wires: Harmful?" R. Otten (Delft)

1530-1600 Break

1600-1645 Session 6

Poster Presentations

Chairs: S. Sapatnekar(Minnesota), G. Robins(Virginia)

"Partitioning Using Second-Order Information and Stochastic-Gain Functions"
S. Dutt (UIC), H. Theny (Intel)

"A Parallel Algorithm for Zero Skew Clock Tree Routing" Z. Xing, P. Banerjee (Northwestern)

"On Convex Formulation of the Floorplan Area Minimization Problem"

T. Chen, M. Fan (Georgia Tech)

"A Pattern Matching Algorithm for Verification and Analysis of Very Large IC Layouts" M. Niewczas, W. Maly, A. Strojwas (CMU)

"LIBRA - A Library-Independent Framework for Post-Layout Performance Optimization" R. Huang (UCSB), Y. Wang (Avant!), K.-T. Cheng (UCSB)

"Estimation of Maximum Current Envelope for Power Bus Analysis and Design" S. Bobba, I.N. Hajj (UIUC)

"New Efficient Algorithms for Computing Effective Capacitance" S. Muddu (SGI)

"Calculation of Ramp Response of Lossy Transmission Lines Using Two-Port Network Functions" P. Heydari, M. Pedram (USC)

"Switch-Matrix Architecture and Routing for FPDs"
G.-M. Wu, Y.-W. Chang (Chiao-Tung)

1645-1745 Poster Session

1900-2200 Banquet (Rancho Cañada Golf Club)

WEDNESDAY, April 8

0830-1000 Session 7

Efficient Representation in Placement

Chairs: R. Otten (Delft), C. Sechen (Wash.)

"Sequence-Pair Based Placement Method for Hard/Soft/Pre-placed Modules" H. Murata, E.S. Kuh (UCB)

"Rectilinear Block Placement using Permutation-Pair"
J. Xu, C.-K. Cheng (UCSD)

"Topology Constrained Rectilinear Block Packing for Layout Reuse" M. Kang, W. Dai (UCSC)

1000-1030 Break

1030-1200 Panel: "Process development and its impact on Physical Design"

Moderator: N. Sherwani (Intel)

Panel members: J. Cong (UCLA), D. Lapotin (IBM), J. Rey (Cadence)

1230-1400 Lunch

1400-1530 Tutorial

"Why Clustering is the Key to Partitioning"

Presenter: A. Kahng (UCLA)

Panelists: C. Alpert (IBM), G. Janac (Cadence), J. Lillis (UIC)

1530-1700 Session 8

Routing Algorithms

Chairs: J. Cong (UCLA), J. Fishburn (Lucent)

"Chip-Level Area Routing"

L.-C. Liu, H.-P. Tseng, C. Sechen (Washington)

"Routing Tree Topology Construction to Meet Interconnect Timing Constraints"

H. Hou (Iowa State), S. Sapatnekar (Minnesota)

"Analysis, Reduction and Avoidance of Crosstalk on VLSI Chips"

T. Stoehr, M. Alt (IBM), A. Hetzel (Bonn), J. Koehl (IBM)