

通信処理用エミュレータのプログラマブル信号プローブ法

片山勝 高原厚 宮崎敏明

NTT 光ネットワークシステム研究所

〒 239-0847 神奈川県横須賀市光の丘 1-1

e-mail: {katy, taka, miyazaki}@exa.onlab.ntt.co.jp

あらまし 我々はリアルタイムで動作する通信処理用エミュレータを開発している。ここでは、それ上に実装したアプリケーションデバッグに不可欠な信号プローブ方法を提案する。FPGA とプログラマブルスイッチチップを組み合わせることにより、任意の信号を観測することが可能であり、観測データはボード上に搭載されたCPUによりオンライン/オフラインでの処理が可能である。さらに、FPGA に観測データの解析回路を搭載することにより、複雑なデータ構造を持った信号もリアルタイムに扱うことが可能である。本稿では、実現した信号プローブ機構の詳細を述べた後、具体例を示す。

キーワード FPGA, 信号プローブ, ATM, 通信

A reconfigurable signal probing in a real-time emulator for telecommunications

Masaru Katayama, Atsushi Takahara, Toshiaki Miyazaki

NTT Optical Network Systems Laboratories

1-1 Hikarinooka, Yokosuka-shi, Kanagawa, 239-0847 JAPAN

Abstract We propose a reconfigurable signal probing mechanism in a real-time emulator for telecommunications. It is a very important facility to debug the application logic of the emulator. Any signals in the emulator can be probed by configuring FPGAs and programmable switches which are the key components of the probing mechanism. The probed signals are sent to an on-board CPU, and analyzed with on-line or off-line manner. In addition, by implementing preprocessing circuit in the FPGAs, complicated data structure can be extracted on-the-fly. In this paper, we describe the reconfigurable signal probing mechanism and its applications.

key words FPGA, Probing, ATM, Telecommunication

1 はじめに

マルチメディア通信に対応するため、様々な専用ハードウェアの開発が行なわれている。専用ハードウェアは高速動作を保証するが柔軟性にかける。そのためシステムを改良することは容易ではない。ハードウェア構成が変更可能なシステムとして、各種のエミュレータ [1-2] があるが、それらの動作速度は数 MHz 程度にとどまり、実際の通信システムに適用することはできない。そこで我々は、リアルタイム動作可能な ATTRACTOR (A Transmutable Telecom system Realizing Actual Communications in a Timely manner with Other systems in the Real world) と呼ぶ構成可能な通信システムを開発した [3]。ここでは ATTRACTOR におけるアプリケーションデバッグ用リアルタイム信号プローブ機能について報告する。

1.1 過去のプローブ方法

一般に信号をプローブする場合、オシロスコープのような信号プローブ装置 [4-7] を用いる。プローブには、接触型の FET ハイインピーダンスプローブや非接触型の EOS (Electro-Optic Sampling) プローブ [8] など多数存在する。しかし、これらのプローブ方法は、観測点に対し、プローバをあてて、信号を観測しなければならない。また、多数の点を同時に観測する場合、専用の治具を用意する必要がある。さらに、プローブした信号はロジックアナライザのような専用の装置を用い、解析する。上記方法では、同時に解析できる信号は限られ、多くの信号を解析するには大規模な装置を必要とするという欠点があった。

一方、エミュレータの信号プローブ機構は、従来の観測方法を基本に、FPGA で構成されている。エミュレータ内にプローバを内蔵し、プローバと観測点の間の配線は、FPGA により行なう。このプローブ方法の利点は、プローブする信号を変更する際に、専用のハードウェアを必要とせず、FPGA に搭載している論理を変更するだけで、容易に観測点を換え、任意の信号を観測できる点である。しかし、エミュレータに搭載されている検証対象の論理を変更し、プローブす

る信号を外部に引き出さなければならないため、FPGA に空きの I/O ピンがなければ、FPGA の論理分割も再度行なう必要があるなど、デバッグの効率はずしも良いとは言えない。さらに、観測点を変更する度に、FPGA の再マッピング等の処理を行なうため、検証 TAT (turn around time) が長いという欠点がある。最近では、プローブ位置の変更を行なうだけなら、信号を引き出す配線に関連した部分のみ再マッピングの対象とすることで、検証時間の短縮化も図られているが、完全ではない。

さらに、観測する信号を変更する度に FPGA 内部の配線を変更すると、プローブ用の配線遅延が毎回変更され、検証対象の搭載論理の動作速度自体に影響を与えてしまうため、リアルタイム解析が困難になる問題も生じる。

ここでは上記をふまえ、FPGA 内部の変更は最低限に抑え、観測点の変更に対して搭載論理の動作速度を保証する方法を検討し、ATTRACTOR 内の FPGA ボードに実装した。本稿では、まず通信用エミュレータ ATTRACTOR の概要を述べ、次に信号プローブに求められる機能を整理する。さらに、FPGA ボードに実装した信号プローブ機能を説明した後、それを用いた幾つかの信号プローブの例を示す。

2 ATTRACTOR の概要

ATTRACTOR の基本思想は、通信機能を分類し、それぞれの機能別にリアルタイム動作が可能な部品を作成し、その部品を任意の組合せで接続することにより、リアルタイム動作および柔軟性をもったシステムを構築することである。

本システムの概要を図 1 に示す。表 1 に、今回我々が開発した機能別にモジュール化した 6 種類のボードの概要を示す。各ボード内の論理は、専用部品を除き、全てを FPGA で実現した。これにより、ボード内の論理の変更が容易になっている。さらに各ボードには RISC チップも搭載しており、各ボードの設定、自己診断機能、ボード間通信の機能を有している。

ボード間は、各ボードの前面パネルに配置したイン

表 1: ATTRACTOR のボード構成

IO	OC-3 のインターフェース
FPGA	FPGA,FPID,FIFO で構成され、他のボードで実現できない機能の実現。ボード内を流れる信号の観測機能
LUT	CAM, SRAM, FPGA で構成され、ネットワークアドレス等の各種検索機能等
ATM SW	155Mbps/port の 8×8 スイッチ
BUFFER	FIFO,FPGA で構成され、ATM セルの並べ換え、シェーピング機能等
MPU	ユーザ端末とのインタフェース、各ボードの制御等

タフェースを介し、1Gbps の高速シリアルリンクで接続している。これにより、接続自由度と高速なデータ転送を両立できる。さらに、Compact PCI によるバス接続、バックボードによる直接配線、ローカルバス、100 Base-T イーサネットによる接続も可能とし、ボード間接続の自由度を高めている。

本システムは、用途に合わせて表 1 に示したボードを最大 8 枚まで任意な組合せで実装し、所望の機能を実現する。表 1 のボードで所望の機能が実現できない場合は、必要な機能を搭載したボードのみを新たに作成し、本システムに組み込むことができる。また、より大規模な機能を実現するには、本システムを複数台用いて、それらを上記シリアルリンク接続することで対応可能である。

3 信号プローブに求められる要求条件およびその解決法

構成可変システムである ATTRACTOR にはデバッグ機能が必要である。我々は以下の 4 つの要求を満たす信号プローブ機能を実現し、FPGA ボード上に実装した。

1. ATTRACTOR の各ボード間の信号プローブ
2. FPGA ボード内部の論理のデバッグ
3. FPGA に搭載する論理の変更は最小限度におさえる
4. リアルタイムでの解析

1. の要求は、ATTRACTOR の構造から FPGA ボード以外の各ボードは、機能が確定しているため、内部の信号を観測する必要がない。そのため、プローブするのは各ボードの I/O 部だけで十分である。

2. は、FPGA ボードには、特定の機能を搭載するわけではないので、ボード内の信号の観測によるデバッグの必要性がある。この要求に対し、現在、アプリケーション回路のほとんどが、階層構造をもたせて設計されていることを利用した。すなわち、FPGA ボードの各 FPGA に回路を分割する時、階層構造を利用し、各 FPGA には機能としてまとまった回路が搭載されるようにする。したがって、FPGA の外部ピンの信号をリアルタイムでプローブする機能を搭載することにより、FPGA に搭載する論理のデバッグを可能とする。ただし、FPGA 内部の信号のプロー

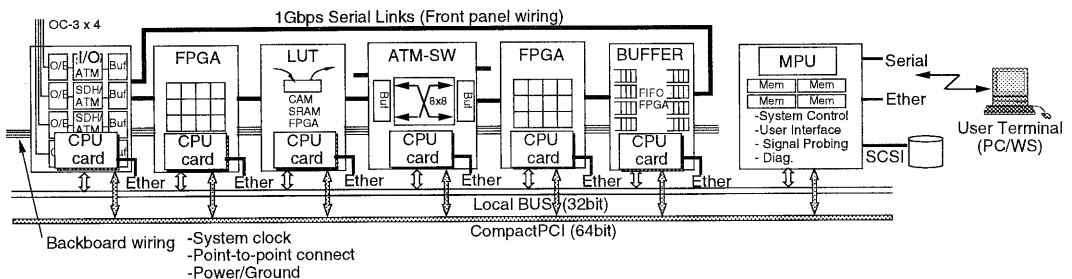


図 1: ATTRACTOR の構成

は、従来から ASIC エミュレータで実施されているように、観測したい信号線を FPGA の外部ピンまで引き出すように FPGA の配線を再ルーティングする必要がある。この場合、観測点を変える度に、プローブ用に配線プログラムを再実行しなければならないという問題と、プローブ信号の FPGA 内部の配線遅延のため、リアルタイムの観測は難しいという問題が、今まで同様に残る。本問題に対しては、プローブ用の各種回路をマクロとして用意することにより、利用者の負荷の軽減を図る。

3. は、従来の ASIC エミュレータで実施されているように、観測したい信号線を FPGA の外部ピンまで引き出すことをせず、プログラマブルスイッチにより、観測する信号を容易に変更可能とする。これにより、FPGA に搭載している回路の変更をせずに、観測する信号を変更することができる。

4. については、従来のプローブ方法では、専用の治具を用いて信号をロジックアナライザ等でリアルタイムにプローブすることはできたが、汎用性は欠けていた。そこで、観測に必要なデータ抽出および前処理を行なう機能を FPGA に搭載することにより、リアルタイム解析機能の柔軟性を確保する。

ここでは、これらの機能を 1 つの FPGA ボードで実現できる構成方法を考案し、実際に使用するために必要な回路の設計を行なった。

4 FPGA ボードの構成

FPGA ボードの概要を図 2 に示す。FPGA ボードには、論理を搭載するプログラマブル論理部 (FPGA)、信号プローブ用のプログラマブルスイッチ部、速度調整用 FIFO、CPU から構成される。

図 3 に FPGA 間の接続関係を示す。図中の FPGA には通信処理用に開発した PROTEUS-lite [9-10] を用い、高速な通信処理論理が実現可能である。各 FPGA は 2 個ずつドーターカードに実装し、FPGA の交換が可能な構成とした。4 個の FPGA を 1 つの組とし、ATTRACTOR の 1ch を実現する。FPGA ボードには、3ch 分 (12 個の FPGA) を実装し、各チャネル

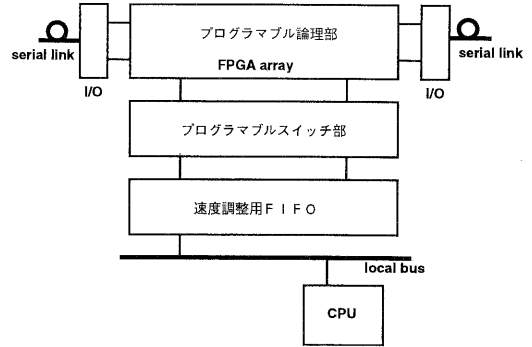


図 2: FPGA ボードの概要

間の接続も用意し、1ch で 12 個の FPGA を使用することも可能な構成とした。

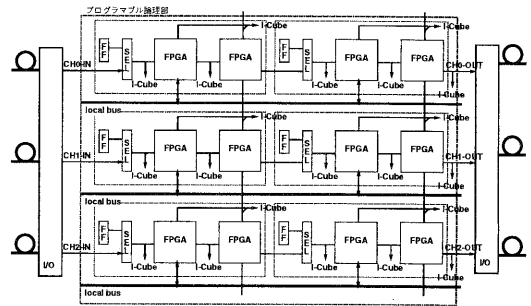


図 3: FPGA 間接続

FPGA ボードには CPU を搭載し、ボードのセルフテスト、FPGA のセットアップの他、FPGA とローカルバスを通じてコミュニケーションすることができる。

FPGA 間の配線には、信号プローブ用に分岐を設け、分岐した配線はプログラマブルスイッチチップ (I-Cube) に入力させている。プログラマブルスイッチチップの設定を変更することにより、任意の分岐点の信号が観測可能である。さらに、プログラマブルスイッチチップは FPGA 間の接続用にも使用可能なため、FPGA ボードの配線自由度を高めている。

プログラマブルスイッチチップ間の配線を図 4 に示す。チップをツリー状の等段に接続し、各チップで観

測データをラッチすることにより、観測信号は同期して得られる。1ch 当たり、40bit づつ 7ヶ所、計 280bit の信号線が、3ch 分、総数 $280 \times 3 = 840\text{bit}$ が初段のプログラマブルスイッチチップに接続されており、その中から同時に 128bit の信号をプローブ可能である。また、本プログラマブルスイッチチップの構造により、信号は一定の遅延(クロックレーテンシー)でプローブできるため、データ解析が容易である。

プログラマブルスイッチチップによって、選択された観測信号は、一旦 FIFO に溜められる。FIFO に溜められたデータは、ローカルバスを經由してボード上の SRAM に保存される。

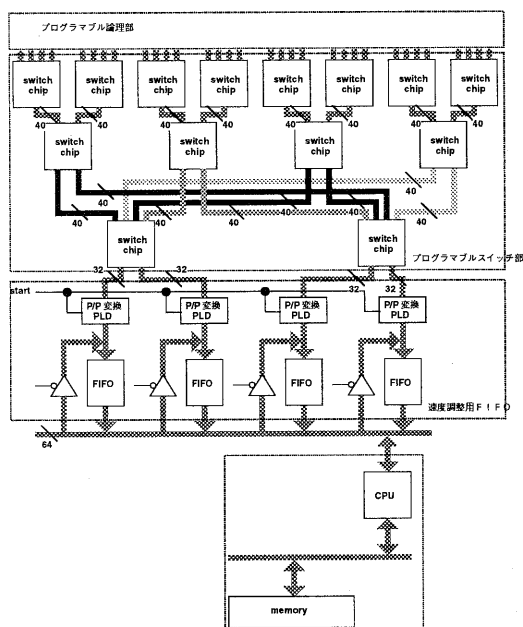


図 4: プローブ用配線接続

ATTRACTOR は、OC-3 の I/O インターフェースを持っているため、155Mbps の信号を 8 分周し、20 MHz で回路が動作している。128 本の信号線を同時に観測可能のように、バスクロック 33MHz、64bit 幅のローカルバスから FIFO のデータを引き抜く必要があり、FIFO を 64bit 幅のバンク構成にした。

FIFO にデータを書き込む際には、32bit データを 64bit データに変換する parallel/parallel(p/p) 変換を

行なう。本論理は PLD により実現し、以下の信号により制御される。

start : レベル信号であり、high で P/P 変換を始める。

PP_WE : レベル信号であり、high で P/P 変換の入力レジスタから出力レジスタへ転送する。

PP_RST : PP_RST 信号は high で P/P 変換のスタートポイントの初期化を行なう。PP_RST 信号によりリセットされた後は、PP_WE が high であれば、2クロック分データが溜ったら、自動的に FIFO に書き込みを行なう。

これらの信号のタイミングを図 5 に示す。start 信号が high であり、PP_WE が high になったら、プログラマブルスイッチチップから来る data<31:0> をラッチする。2クロック後 (data が 64bit そろったら)、FIFO に 64bit のデータを書き込む。この動作の繰り返しにより、FIFO への書き込みを行なう。

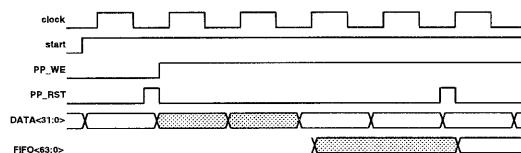


図 5: FIFO への書き込みタイミング

上記信号の設定は CPU から行なう。また、図 6 に示した回路を FPGA に搭載することにより、PP_WE および PP_RST 信号を FPGA 内で生成することも可能である。この機能により、必要なデータだけを FIFO に書き込むことが可能となる。

SRAM に書き込まれたデータは、オフラインで解析できるほか、CPU によるオンライン解析も可能である。さらに図 2 に **FF** で示したレジスタに CPU よりテスト入力ボタンを強制的に設定することが可能な構成とし、FPGA 内の回路のデバッグを容易にした。

5 プローブ方法

5.1 FPGA ボード内部のプローブ方法

各 FPGA には機能としてまとまった回路が搭載されることを前提に、FPGA 内の信号のプローブではなく、ここでは FPGA チップ間の信号のプローブ方法を検討した。

FPGA ボード内の信号をプローブする場合、

- 信号をフルダンプする
- 有用なデータのみをプローブする

という 2 つの場合が考えられる。

データをフルダンプする場合は FPGA とプログラマブルスイッチチップのクロックを同期させ、FIFO に書き込む。PP_RST, PP_WE 信号を FPGA 内部で生成し、プログラマブルスイッチチップ経由で FIFO を制御する。PP_RST, PP_WE 信号とプローブ信号が同期して、p/p 変換用 PLD に入るため、書き込みタイミングの制御は容易である。

また、有用なデータのみをプローブしようとする場合、FPGA の空き領域を用いて、有用データを抽出する解析用回路および FIFO 制御回路 (図 6) を FPGA に搭載すればよい。

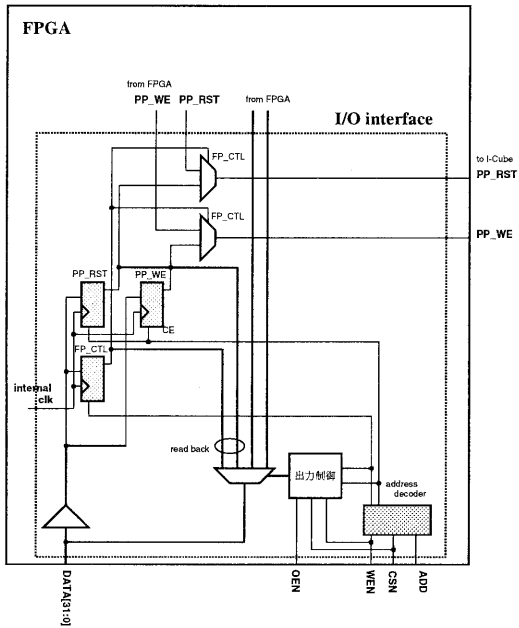


図 6: FPGA 搭載 PP_WE、PP_RST 信号切替え回路

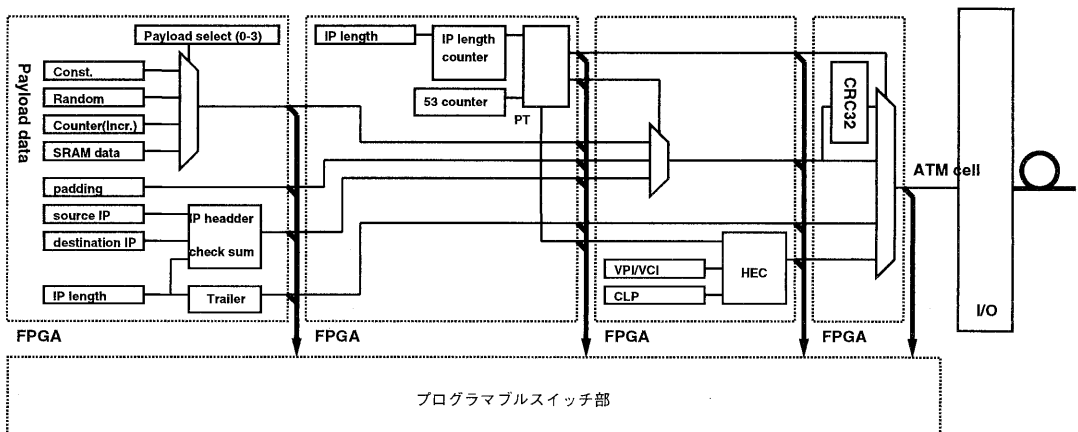


図 7: ATM セル生成回路構成図

例として、AAL5のATM生成回路をFPGAボードに搭載した場合について説明する。構成図を図7に示す。各種初期設定データ(VPI/VCI, source IP/destination IP, IP length等)は、各FPGAのレジスタに設定されている。ここでは、本回路が生成するATMセルのヘッダ情報をプローブすることを示す。

1 ATMセル(53byte)をカウントするカウンタ(53 counter)およびIP length counterにより、ATMヘッダ、IPヘッダ、IPデータおよびパディングを含めたトレーラの出力タイミングを制御する。この回路によりAAL5のATMセルが生成できる。この回路は、破線で囲んだ4個のFPGAで実現され、各FPGA間は8bitのデータおよび制御信号で構成されている。

この回路に対してFPGA間の信号をプローブする場合、ATMヘッダ、IPヘッダ等のデータを1byteづつ出力する。PP_WEはFPGAのクロックと同じであり、PP_RSTはATMセルの区切りである53クロックごとにパルスをとる。このように、PP_WE、PP_RSTを生成する回路を負荷することにより、FPGA間の信号をプローブすることができる。

5.2 ボード間のプローブ方法

ATTRACTORは、各専用機能ボードの組合せで機能を実現しているため、専用ボード内の信号のプローブの必要性は少ない。そのため、専用ボード間にプローブ回路をもったFPGAボードを挿入することにより専用ボード間の信号をプローブする。FPGAボード上の各FPGAには論理を搭載せず、信号をスルーさせる。FPGA間の分岐を用い、信号をプログラマブルスイッチ部に入力させる。この観測用の信号は速度調整用FIFOに入力され、ローカルバスを通じてストレージに記録される。また、観測する信号によっては、CPUでリアルタイムに解析することも可能である。図8に、ボード間にプローブ用にFPGAボードを挿入し、信号をプローブしている模式図を示す。

CPUでリアルタイムに信号を解析するには、プローブする信号を前処理して、CPUの負担を少なくする必要がある。以下に、ATTRACTORの機能から必要となる前処理を行なう回路について説明する。

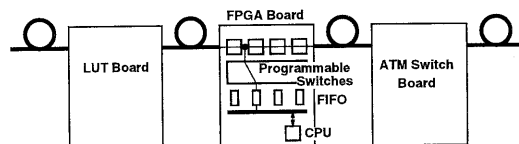


図 8: ボード間のプローブ

ATTRACTORの各ボードは、ATMセルを送受信する機能を有しているので、プローブする信号はATMセルが主である。FPGAに論理が搭載されていないので、FPGAにATMセルを解析する機能を搭載すれば、CPUはFPGAで前処理されたデータを解析するだけでよく、リアルタイムで各ボードの信号を解析することが可能となる。

例として、AAL5のATMセルを解析する機能、

- ATMヘッダの抽出
- IPヘッダの抽出
- IPパケット数カウント回路

を持った回路を示す。この回路を搭載する場合、CPUに引き渡される信号は、VPI/VCI、IPアドレス、IPパケット数の情報になる。図9に回路のブロック図を示す。入力(data)は、VPI/VCI(24bit)とSDU(1bit: IPパケットの最後を表す)と、ペイロードのIPアドレスの位置に対応するデータである。クロックに相当するのは、SOC(Start of Cell)信号で、ATMセルの先頭にたつパルス信号である。このSOC信号は、ATTRACTORの各ボードに搭載されているIOボードにより生成されている。VPI/VCIデータをメモリーに書き込むモード、メモリー内のVPI/VCIのデータと比較するためのモードを切替えるための信号(MODE)がある。

この回路の構造は、SDU信号が“1”である場合に、そのVPI/VCIをメモリーに登録する。VPI/VCIの値がメモリー内の値と一致した場合に、先頭セルであるとし、IPヘッダを参照する。この時、このメモリー内のVPI/VCIをクリアする。

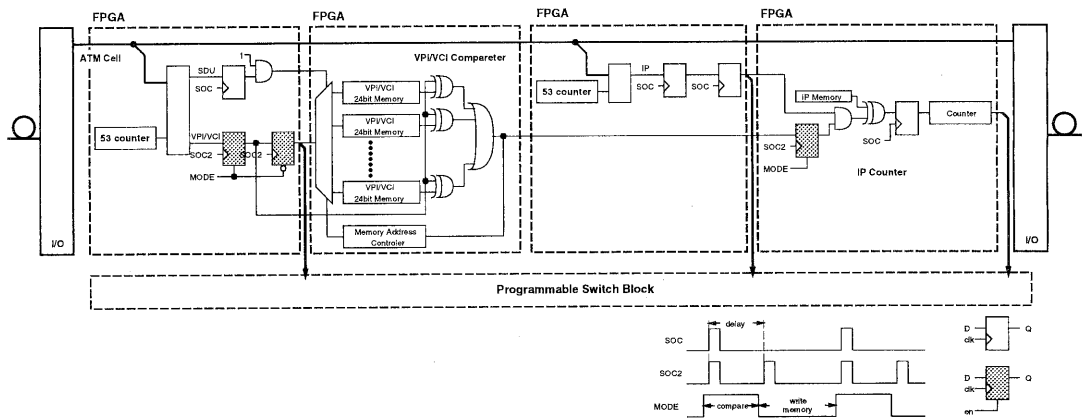


図 9: IP パケット数のカウント回路構成図

このようにして、VPI/VCI、IP ヘッダを抽出し、CPU にその値を渡すことにより、VPI/VCI の統計処理など、CPU でリアルタイムな処理が可能となる。

6 まとめ

通信用リアルタイムエミュレータ ATTRACTOR のアプリケーションデバッグ機能として、FPGA ボードに搭載した信号プローブ方法を示した。FPGA とプログラマブルスイッチチップを組み合わせることにより、任意の信号が観測可能であり、観測データはボード上に搭載された CPU で処理が可能である。さらには FPGA に解析回路を搭載することによりリアルタイムでの解析も可能である。

今後は、リアルタイム解析用マクロの充実および専用 CAD とリンクした ATTRACTOR デバッグ環境の構築を図っていく。

参考文献

- [1] <http://www.quickturn.com/>
- [2] <http://www.zycad.com/>
- [3] T. Miyazaki et al. : "A transmutable telecom system", Proc. FPL'98, 1998.
- [4] <http://www.tmo.hp.com/tmo/country/JP/CtryTop/Japanese/>
- [5] <http://www.sonytek.co.jp/Measurement/>
- [6] <http://www.yokogawa.co.jp/Measurement/>
- [7] <http://www.advantest.co.jp/>
- [8] T. Nagatsuma : "Measurement of high-speed device and integrated circuits using electro-optic sampling technique", IEICE Trans. Electron, volE76-C, no.1, pp.55-63, 1993.
- [9] T. Miyazaki et al. : "CAD-oriented FPGA and Dedicated CAD System for Telecommunications", Proc. FPL'97, 1997.
- [10] A. Takahara et al. : "More wires and fewer LUTs : A design methodology for FPGAs", Proc. FPGA'98, 1998.