

「もの作り」を指向した ASIC 設計教育

神酒 勤 小林史典 山川 烈

九州工業大学 情報工学部 制御システム工学科

〒820-8502 福岡県飯塚市川津 680-4

Phone: 0948-29-7700, Fax: 0948-29-7709

E-mail: miki@ces.kyutech.ac.jp

あらまし

九州工業大学 情報工学部 制御システム工学科における「もの作り」を指向した ASIC 設計教育について述べる。“実デバイスを用いてアイデアを具体化すること”の大事さを ASIC 設計を通じて実感させることを目的とする。このカリキュラムでは、計算機支援設計演習、FPGA による実現、VHDL を用いた設計演習および LSI 製作実習などの実験を講義と連携をとり実施している。先端技術に触れ、実際に「もの作り」を行うことにより、実践的設計技術教育を試みている。

キーワード ASIC 設計教育, FPGA, VHDL, 集積回路製造実習, CAD 教育

ASIC Design Education: Aiming at Chip Fabrication

Tsutomu Miki, Fuminori Kobayashi, Takeshi Yamakawa

Department of Control Engineering & Science

Kyushu Institute of Technology, Iizuka

680-4 Kawazu, Iizuka, Fukuoka 820-8502, Japan

Phone: +81-948-29-7700, Fax: +81-948-29-7709

E-mail: miki@ces.kyutech.ac.jp

Abstract

ASIC Design Education curriculum in the Department of Control Engineering and Science of Kyushu Institute of Technology, Iizuka. The objectives of this curriculum is let students to understand, by ASIC design, that "Implementation of the idea in real devices" is the most important for engineers. This curriculum includes experiences with advanced technologies such as : computer aided design, FPGA implementation, design with VHDL and MOS LSI fabrication process.

key words ASIC Design Education, FPGA, VHDL, LSI Fabrication, CAD Education

1. はじめに

半導体技術の劇的な進歩は、システムを1チップに集積化することを実現した。反面、システムが分かるLSI設計技術者の不足が産業界の大きな問題となっている。打開策の一つとして、大学におけるLSI設計教育への期待は大きい。このような状況の中で、1996年に、大規模集積システム設計教育研究センター(VDEC)^[1]が設立され、低価格のチップ試作サービスと高機能LSI設計ツールの提供が開始され、大学におけるシステムLSI設計教育も本格的に開始された。

一方、九州工業大学でも、集積化技術教育の必要性を重視し、1990年に集積化システムの教育施設として、マイクロ化総合技術センター(Center for Microelectronic Systems: CMS)^[2]を立ち上げた。1994年には、4インチCMOSプロセスラインがCMSで稼働し、現在、LSI設計環境も充実してきている。

本学制御システム工学科では「もの作り」の観点から、ASIC設計教育に取り組んできた。1994年度から開始した電子回路教育カリキュラム^[3]では、理論とシミュレーションに留まらず、“もの”として具体化することに重点をおいた教育を行っている。学部低学年から計算機支援の設計技術を導入し、最終的には、LSI製造実習を行い、実チップでの動作を確認することを特徴とする。ここでは、本学科のASIC設計教育について、実験・実習に焦点をあてて報告する。

2. “座学”から“実学”へ

2.1 電子回路教育カリキュラムの特徴

本カリキュラムの特徴は、

- 計算機支援設計の早期導入
- HDL(ハードウェア記述言語)の早期導入
- FPGAによる設計の具現化
- カスタムLSI設計フローの体験
- 半導体製造プロセスの実習

にある。講義(座学)と実験(実学)の連携をとることで確かな実践的技術として体得させることを目的とする。実験・演習では、それぞれの技術の得失を理解し、応用にあたって適切なテクノロジーの選択ができるよう基本事項の理解に重点を置いている。

2.2 カリキュラム構成

講義(座学)が先行し、その後、実験で確認するという構成をとる。限られた時間内で、ある意味で専門性の高い実験を行うには、予め全体的知識を講義で得た上で実施するのが効果的と考える。

2.2.1 講義

ASICでの実現を意図した講義は、表1のとおりである。デジタルコンピュータを主な設計対象に選び、計算機支援設計を前提に、演習を交えながら実施している。

表1. ASIC関連の講義

学期		講義名
2年	前期	電子回路, 計算機システムII
	後期	計算機アーキテクチャ
3年	前期	ASIC/CAD
	後期	集積回路工学
4年	前期	集積回路製作実習

それぞれの講義の概略は次のとおりである。

電子回路 ベル利得, 電子回路の基礎(負荷効果, 周波数特性など), 半導体基礎(デバイス構造など), 増幅回路, 演算増幅器

計算機システムII CPU/メモリと命令の実行, ブール代数と論理ゲート, HDL, 組合せ論理, FFと状態機械, 順序論理, バス

計算機アーキテクチャ バス・オーガナイズド・コンピュータの基本構造, 論理ゲートと演算回路, レジスタ回路, メモリ, マイクロプログラミング

ASIC/CAD ASIC設計概論, ASICのためのデジタル回路設計, 論理合成, テスト容易化設計, CAD

集積回路工学 半導体物性, モノリシック集積回路の構造, プレーナプロセス(前・後工程), ベレットチェック, 薬品, ガスの取り扱いと防災対策

集積回路製作実習 CADによる回路設計とシミュレーション, マスクレイアウト設計実習, MOSウエハプロセス, チップ評価

2.2.2 実験

本学科では、学生実験として制御システム工学実験I,II,IIIをそれぞれ2年後期, 3年前期, 後期に開講している。モーター制御, プログラミング演習, 画

像処理、センサー応用などシステム設計に必要な種々の実験を行っている。その中で、ASIC 設計に関連する実験を表 2 に示す。

表 2：ASIC 関連の学生実験

学期	実験テーマ名	
2年 後期	アナログ電子回路, デジタル回路	
3年	前期	デジタルコンピュータ
	後期	VHDL による FPGA 設計

3. 「もの作り」を指向した実験・演習

ここでは、本学科の実験・演習の中で、ASIC による「もの作り」に主として関わる 3 つのテーマについて述べる。集積回路実習を除き、各実験は、1 週が 90 分×2 コマの講義時間で構成されている。

3.1 デジタルコンピュータ^[4] (2 週)

この実験で取り扱うデジタルコンピュータは、Marvino 著 Digital Computer Electronics^[5]で紹介されている SAP (Simple-As-Possible) を参考に、実験用に構成したものである。ノイマン型コンピュータの必要不可欠な要素のみで構成され、その原理の理解に重点を置いてたものである。本実験で用いたコンピュータのアーキテクチャを図 2 に、そのアーキテクチャを FPGA 実現したボードを図 3 に、また本コンピュータの命令セットを表 3 にそれぞれ示す。

図 2, 3 から分かるように、FPGA を用いたデジタルコンピュータは、視覚的に、アーキテクチャと一対一対応が取れるような構成にしてある。1 機能ブロックが 1 枚のボードで構成され、1 枚のボードは 1~2 個の FPGA で実現されている。実験では、1 個の FPGA を学生 1 人が担当する。コンピュータの状態は、LED により同時に把握できるようにしてある。

3.1.1 ねらい

- デジタルコンピュータの動作原理を 1 クロックごとのデータのフローを観測することで確認する。
- 動く回路を作り、その動作を目で確認する。
- 回路図による設計手法を学ぶ。
- 実デバイスを用いた回路デバッグにより故障解析の手法を学ぶ。
- FPGA によるシステム実現化を体験する。
- アセンブラによるプログラミングを学ぶ。

3.1.2 実験概要

対象：学部 3 年 (全員：22 名 x 4 グループ)

指導：教官 1 名, TA (Teaching Assistant) 2 名

[第 1 週]

まず、デザインツールの操作方法を、必要最小限のコマンドに限定し、30 分の説明で使えるように指導する。未完成の回路図データを渡し、予め準備した回路図を参考に完成させ、FPGA に書き込む。ここで、予め渡した回路データには誤りが入っており、正常に動作しない。そこで、テストパターンに対する期待出力と実際の FPGA の出力を比較し、回路の誤りを探索していく。回路修正が完了し、期待通りの出力が得られた時点で、第 1 日目の実験は完了する。FPGA には Xilinx 社の XC3100A^[6]を、デザインツールとして XACT を利用している (現在、Foundation に移行中)。ここでは、回路図ベースの設計手法を経験し、故障解析の手法とテスト容易化設計の重要性を学ぶ。

[プリレポート]

本実験のコンピュータの動作確認に用いるアセンブラ・プログラムをプリレポートとして課す。作成にあたり、動作を頭の中でシミュレートし、1 クロック毎の動作を表にまとめさせる。実際の実験では、この表を参照しながら、1 クロック毎のデータの流れを確認していく。

[第 2 週]

個別に設計したブロックを集めて、1 台のデジタルコンピュータを構成する。これにアセンブラで記述したプログラムを入力し、実行させる。1 クロックずつ、データの流れを目で追いながら、プログラムを実行させる。最後に、200Hz 程度のクロックを発振器で与え、瞬時に答えがでてくる様子を確認する。200Hz であっても、人間の目ではデータの流れを追うことはできない。現在の PC では 400MHz 以上のクロックで動作しており、実験で作ったコンピュータの 200 万倍以上の処理能力を持つということで、その速度の大きさを実感するに至る。

コンピュータの各部の信号波形をオシロスコープで観測することにより、動作タイミングを計測すると共に、論理と実デバイスとの対応を確認する。また、信号ラインに外乱 (ノイズ) を加え、予期せぬ動作 (暴走) が簡単に起こることを確認し、ノイマン型コンピュータの弱点もみる。

3.1.3 効果

- 28個の命令しか持たないので、プログラム作成には工夫を要し、逆に、命令の深い理解に繋がっている。
- 「このような命令が欲しい」、「このような回路を組めば、こんなことができる」、「零から回路を作ってみたい」等の意見も多く出ており、学習意欲の喚起が行えた。
- 1クロック毎の動作をみることで、マシンスイクルの理解を深めることができた。
- FPGA という先端技術に触れ、設計-即-実現により、実践的教育効果が上がった。

3.2 VHDLを用いたFPGA設計^[7] (3週)

本実験では、ハードウェア記述言語であるVHDLを用いたASIC設計技術を学び、FPGA上でその結果を確認する。

3.2.1 ねらい

- “動く回路”が合成できるHDL記述を学ぶ。
- HDL記述どおりに回路を合成するものが、論理合成ツールであるということを確認する。
- モジュール設計の概念を理解する。
- 基本的な回路要素のHDL記述を学ぶ。
- 動作記述と状態記述の違いを確認する。
- 論理シミュレーションを体験する。
- 回路図による設計とHDLによる設計の得失を把握する。

3.2.2 実験概要

対象：学部3年（全員：22名 x 4グループ）

指導：教官1名、TA2名

設計対象は、全加算器、スリーステートバッファ、数種のカウンタおよびデジタルコンピュータ要素である。

①各回路要素のVHDL記述を作成し、V-System (Model Technology社)^[8]という市販のHDLシミュレータを用いてシミュレーションを行う。ここで、システムの動作を確認するための効率の良いテストベクタの設計を学ぶ。

②HDL記述を論理合成ツールを用いて合成し、FPGAに書き込み、評価ボード(図4)により動作を確認する。ここでは、ターゲットデバイスとしてAltera社のFLEX10K^[9]を、開発ツールとして

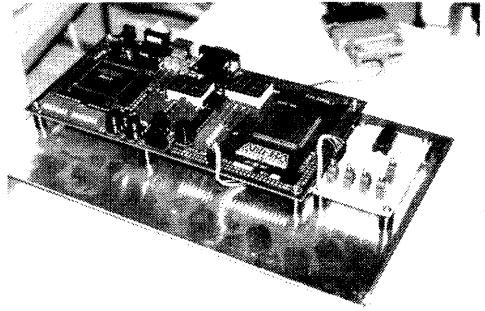


図4. 評価ボード

MAX+plus2を用いている。

シミュレーションで終わるのではなく合成後の回路は必ずFPGAに書き込み、実際の“もの”として、その動作を確認することに重点をおく。

3.2.3 効果

- 論理シミュレーションにおける“0”、“1”以外の信号値の意味理解が深まった。
- 実際に回路を作ることで型の不一致の問題などを体感させることができた。
- HDL記述のピン名と実デバイスの物理的対応を把握させることができた。

3.3 集積回路製作実習(集中)

集積回路製作実習は、回路・レイアウト設計、ウエハプロセス、特性評価(ベレットチェック)の3段階からなり、通常のカスタムLSI設計と同様のプロセスで実施する。トランジスタアレイ、インバータ、フリップフロップなどの基本回路を設計し、シミュレーションと実デバイスの違い等を検討する。クリーンルーム内の作業であり、精密機器や危険な薬品等を使用することから、受講生を少数に限定している。実習は、CMSの設備を活用する。

3.3.1 ねらい

- カスタムLSI設計フロー(仕様、回路設計、レイアウト設計、チップ製造、動作検証)を体験する。
- 一連のウエハプロセスを自分の手で行う。
- ウエハプロセス実習を通じて、レイアウト設計ルール成り立ちを考える。
- 理論設計と実デバイスの特性との違いを把握する。

3.3.2 実習概要

対象：学部4年（限定*：3～6名）

* 集積回路工学を受講し、試験の成績が優秀なもの

指導：教官1名、TA 2名（内1名はCMSの学生）

回路・レイアウト設計（1週間）

- ① トランジスタレベルでの回路設計を行う。電子回路シミュレータ (Star-HSPICE^[10])を用いて、回路構成と素子寸法(W/L)を決定する。1人で1チップを最後まで設計する。設計領域は、予め指定する。
- ② レイアウト設計を行う。セイコーインスツルメンツのSX9000^[11]のポリゴンエディタを使用し、WS上で設計する。デザインルールにはλルール^[12]を採用した。講義としては、シミュレータやレイアウトエディタの使い方・演習を1日で行い、残り期間は定めて自由な時間で設計を完了させる。
- ③ 学生全員のチップデータを集め、1つのマスクデータにまとめる。

- ④ このマスクデータをネットワークを介して、電子線描画装置 (JEOL 社製) に送り、マスク描画を行う (マスク製造工程③、④は、教官側で実施)。

ウエハプロセス（4日）

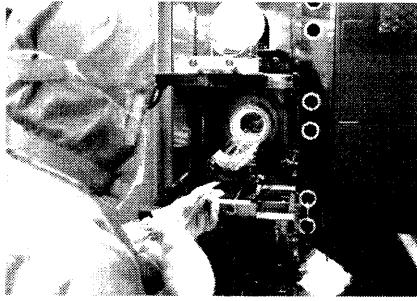
ウエハの前処理から始まり、酸化、イオン注入・不純物拡散、フォトリソグラフィ、エッチング、アルミ配線等の一連の作業を行う。1枚のウエハを1～2名で処理する。ポリシリコンゲート・1層 Al-pMOS プロセスを実施する。集積回路実習の日程表の表4に示す。授業の一貫なので、1日の行程は9時から18時までにとまるようにしている。図5に実習風景を示す。図6は試作したウエハである。

測定評価（ベレットチェック）

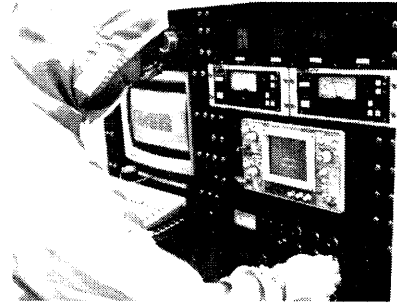
マニュアルプローバを用いてウエハの状態で、電気的特性を測定する。測定には、半導体パラメータアナライザ (HP 社製) 等の機器を用いている。測定の様子を図7に示す。

表4. 集積回路実習の日程表

	第1日	第2日	第3日	第4日
9:00	(前処理)			
10:00	フィールド用 フォトリソ グラフィ	多結晶シリコン エッチング	コンタクトホ ール用フォ トリソグラフィ	電気的特性測定
11:00	ゲート酸化		酸化膜エッチング	
12:00		レジスト除去	レジスト除去	
13:00	多結晶シリコン 堆積	pMOSソース ドレイン形成用 イオン注入	アルミ堆積	電気的特性測定 ／ボンディング
14:00			ウエハ洗浄	
15:00	ゲート電極用 フォトリソ グラフィ	アニール/ 絶縁用酸化	アルミエッチング	(4日目終了)
16:00			レジスト除去	
17:00	(1日目終了)	(2日目終了)	シンタリング	
18:00			(3日目終了)	
19:00				



(a) 熱酸化工程



(b) 不純物イオン注入工程
(イオンビームの調整)

図5. 集積回路実習の様子

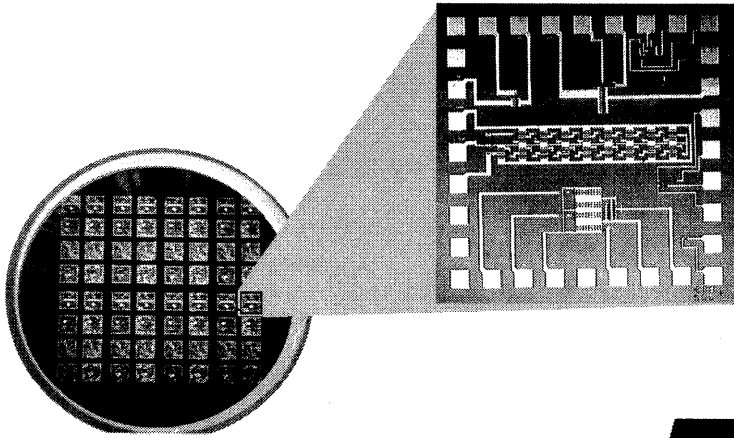


図6 集積回路製作実習で試作したウエハ (4インチ)

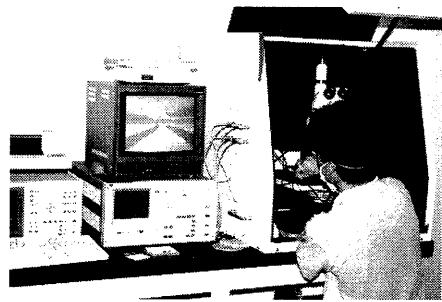


図7 電気的特性評価 (ペレットチェック)

3.3.3 効果

- 時間をかけて自らの手で作り上げたチップが動いたときの感動は大きい。作上げた者だけの特権である。
- プレーナプロセスを体得させることができた。
- LSI 製造における物理パラメータを少なくとも、感覚的に把握させることができた。
- 半導体メーカーが使用しているような高度な製造装置に触れ、その概要を見せることができた。
- 理論と実デバイスの違いを設計検証により実際に経験させることができた。

4. 成果と今後の課題

実験課題を豊富に与えず，“もう少し”で留めておいたことが、逆に学生の学習意欲を喚起した。「実験が先だったら、(講義の)単位がとれたのに」と悔しがる学生もあり、自分で理論を具体化する実験の効果がでている。

FPGAの導入

FPGAの導入は、設計の自由度、動作の安定性、即実現性、再利用性の点から、学生実験の質の向上に有効であった。また、FPGA技術は、上位学年での本格的応用に直結する技術であり、“もの作り”、“アイデアの具体化”の観点からも研究促進の効果もある。

学生にとって、この目新しいデバイスは、興味の対象となった。“中身がどうなっているのか”という素朴な質問から、アルゴリズムの話にまで発展することもあった。

開発環境と管理

VDECの設計ツールサービスやツールベンダのUniversity Programの提供により、高価なASIC設計ツールの大学での利用が可能となった。一方、これらのツールは機能が豊富な反面、使いこなすことが難しい、管理・運用に手間がかかるという問題もある。

また、「もの作り」に重点をおくと、WSよりPCの方が拡張性があり使いやすい。しかし、PCベースの場合、ソフトウェアのインストール、ユーザ管理等の作業量が比較的多くなってしまう。

今後の課題として

設計ツール教育について目的に応じたインストラクションを工夫する；WSとPCの効率的な統合環境

(使い分け)を整備する；学生が作りたと思ったときに作れる環境を提供する；同時に多くの学生が実習できる環境を整備する、などが挙げられる。

5 まとめ

本報告では、九州工業大学情報工学部制御システム工学科において実施している「もの作り」を指向したASIC設計教育について述べた。自分で設計したものを実デバイスとして実現し、それが動いたときの“感動”は新たな学問的興味と好奇心を喚起する源となる。本カリキュラムは、1994年より実施されたもので5年を経過した。卒業研究や大学院での研究としてASIC開発が使われ始めており、本カリキュラムの成果が徐々につつある。

現在、システムLSI設計教育を学部レベルで効果的に取り入れる手段を検討しており、将来は、大規模集積回路設計教育センター(VDEC)での試作にまで発展させたい。制御システム工学科らしさを、ASICの中で表現できるように、“何を作るか”の問いに答えるような教育に取り組んでいきたい。

参考文献

- [1] 東京大学大規模集積化設計センター(VDEC)
<http://www.vdec.u-tokyo.ac.jp/>
- [2] <http://www.cms.kyutech.ac.jp/>
- [3] 山川, 小林, 神酒: “LSIを指向した電子回路カリキュラム,” 平成7年度電気関係学会九州支部連合会大会論文集, p.378 (1995).
- [4] 九州工業大学情報工学部制御システム工学科: “制御システム工学実験IIテキスト,” pp. 11-30 (1998).
- [5] A. P. Malvino, J. A. Brown: “Digital Computer Electronics, Third Ed.” McGraw-Hill (1993).
- [6] Xilinx社データブック <http://www.xilinx.com/>
- [7] 九州工業大学情報工学部制御システム工学科: “制御システム工学実験IIIテキスト,” pp. F1-F6 (1998).
- [8] <http://www.lsi.soliton.co.jp/>
- [9] Altera社データブック <http://www.altera.co.jp/>
- [10] <http://www.ntt-at.co.jp/>
- [11] <http://www.sii.co.jp/eda/ic/ic.html>
- [12] C.Mead, L.Conway: “Introduction to VLSI Systems,” Addison-wesley Pub. (1980).